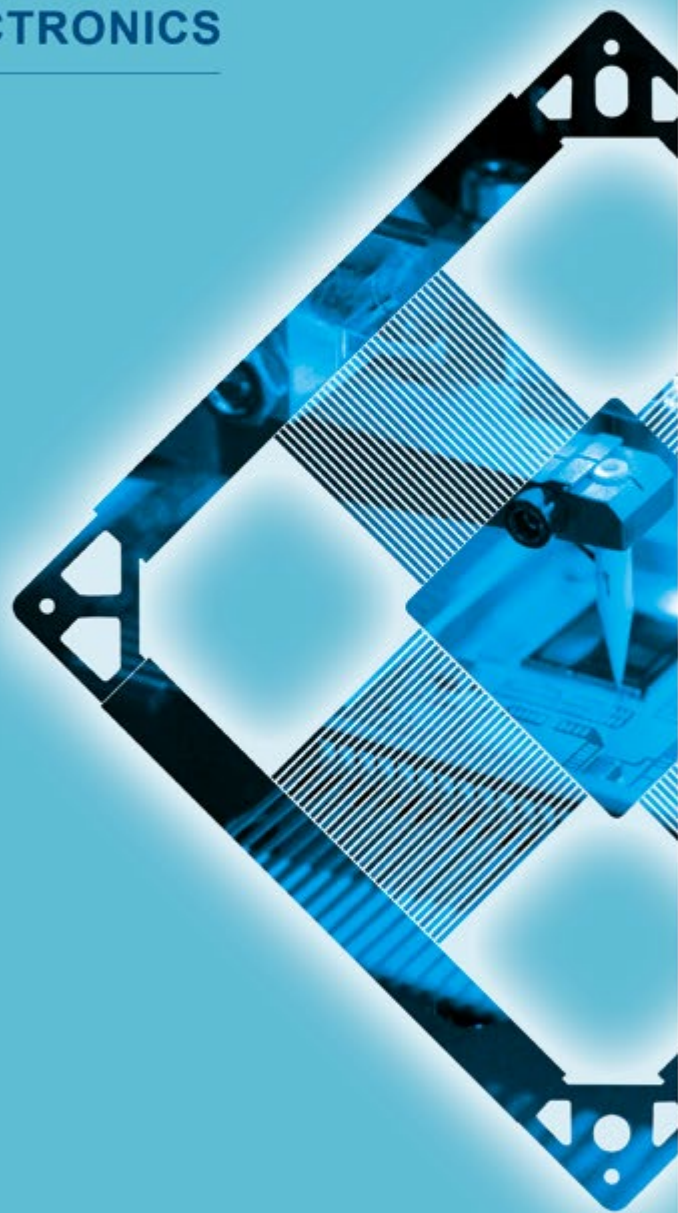


航天微电子

AEROSPACE MICROELECTRONICS

首刊



2021年第**1**期 总第1期

内部资料 免费交流

《准印证》编号：京内资准字2020-L0072号



发刊词

守正创新，融汇致远

——致所有关注、关心、关爱航天微电子事业的人

金秋稍逝，《航天微电子》重装出发，承载着累累硕果。

即将过去的2020年，是所有从事航天微电子事业和应用航天微电子技术的人们欢欣鼓舞的一年：北斗三号组网成功，标志着中国航天在自主可控的微电子技术体系道路上又迈出了坚实的一大步！回望中国航天微电子事业半个多世纪的道路，铺陈着难以计数的理论突破、技术创新、经验心得、数据宝藏。

新春在望，《航天微电子》重装出发，承载着深深期许。

即将过去的2020年，也是所有关注、关心、关爱航天微电子事业的人们再次思考的一年：后摩尔时代已经到来，后国产化替代也即将拉开序幕，面对一个崭新的航天时代，新时期的航天微电子如何实现高质量发展？打造一个夯实理论基础、弘扬科学精神、开拓技术视野、促进融合创新的平台，应是题中之义。

奔向新的时代，《航天微电子》重装出发，承载着诚诚志愿。

雄关漫道真如铁，而今迈步从头越。《航天微电子》有志于汇聚广大航天微电子技术研发和应用的力量，进一步促进微电子技术 with 航天工程各专业技术领域的融合与创新，为我国航天型号任务的重大技术突破提供更强有力的支撑！

守正创新，融汇致远。《航天微电子》全体编委和编辑部同仁藉首刊之机，向所有关注、关心、关爱航天微电子事业的人致意，祝愿我们在时代大潮中携手并进，开创更美好的未来！

执行主编

陈雷

执行副主编

王勇

2020年12月

航天精神引領

創新办好“航天微电子”期刊

劉紀東
2020.12.

祝愿《航天微电子》
面向未来,成为微电子
技术与航天应用融合
创新的高地!

王礼恒 二〇二〇年十一月

航天强国需要不断
的自主创新、自我超越，
希望《航天微电子》
初心恒在，勇攀高峰。

孙家栋

2020年11月11日

期待太空中最亮的芯

——寄语《航天微电子》

得知《航天微电子》即将创刊，我的思绪回到了当年装备研制时期，由于核心芯片受制于人，研制工作受阻，促使我下定在新型号中走SoC技术的决心，一时间，激动与期许再一次涌上心头。

激动源于挑战，期许来自信念。自钱老开创中国航天事业，微电子技术与中国航天结下了不解之缘。两弹一星精神的传承，让每一位航天人自信、自强，航天微电子同样用成功的足迹走出了一条自主创新的发展道路。

自1965年，我国航天领域采用微电子技术研制制导计算机开始，半个多世纪以来，广大的航天工作者见证了航天强国征程上一次次星芯相印、箭芯比心。新一代装备运用SoC技术实现跨越式的性能提升，标志着中国航天在微电子技术结合方面已经跨入世界先进行列。北斗三号组网收官之战，集成电路实现了百分百的国产，标志着中国航天正在向形成自主可控的微电子技术体系迈进。航天元器件出口俄罗斯和欧洲，标志着我们的产品正在得到国际同行的认可，中国航天走出了一条集成电路设计加固的自主创新之路。

时光飞逝，转眼“玉兔”已经登陆月球将近七百日，天问还有三个月就将与火星交会。天地无限互联、天地自由往返，一个崭新的航天时代正在向我们走来。此时，《航天微电子》应运而生，而我则再一次期许：希望这份刊物能为广大从事和应用微电子技术的航天工作者搭建起一个平台，促进交流、激发创新。期望不久的将来，仰望星空，你是太空中最亮的芯！

王为臣
2020 10 27

微电子不微

——寄语《航天微电子》

航天772所在中国航天科技集团有限公司科技委微电子及元器件应用专业组指导下创办《航天微电子》，新时代新作为，新起点新贡献，值得祝贺。

微电子不微。微电子技术是航天强国核心技术体系的重要一环。进入新世纪以来，中国航天取得了更加快速的发展，长征飞天、东风快递、神舟遨游、北斗闪耀。每一项举世瞩目的国之重器，都凝结着广大微电子科技工作者的心血与智慧。

微电子不微。微电子技术是中国航天组织体系的重要一员。在长期践行自主可控的过程中，中国航天逐渐形成了融产品研制、试验验证、质量保障、工程应用为一体的微电子用研生态环境。集智攻关、保驾护航，微电子技术已经完全融入航天科技。

微电子不微。在航天工程的需求牵引下，微电子技术一定会迸发出更加耀眼的光芒。特别值得一提的是面对空间辐射难题，772所自主创新地走出了中国特色的设计加固技术路线，这是微电子技术 with 航天需求相结合的典范。

航天强国的使命在召唤，《航天微电子》理应成为我国航天微电子科技生态的重要组成部分，勇于开拓、注重质量、创新思维、激发活力，四海同“芯”、百花齐放，力争为“航天强国”注入更为强大的动能。



目录 CONTENTS

《战略前沿》

- 抗辐射加固集成电路技术发展与思考..... 赵元富 (1)
- 航天微系统自主创新发展的战略研究..... 张海利 (8)
- 抗辐射非易失性存储器研究进展..... 吴华强, 魏甜甜, 卫松涛, 潘立阳, 钱鹤 (13)

《专家视角》

- 刍议航天微电子质量保证..... 李京苑 (21)
- 构建以过程控制为核心的宇航元器件质量保证新体系..... 张延伟 (26)
- 论航天元器件保证工作的创新发展..... 江理东, 王敬贤, 张伟, 刘文宝, 朱旭斌, 付予 (33)

《研究论坛》

- 一种集成电路多应力可靠性预计新模型..... 白桦, 孙旭朋, 闫娟, 王群勇 (37)
- 提高可靠性和抗辐射特性的CMOS复合栅介质工艺研究..... 陈晓宇, 葛洪磊, 宋坤, 孙有民, 薛智民, 王英民 (42)
- 一种宇航用QDR SRAM控制器的自纠检技术研究与实践..... 郭晓, 李建成, 陆时进, 李雪梅 (48)
- GNSS基带芯片抗干扰技术现状与发展..... 韩闯, 汪跃先, 王伶, 谢坚, 陶明亮 (53)
- 基于CMOS工艺的硅光高速互联技术综述..... 林文淼, 纪鹏飞, 何卫锋, 毛志刚 (58)
- GaN基HEMTs空间辐射效应试验研究综述..... 刘伟鑫, 楼建设, 汪波, 马林东, 孔泽斌, 祝伟明, 王昆委 (74)
- 基于乒乓缓存的卷积神经网络加速器..... 秦智勇, 于立新, 庄伟, 孟晓, 杨雪, 陈雷 (81)
- 环栅晶体管锗硅沟道运输特性..... 孙炳奇, 俞少峰, 徐敏, 张卫 (87)
- 磁随机存储器及其辐射效应研究现状分析..... 王碧, 王昭昊, 赵巍胜 (92)
- 高压SOI pLDMOS电离辐射总剂量效应研究..... 王钊, 周铎, 师锐鑫, 乔明, 张波 (99)
- 陶封倒装焊器件百微米焊点极限应力评估..... 文惠东, 吕晓瑞, 张代刚, 谢晓辰, 林鹏荣, 王勇 (104)
- 宽频率可配置的宇航用SRAM型FPGA嵌入式锁相环设计研究..... 杨铭谦, 陈雷, 李学武, 孙华波, 祁逸, 朱志强 (111)
- 面向无人装备视觉感知的目标长时跟踪方法研究..... 杨若凌, 陆振林, 范少波, 荣金叶, 高冉冉 (117)
- 微处理器电路瞬时剂量率效应的仿真与试验研究..... 于春青, 李同德, 郑宏超, 王亮 (123)
- 一种基于稀疏表示的温度场重建技术..... 张天一, 李文昌, 刘剑 (129)
- 低开启电压钨阳极AlGaN/GaN肖特基二极管研究..... 张涛, 张进成, 郝跃 (136)
- 时间触发架构下的通信协议分析比较..... 赵沛, 闫攀, 张奇荣, 陶淑婷, 毛雅欣 (140)
- 高速高精度数模转换器插值滤波电路..... 朱泽华, 权海洋, 王宗民, 张铁良, 彭新芒 (149)

《应用在线》

- 基于FPGA的红外成像电路设计..... 苏健, 陈敏, 冯雪健, 刘丽丽, 张夜星, 董悦, 张利辉 (154)
- 功率MOSFET安全工作区的界定和绘制..... 赵昕, 刘学明, 刘芮, 王华, 王昊 (157)

《技术通讯》

- 微小型星载GNSS接收机设计..... 刘肖姬, 郭权, 李楠, 陈路 (161)
- 65nm抗辐射GNSS基带处理器的设计实现..... 乐立鹏, 张建军, 王亮, 李建成, 王福庆, 王佩 (164)

抗辐射加固集成电路技术发展思考

赵元富

(中国航天科技集团有限公司科技委微电子及元器件应用专业组, 北京 100071)

摘要: 本文总结了抗辐射加固集成电路发展特点和我国发展现状, 分析了未来抗辐射加固集成电路的发展需求, 探讨了未来需要重点关注的三个技术方向, 即软加固的天算芯片、高压功率器件加固、单粒子效应仿真。

关键词: 抗辐射加固集成电路; 发展现状; 软加固的天算芯片; 高压高功率器件; 单粒子效应仿真

中图分类号: TN43 文献标识码: A

The Development of Radiation-Hardened Integrated Circuits and Some Considerations

Zhao Yuanfu

(MCA Professional Group of Science and Technology Commission, CASC, Beijing, 100071, China)

Abstract: This paper summarizes the features of radiation-hardened integrated circuits (RHIC) and state of the art of China's RHIC, analyzes the development requirements of future RHIC, and based on this, proposes three advanced technology points which should be focused on in the future, such as sky chip with soft hardening, high-voltage power device hardening and single event effect simulation.

Key words: radiation-hardened integrated circuit (RHIC); state of the art; sky chip with soft hardening; high-voltage power device; single event effect simulation

0 引言

抗辐射加固集成电路是航天的核心基础技术。其发展追随着通用集成电路技术发展的脚步, 但又有独特性。首先航天应用需求对集成电路的性能要求不断提升, 同时集成电路在复杂空间环境下持续工作, 又要求其具有抗辐射能力及高可靠性, 即需要高性能的抗辐射加固集成电路。随着我国深空探测、载人航天等一系列重大宇航工程不断推进, 对抗辐射加固集成电路的性能需求将进一步提高, 新工艺、新器件、新方法和新手段将不断引入, 新一代抗辐射加固集成电路研制面临许多新的挑战。本文总结了集成电路发展趋势和我国抗辐射加固集成电路发展现状, 分析了抗辐射加固集成电路的未来发展需求, 并对我国抗辐射加固集成电路需重点关注的发展方向进行了展望与探讨。

1 抗辐射加固集成电路发展

集成电路自上世纪五十年代问世以来, 发展迅

速, 尤其是上世纪八十年代以来, 在国民经济、军事国防、日常生活中都起到了越来越重要的作用。同时, 随着太空探索和利用的不断深入, 抗辐射加固集成电路也取得了长足的进步。

1.1 集成电路发展趋势

1965年, 英特尔创始人戈登·摩尔提出了著名的摩尔定律 (Moore's Law), 对集成电路集成度成倍增长的现象做出预测, 集成电路技术的发展虽然需不断克服各种技术瓶颈, 但始终遵循该定律。随着集成电路工艺技术不断进步, 近年来, 集成电路技术的发展趋势又有了新的分支, 大体形成了三个发展方向^[1], 如图1。

一是延续摩尔定律 (More Moore)。通过材料技术、工艺能力的进步, 实现特征尺寸持续等比例缩小, 从而不断提高芯片集成度。伴随着关键技术的不断突破, 集成电路特征尺寸不断减小, 这些特征尺寸变化成为了全球电子产品整体性能不断进化的核心驱

动力。基于台积电最新3nm工艺研发的芯片，晶体管密度是7nm的3.6倍，达2.5亿/mm²。但这一方向的持续推进，带来了极大的资本壁垒，根据市场研究机构IBS的数据，5nm芯片的设计费用超过5亿美元，新建一条3nm产线的成本约150~200亿美元，同时工艺开发费用约40~50亿美元，行业呈现寡头垄断，目前能够提供7nm及以下先进制程工艺的厂商仅有台积电、英特尔和三星。

三是超越CMOS (Beyond CMOS)。新理论、新材料、新结构正处于探索阶段，以取代面临极限的CMOS器件，如自旋电子、单电子、量子、分子和单原子器件等。目前，以原子分子自组装技术为基础的纳米电子学正在蓬勃兴起，代表有量子点阵列、碳纳米管、石墨烯，其中，量子电子器件已在实验室条件下研制成功。这些技术将成为集成电路技术未来发展的持续动力。

1.2 抗辐射加固集成电路发展特点

抗辐射加固集成电路的开发主要由航天或国防需求驱动，其发展趋势受集成电路总体发展趋势影响，主要呈现以下特点。

一是多样化需求导致的产品方向多样化。为满足载人航天、行星探测、深空探测等多种任务需求，针对航天型号特定功能而开发的抗辐射加固集成电路也更加多样化。以星载计算机为例，典型单机中需要实现数据运算处理功能的处理器芯片、实现数据存储功能的存储器芯片、实现数据中继与传输功能的接口电路芯片和控制器芯片、实现数据转换功能的AD/DA芯片等多种宇航用集成电路。另外，集成电路领域技术的进步，也推动着航天器部组件的更新换代，从而产生新的抗辐射加固集成电路需求。

二是为绕开先进专用生产线建线的巨额投入，抗辐射加固技术路线从工艺加固转向设计加固。以美国为例，2003年至2008年，其先后建立了0.25 μm 、0.13 μm 等专用抗辐射加固工艺线。与此同时，由于意识到抗辐射加固集成电路的发展进入纳米工艺时代，斥资建立仅用于小批量生产的专用工艺线性价比太低，为此，美国国防部和国家安全局主导，开始实施可信赖集成电路战略计划，采用抗辐射设计加固的方式，直接在经过国防安全认证的商用工艺线上制造，将抗辐射加固集成电路的研制能力从0.15 μm 跨代提升到32nm。图2所示为NASA航空航天电子设备发展路线中基础技术的发展路线，按照规划，目前使用32nm SOI工艺的设计加固技术已经成熟，而文件中也明确表示由于商用先进工艺已经可以提供较为充分的耐辐射能力和耐高温能力，因此设计加固对比开

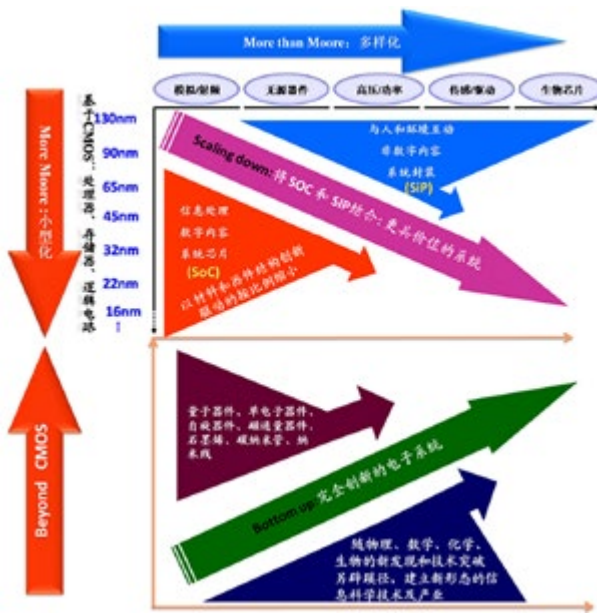


图1 集成电路技术发展的三个方向 (ITRS2.0)

Fig.1 Three directions for integrated circuit technology development (ITRS2.0)

二是扩展摩尔定律 (More than Moore)。以系统级封装技术为基础，将数字和非数字、硅和非硅、CMOS和非CMOS等不同类型电路，电、光、微机械等异质结构器件，通过不同方式进行堆叠，实现更快的开发速度、更高的计算力、更低廉的成本。世界知名半导体企业均为系统级封装技术的主要参与者，台积电通过采用CoWoS封装技术和LIPINCON互连技术，将大型多核设计分成多个小芯片一体封装，从而提供更高的良率和更好的经济性。英特尔也做到将不同IP、不同工艺的各种方案封装在一起，从而省去漫长且成本颇高的重新设计、测试和流片过程。

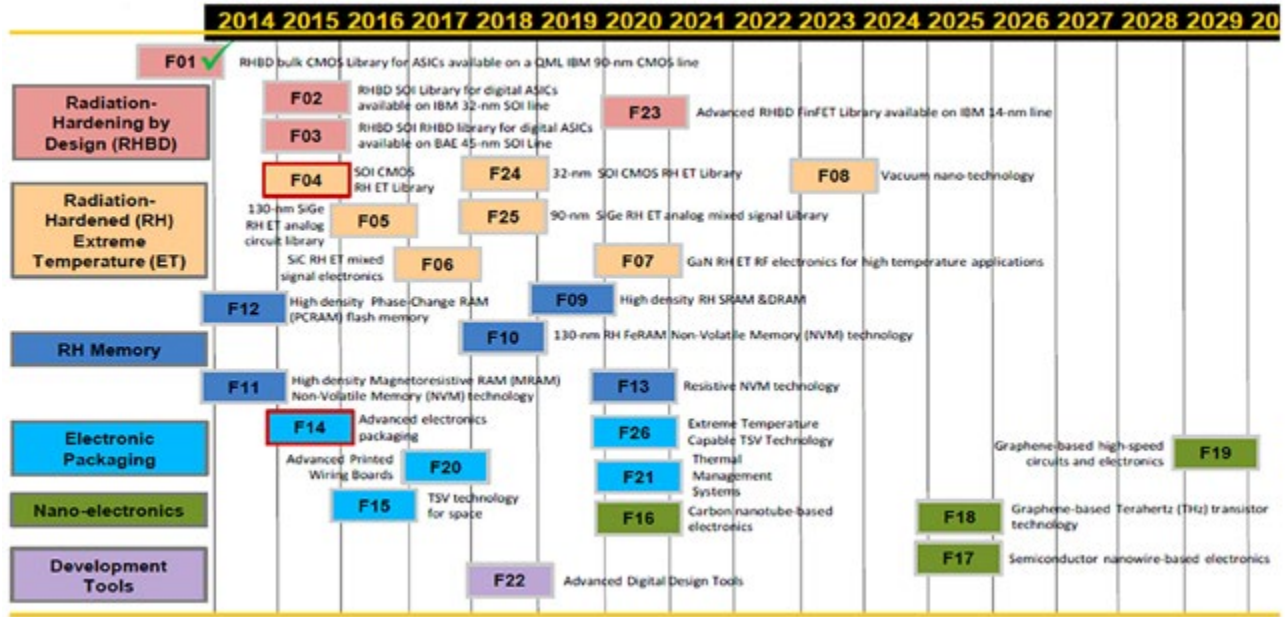


图2 NASA 航空航天电子设备发展路线—基础技术类
Fig.2 NASA's roadmap on avionics device — fundamental technology

发和维护专用的抗辐射加固工艺线具有明显成本优势^[2]。

三是面向未来，绕开先进工艺下集成电路设计和制造的巨额投入，以高效低成本为目标，重点探索依靠可重构/可编程芯片实现航天集成电路功能。随着军事智能化的不断发展，对高性能宇航集成电路的多样化需求层出不穷，传统抗辐射加固集成电路开发流程已逐渐无法满足目前需求，因此必须要开发多功能、可重构、适应多种应用场景的宇航集成电路。以FPGA为代表的可重构芯片，可通过灵活编程实现各种复杂的功能。从发展角度来讲，它可以替代目前宇航型号中诸多功能各异的集成电路，能够大幅节省各类宇航系统的研制时间与成本。然而由于硬件的复杂性和状态的多样性，可重构芯片抗辐射加固是一个难题，需要探索针对可重构芯片的新型抗辐射加固技术途径。

1.3 我国宇航抗辐射加固集成电路发展现状

如前所述，抗辐射加固集成电路是建设航天强国的重要基础之一。在国家的大力支持下，经过数十年的努力，我国抗辐射加固集成电路取得了长足发展，

通过自主创新，攻克了多项重大技术难题，解决了型号瓶颈问题，满足了体系化、成批量的工程应用需求。

长期以来，我国宇航集成电路专用生产线少，工艺相对落后，难以满足航天发展对抗辐射加固集成电路的需求。为此，90年代末，北京微电子技术研究所率先采用“商用线+设计加固”的技术路线研制抗辐射加固集成电路，但必须解决设计加固面临的诸多挑战，如单粒子翻转导致集成电路功能紊乱、单粒子门锁导致集成电路可靠性降低、一般设计加固方式导致集成电路功耗与面积开销过大等。为此，北京微电子技术研究所在国家的大力支持下，从集成电路辐射效应机理研究出发，经过潜心钻研和不懈攻关，攻克了单粒子翻转加固、单粒子门锁加固、总剂量加固等关键技术，实现了设计加固路线下，集成电路产品的高性能、高可靠与低开销。同时，开发了抗辐射加固集成电路研制平台，研制了以抗辐射FPGA、CPU等核心器件为代表的数百款产品，基本构建了我国抗辐射加固集成电路产品谱系，并体系化应用于各类宇航型号。设计加固技术路线使我国能够充分利用后发优势，实现宇航集成电路的跨越发展。

2 抗辐射加固集成电路发展需求

目前，航天技术的不断发展对抗辐射加固集成电路提出了新的需求。航天器具有两大发展趋势：一是从单一功能应用向多功能融合发展，常规的通信卫星、导航卫星、遥感卫星的功能不断增加，其定位从单一功能航天器向具有灵活载荷能力、支持多系统集成空间平台发展^[3-5]；二是向低功耗、小型化、高集成度方向发展。一方面，在航天器的信息感知、处理和传输等单元模块中，广泛利用微电子技术，将器件、单机甚至系统芯片化，大幅缩小应用单元的体积，提高了航天器的有效载荷率；另一方面，随着宇航芯片工艺从180nm到65nm再到28nm，宇航集成电路体积更小、功耗更低，为微小卫星的研制提供了有利条件，美国、欧洲都提出并实施了利用微小卫星组成低轨星座的各种项目，并且在小卫星上逐步集成多种功能芯片，诸如集成激光通信功能等，以支持更多的空间应用^[6,7]。总体上看，高效能计算能力和高压大功率是其中最显著的共性需求。

2.1 高效能计算

集成电路的发展与现代军事变革息息相关。20世纪初，信息化成为军事变革的核心，战争形态也由机械化战争转化为信息化战争^[8]。随着人工智能等颠覆性技术快速发展，现代战争形式也从信息化战争逐步转变为智能化战争。以在轨卫星为基本单元的智能化天基互联网将成为未来智能化战争中的核心，海量的战场信息通过传感器获取、并由天基互联网实时处理和传输，天基网络与地面系统互联互通，形成一个天、空、地立体交联的时空动态网络^[9,10]。天基卫星网络对航天器提出了大带宽通信、海量数据处理、支持人工智能等功能要求，而这些功能都依赖于先进集成电路尤其是先进的抗辐射加固集成电路实现。

除了军事应用，在气象遥感、导航、通信等民用航天领域，也产生了对抗辐射加固集成电路的不同需求。美国太空探索技术公司（SpaceX）发起了旨在向全球提供免费高速互联网服务的“星链”（Starlink）计划，计划部署数万颗卫星，所有卫星具有大带宽、低时延、广连接的通信功能。同时，随

着小行星探测、深空探测等项目的不断发展，亟需发展具备自主观测、自主决策、自主导航能力的航天器，需要对行星表面气象、地理等数据实时观测，并对数据进行实时处理，在短时间内调整航天器姿态和降落策略。如图3为NASA设想的航天器在极端地形情况下精准登月着陆过程^[11]，在整个着陆过程中综合应用了图像传感器、雷达、激光雷达等设备，在着陆过程中实时检测、决策并调整航天器姿态，自动完成整个着陆过程。为此，新一代航天器对宇航集成电路的需求主要体现在信息处理能力的提升、通信能力的提升和智能化等需求。

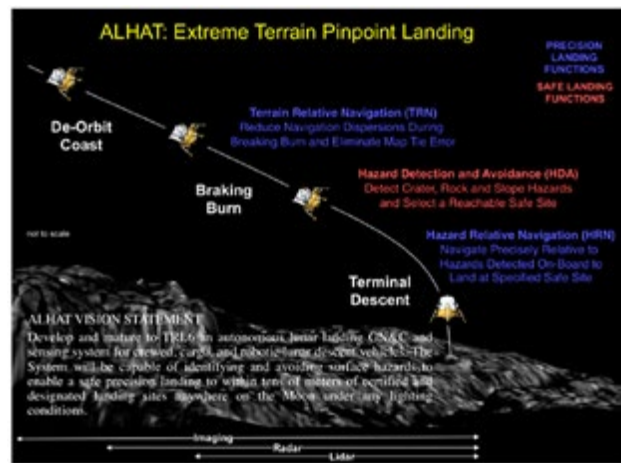


图3 航天器自主着陆过程

Fig.3 Autonomous landing of the spacecraft

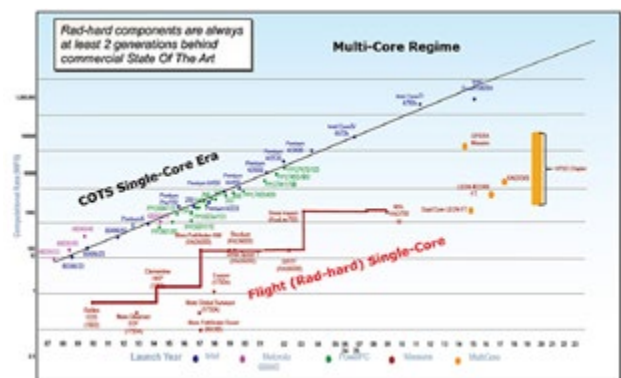


图4 美国航天计算平台与商用处理器性能对比与发展趋势

Fig.4 A comparison between the roadmaps of commercial and radiation-hardened processors

按照摩尔定律，随着集成电路工艺的不断提升，处理器的集成密度不断提升、主频不断提高、相对功耗不断降低，而这也推动着处理器计算效能的提升。对于航天器上使用的抗辐射加固处理器，通常比商用处理器性能落后一至两代，且差距越来越大，如图4所示。如今，美国最先进的计算单机模块是美国BAE系统公司开发的RAD5545模块，其核心采用了先进的45nm抗辐射加固SOI工艺，但是总体性能远远落后于商用处理器^[12,13]。针对目前航天器计算性能瓶颈，NASA在2013年启动了“高性能航天飞行计算”项目（HPSC），目的是开发颠覆性的航天用处理器，并显著改进航天器计算能力。该项目计划于2020年底，由波音公司提供抗辐射加固多核、可重构计算处理器Chiplet模块，每个小芯片都包含八个通用ARM内核，以及与存储器和外围设备的接口，并将灵活地定制处理器性能、功耗和容错能力，最终取得相对目前先进平台性能近百倍的提升，以满足未来广泛变化的航天任务需求。以火星探测任务为例，预计项目完成后，该项目成果将带来更大带宽数据传输能力以及数据处理能力，并保障包括航天器的自主进入、下降与着陆、自主交会与对接等在内的多项航天任务顺利实施^[14]。如图5所示，该项目中，明确地对其开发的下一代宇航用高性能计算平台的抗辐射指标和可靠性指标进行了规定^[11]。可见抗辐射加固仍是未来宇航用集成电路的重点技术之一。

Total Ionizing Dose (TID)	Strategic radiation
Prompt Dose Immunity	hardness for Air
Dose Rate Survivability	Force applications
Latchup Immunity	• LET ≥ 90 MeV-cm ² /mg
Single-Event Upset (SEU) (Adams 99% WC GEO)	• HP Subsystem (AS3 Array): ≤ 1E-3 errors/device-day • Realtime Subsystem: ≤ 1E-4 errors/device-day • Timing/Reset/Clock/Health Ctrl: ≤ 1E-5 errors/device-day
Single-Event Upset (SEU) (WC Solar Flare)	• HP Subsystem (AS3 Array): ≤ 1E-1 errors/device-min • Realtime Subsystem: ≤ 1E-2 errors/device-min • Timing/Reset/Clock/Health Ctrl: ≤ 1E-3 errors/device-min
Reliability	• ≥ 100,000 power-on hours
Software	• Multicore operating systems (Linux & RTOS) • Development tools (compilers, debuggers, etc) • Board Support Packages (BSPs) • APIs for fault tolerance, power management
Emulators	• Software-based quick emulator • FPGA-based cycle-accurate emulator

图5 HPSC项目关键指标

Fig.5 The key requirements of the HPSC project

在专用卫星领域，高效能的计算能力可以为高分辨遥感观测卫星、高通量通信卫星、高精度导航卫星

等高性能卫星的发展提供保障。对于高分辨率遥感卫星，空间中获取和处理的数据量激增，现有宇航集成电路难以满足大数据实时处理的需求。欧美等航天强国一直重视在轨信息处理技术的研究、开发与应用，积极开展航天大数据实时处理和高精度处理的应用研究。近年来，随着卫星技术的不断发展，欧美又进一步布局超高性能计算技术在空间环境中的应用。

在军事应用上，天基计算能力成为了未来获得战场优势的关键。美军在2018年发布了低轨小卫星星座BLACKJACK项目，目的是使用具有较小尺寸、较轻重量、较低功耗和成本、具有机动功能的小型通信和监视卫星，建立用于太空态势感知、通信和预警一体化的低轨星座^[15]。该项目还计划使用集成人工智能和机器学习技术的高性能信息处理系统，在小卫星内部建立强有力的互联，并将使星座具有在轨处理海量数据的能力。该项目的关键点和星链项目高度重合，即利用卫星链路构建新型太空网络，谋求未来在太空战场中的绝对优势。每个卫星既是信息处理中心，又是高速传输中继，要实现这些目标，离不开高效能计算芯片的支撑。

2.2 高压大功率

目前，航天器能源系统呈现能源系统集成化、能量供给多元化、能量收集自主化、能量信息一体化等趋势，为提高能源利用率，支持空间新技术应用，发展高压大功率宇航集成电路以提高传输效率、降低传输损耗成为了未来航天器的必然需求。

在电推进等新型航天技术发展应用过程中，高压大功率器件是重要的技术支撑之一。电推进技术又称电力离子推进技术，主要技术思想是使用电能驱动工质喷射而产生动力，具有整体质量轻、省燃料、比冲高优点。电推进的应用一方面是电火箭应用方向。目前，美国火箭实验室（Rocket Lab）开发了瞄准于小卫星发射的“电子”火箭，成功执行了多次发射任务。另一方面，电推进目前也逐渐成为小卫星的主要动力系统。以星链为例子，每颗“星链”卫星重约227kg，装有多个高通量天线、一个太阳能电池组和高精度导航系统，使用以氙为工质的霍尔推进器提

供动力。星座组网后，每个节点（卫星）都具有动能变轨能力。在美国的相关演习中“星链”成功实施了对洲际导弹的动态拦截，这一切得益于先进电推进技术提供的机动能力。霍尔电推进是目前主流的电推进技术之一。目前更高的比冲是霍尔电推进的重要发展方向之一，为了满足未来更大型的深空探测任务的需求，电推进的比冲必须增大，实现高比冲最直接的途径是高电压^[16]，而太空中高电压应用则必须考虑功率器件的加固问题，以保证电推进器更高效、更可靠、更长寿命。

宇航用高压功率集成电路技术进步使宇航电子设备呈现出高性能、轻型化和小型化的发展趋势，而航天领域前沿技术的需求会加快这一趋势。目前，以宽禁带、耐高压为特征的GaN、SiC等新一代半导体器件在民用领域快速发展，并逐渐在航天领域中开展应用。在空间新应用领域，空间激光通信、空间太赫兹高速通信等技术的实现依赖于高压驱动。而在未来的航天前沿技术中，空间太阳能电站、基于超导磁体的太空辐射屏蔽装置都将使宇航用高压、大功率器件的需求大幅度提升。

3 我国抗辐射加固集成电路需重点关注的发展方向

长期以来，美国在宇航集成电路研发与应用领域一直处在领先地位。随着近年来我国宇航集成电路的发展步伐不断加快，美国又开始进行新一轮的规划和布局，依托“电子复兴”等系列计划，结合民营航天科技力量，从高性能宇航集成电路开发、商用高性能芯片评估等领域入手，谋求和扩大宇航抗辐射加固集成电路技术的领先优势。近年来美国民营航天企业业务不断扩展，宇航用抗辐射加固集成电路也朝着成本更低、性能更高、技术迭代更快的方向发展。

目前来看，我国与美国在宇航集成电路全领域内尚存差距。跟随先进航天器技术发展趋势，为适应载人航天、探月工程、深空探测等多种航天任务的需求，我国宇航抗辐射加固集成电路应重点突破软加固的天算芯片、高压功率器件加固、单粒子效应仿真等三个发展方向。

3.1 软加固的天算芯片

为满足新一代航天智能化信息处理需求，必须采用基于先进工艺的高性能集成电路，但开发专用芯片成本极高，且开发周期极长。因此，我们预计，未来宇航用核心芯片将是集智能、可重构和超算于一体的芯片，我们称其为“天算芯片”。天算芯片是一种通用的可重构芯片，其功能可以通过基于编程代码的二次设计来实现，以满足宇航集成电路的高性能、低成本和快速设计的需求。

然而，天算芯片功能强大、结构复杂，规模也极大，若采用传统的工艺加固、设计加固等硬件加固方法研制，必然导致芯片性能严重下降，功耗严重增大，且设计难度、开发周期和成本都将难以承受。为此，针对天算芯片需要探索新的加固技术途径。采用芯片级软加固研制天算芯片是一种可行的办法。所谓芯片级软加固，有两个层次的内涵。一是加固的软IP，基于可重构芯片，可以在实现芯片功能的过程中，通过将冗余、纠检、容错等手段融入到代码设计和综合实现中，使芯片的抗辐射加固能力得到提升。例如，在对FPGA编程时，对关键逻辑模块进行三模冗余设计，对关键存储模块进行纠检错设计，可有效提升最终电路的抗单粒子效应能力。二是软件加固，基于已完成编程/重构的芯片硬件，通过增加软件手段，实现对芯片单粒子故障的识别、诊断、容错或自恢复，提高芯片应用的可靠性。

3.2 高压功率器件加固

离子、霍尔等电推进技术的空间应用，新型的空间激光通信设备、空间攻防武器的研制，空间太阳能电站、超导磁体屏蔽太空辐射等新设想需付诸实践，其关键之一是高压大功率电源技术。

然而，高压功率电源系统采用高压功率器件，这类器件的高压主要依靠高耐压的耗尽区承受，当粒子穿过耗尽区时，电子空穴对形成瞬间的导通通道，使高电压直接作用于栅氧等薄弱区域，导致器件烧毁等严重损伤。高压功率电源系统的抗辐射加固尤其是单粒子加固是一个世界性难题，但必须得到解决。

为此，首先需要研制抗辐射加固高压功率器件。

面对百伏至千伏级电压需求，需采用GaN、SiC等新型材料功率器件，而这些新型功率器件的抗辐射加固成为必须攻克的技术瓶颈。其次需要研究集成了高压功率器件的电源模块的抗辐射加固方法，通过多层次、全方位的加固，确保电源系统在轨可靠运行。

3.3 单粒子效应仿真

高效能计算依赖于高性能芯片，随着宇航集成电路集成度和复杂度越来越高，其加固设计难度和单粒子加固性能的全面准确评估变得非常困难，且成本极高。一方面，目前尚缺少针对超大规模集成电路单粒子效应仿真的软件，导致单粒子性能无法在设计阶段预估，仅能通过试验验证，设计风险大，为减小风险必须采用保守的加固方案，难以实现高效能。另一方面，对高度复杂集成电路的试验评估变得异常困难；NASA研究表明，对于1Gb SDRAM器件，全模式单粒子试验评估需要66096个小时，合7.5年，这种遍历式的评估不可能实现，且难以确定最劣情况。因此，非常有必要开展集成电路单粒子效应仿真研究，依靠计算机仿真软件完成芯片抗辐射性能的评估。

首先，需要解决芯片单粒子效应的仿真方法和建模问题，打通从器件级仿真到芯片级仿真的关键技术。其次是开发支持超大规模集成电路单粒子效应仿真的软件，为实现芯片抗单粒子能力的预估和高效评估提供关键技术手段。

4 结束语

抗辐射加固集成电路作为宇航核心技术，是航天技术发展的关键基础之一。随着智能化天基卫星网络、深空探测等航天工程的开展，高效能计算和高压大功率成为未来对抗辐射加固集成电路的重要需求。结合集成电路技术发展趋势和未来宇航型号需求，充分探索和利用集成电路前沿技术，谋划确定重点发展方向，在软加固的天算芯片、高压功率器件加固、单粒子效应仿真等技术方向超前布局，在满足航天发展需求的同时，实现抗辐射加固集成电路的创新发展和技术引领。

参考文献 (References)

[1] Wolfgang Arden, et al. "More-than-Moore" -White

Paper. ITRS, 2010.

- [2] Flight Avionics Hardware Roadmap, Avionics Steering Committee, NASA, 2014.
- [3] 李博, 赵琪. 2018年国外通信卫星发展综述[J]. 国际太空, 2019, 2: 34-41.
- [4] 刘春保. 2018年国外导航卫星发展综述[J]. 国际太空, 2019, 2:42-47.
- [5] 龚燃, 刘韬. 2018年国外对地观测卫星发展综述[J]. 国际太空, 2019, 2:48-55.
- [6] 陈建光, 王聪, 贾平等. 2018年国外航天技术发展综述[J]. 国防科技工业, 2019:49-51.
- [7] 贾平, 梁晓莉等. 2017年国外航天前沿技术发展综述[J]. 中国航天, 2018, 7:33-38.
- [8] 江泽民. 新时期我国信息技术产业的发展[J]. 上海交通大学学报, 第42卷, 第10期, 2008年, 1589-1607.
- [9] MOSAIC WARFARE-EXPLOITING ARTIFICIAL INTELLIGENCE AND AUTONOMOUS SYSTEMS TO IMPLEMENT DECISION-CENTRIC OPERATIONS BRYAN CLARK DAN PATT HARRISON SCHRAMM. WSBC, 2020.
- [10] DoD Trusted and Assured Microelectronics Summary[C]. Muldavin. Strategic Technology Protection and Exploitation (STP&E), OUSD(R&E)NDIA Electronics Division Meeting, February 7, 2019.
- [11] Next Generation Processing for Space Systems. Jet Propulsion Laboratory, 2018.
- [12] RAD5545TM multi-core system-on-chip Power Architecture processor, BAE system, 2019.
- [13] Richard J. Doyle. Reinventing the Role of Computing in Space. Jet Propulsion Laboratory, California Institute of Technology, 2019.
- [14] Wesley Powell. High-Performance Spaceflight Computing (HPSC) Program Overview[C]. Space Computing & Connected Enterprise Resiliency Conference (SCCERC), Bedford, MA, June 4-8, 2018.
- [15] Defense advanced research projects agency 1958-2018. DARPA, 2018.
- [16] 康小录, 张岩. 大功率霍尔电推进研究现状与关键技术. 推进技术, 2019, Vol. 40, No.1: 1-10.



作者简介:

赵元富(1962—),男,江西省进贤县人,博士,研究员,长期从事抗辐射加固集成电路技术研究和产品研发工作。

航天微系统自主创新发展的战略研究

张海利

(中国航天科技集团有限公司元器件专家组, 北京 100048)

摘要: 微系统技术是实现航天工程高性能、集成化、智能化发展的关键。我国微系统技术发展通过持续布局, 初步建成了共享共创平台, 但是距离航天强国发展要求仍有较大差距, 存在顶层设计论证不系统、平台建设支撑不全面、可靠性评价验证不充分等问题。面对航天强国建设目标和航天型号任务需求, 航天微系统技术发展要按照“系统布局、重点突破、协同创新、形成合力”的工作思路, 进行总体策划, 开展共性研究, 突破关键技术, 构建系统-元器件协同设计、异质异构集成封装和研发应用全过程可靠性保障三大平台, 为面向航天领域应用的微系统产品自主可控研制提供技术支撑。

关键词: 微系统技术; 发展思考; 自主可控; 平台建设

中图分类号: TN453

文献标识码: A

Development Strategy of Self-independent Innovation in Aerospace Microsystems

Zhang Haili

(Components and Devices Expert Group, CASC, Beijing, 100048, China)

Abstract: Microsystem technology is the key to achieve the high-performance, integrated and intelligent development of aerospace engineering. The microsystem technology development of China has initially established a shared co-creation platform through continuous deployment. However, due to the unsystematically top-level design, incomplete platform construction and insufficient evaluation of reliability, there is still a big gap between the status quo and build China into a space power. Faced with the goal of building a powerful aerospace country and the needs of aerospace Microsystem must base on the principles including systematic arrangements, breakthroughs of pain points, collaborative innovation and powers integration. At the same time, in order to support independent and controllable microsystem R&D we should carry out high level design and research, break through key technologies as well as build a platform to satisfy system-component collaborative design, heterogeneous integrated packaging, and R&D applications.

Key words: microsystem technology; development strategy; independent and controllable; platform construction

0 引言

微系统通过系统、芯片、软件的协同, 利用摩尔定律和超越摩尔定律的技术优势, 实现电子系统的集成化和微型化, 大幅降低电子系统的体积、重量和功耗, 提升系统的性能和可靠性。微系统关键技术包括可信的IP和芯粒 (Chiplet) 资源库、基于芯粒的系统级架构技术、软硬件协同设计与验证、微系统的高可靠集成封装、微系统的测试及可靠性评价等。

航天技术的发展越来越依靠电子技术的进步, 发展航天微系统是实现航天工程和新一代武器装备

高性能、高可靠、集成化、智能化以及自主可控的关键^[1,2]。我国航天微系统起步较早, 取得了一定的成绩。2012年在航天科技集团公司元器件保证研究中心组织下, 系统开展了航天未来片上集成系统 (System on Chip, 简称SoC) 论证工作, 对保证航天型号任务的成功发挥了重要作用。但航天微系统发展在顶层设计、产品研发能力、基础保障等方面与装备现实需求有较大差距。为促进集团公司对微系统发展的需求和应用, 支撑我国航天强国建设, 在调研分析国内外微系统发展的基础上, 提出了促进我国航

天工程任务有关微系统发展的建议。

1 国外航天微系统发展现状

1.1 微系统是支撑武器装备战略发展的核心技术

微系统技术被美国视为推动21世纪武器装备信息化革命的核心技术，是使美国作战部队拥有非对称优势的关键技术。DARPA (Defence Advanced Research Projects Agency) 通过“超越缩微 (Beyond Scaling)”和“电子复兴 (ERI, Electronics Resurgence Initiative)”等一系列计划^[3-6]，系统构建微系统发展构架和项目群布局，根本目的是发展美国后摩尔时代微纳电子领域的新体系，继续筑牢美军装备在电子信息领域的优势地位。

欧洲和日本将发展微系统作为宇航装备自主可控的重要策略。充分立足各自实际，实行E-CUBES计划、“地平线2020 (Horizon 2020)”科研规划等项目^[7-10]，积极布局微纳电子技术、异质集成工艺技术、射频工艺平台、硅基光电集成工艺平台等微系统重点技术，形成关键技术和产业自主发展的态势。

1.2 NASA高度重视微系统需求分析和架构设计

2013年，美国空军实验室 (AFRL, Air Force Research Laboratory) 联合NASA提出“下一代空间处理器NGSP”的概念，并共同组织JSC、GSFC、JPL各研究中心梳理了载人任务和科学任务，包括云计算、空间气象等19个应用领域、60个应用变种的需求，在此基础之上提出5种候选处理器架构。为有效评估各种候选架构的能力，项目组提出12项关键性能参数进行评价，最终选出抗辐照加固的通用多核处理器架构。在处理器研发阶段，NASA和AFRL首先组织BAE、Boeing、Honeywell三家公司开展为期1年的创新阶段论证以评估产品是否满足需求。最后进入开发阶段，选定波音公司作为唯一供应商负责处理器开发工作。

1.3 将工程应用示范项目作为微系统技术发展的重要牵引

美军微系统正在向体系纵深发展，构建更高成熟

度的工业制造体系，同时联动装备级的微系统大规模应用。通过具体的工程项目或课题，落地各项技术开发和成果应用。DARPA分别从电子元器件技术、集成技术、算法与架构、支撑技术等4个方面安排工程研究项目，如图1所示。

1.4 努力构建微系统体系标准和IP复用生态

历时10年时间，美国DARPA在2017年宣布微系统异构集成平台形成。该平台由诺格公司发展，是美军首个12英寸微系统异构集成平台，实现了异构集成化合物半导体标准裸芯片 (Chiplet) 的代工工艺平台，具备同时异构集成4类9种化合物半导体和无源元件的成熟批产能力。这一重大突破是DARPA通过COSMOS、DAHI和“通用异构 (异质) 集成和IP复用战略” (CHIPS) 项目持续布局、分阶段发展的重要基础平台成果。

2 我国军用微系统技术发展现状

我国军用微系统技术通过近年来的持续投入支持得到较大发展，初步建成了SoC、SiP技术平台，布局了扇外型晶圆级封装和3D叠层高密度封装平台，先后支持了遥感信息处理微系统集成、机载综合处理、弹载多模通信等方向的课题研究工作。

为发展微系统技术，统筹内外研究力量形成了协同创新局面，秉承协同设计、共享工具、共享IP库、共享计算、开放工艺的理念，构建了微系统公共协同设计平台，打造了线上与线下相结合的协同制造生态。

3 我国航天微系统发展现状和存在的主要问题

航天工程研制单位在微系统发展顶层需求规划、微系统架构设计、IP库建设和复用、产品快速实现能力以及全过程保证能力等方面距离“高质量、高效率、高效益”发展要求仍存在较大差距，存在的主要问题归纳为以下三点。

3.1 顶层需求论证不系统，架构设计研究不充分，研发品种分散，未发挥总体优势

微系统产品开发缺少统一组织和顶层策划，对航

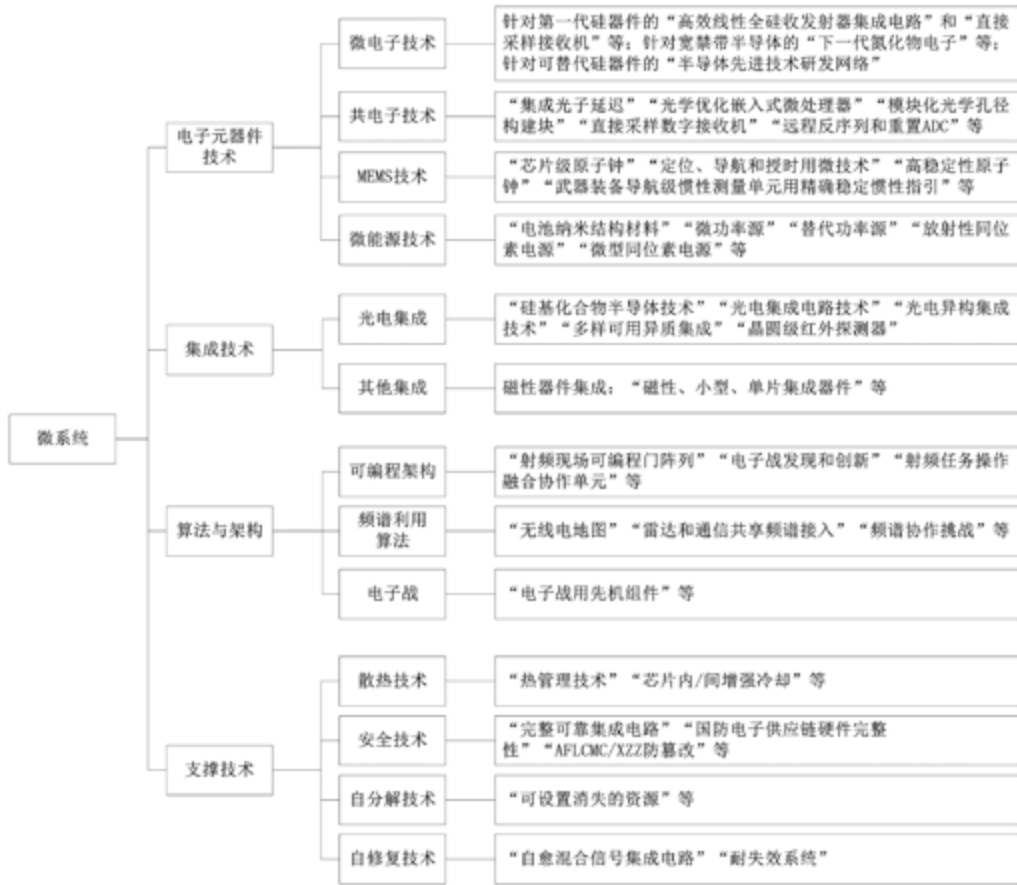


图1 DARPA微系统重点课题
Fig.1 DARPA's key projects of microsystems

天领域电子系统架构设计缺乏深入研究，微系统产品研发路线缺少合理规划，基本上以各专业研究所为主开发微系统。当前集团公司大量微系统产品存在功能雷同、性能相似、低水平重复等问题，影响微系统自身优势的发挥，也不利于集团公司系统总体作用和用研一体优势的发挥。

3.2 微系统平台建设亟待加强，产品实现周期长，难以实现高效率

微系统产品研发缺少平台支撑，尚未构建起通用化、标准化的技术平台。系统-元器件协同设计平台、高密度封装制造工艺平台和可靠性保证平台尚未建立。当前微系统产品实现过程中存在设计周期长、制造难度大、应用效果不好等问题，阻碍了微系统实现高效率发展。

3.3 微系统产品质量满足航天应用还有差距，保证技术、评价标准与验证方法需进一步突破以保证高质量

微系统设计和制造过程复杂，产品质量保证风险高，可靠性评价与验证能力尚未全面建立，关键的测试和评价技术仍需深入研究。目前尚无统一的航天微系统产品评价标准，各方的评价要求和方法各不相同，许多技术尚缺乏深入研究，如微系统KGD (Known Good Die) 测试与评价方法还有待研究和实施；TSV、晶圆级封装等贯穿于微系统实现过程的关键工艺能力认可能力尚不具备，仅仅依靠事后评价产品质量可靠性费时费力，且效果不佳。

4 我国航天微系统发展思考

4.1 统一思想，深刻认识发展航天微系统对航天强国的重要性和紧迫性

随着航天任务日趋复杂，航天型号对元器件的要求不断提升，提出了功能更丰富、性能更高、功耗更低以及智能化的要求。通过微系统技术能够将各类功能器件、组件进行高密度集成，可构成整体功能强大的电子系统，实现型号需求与元器件能力的有效适配，有助于在元器件自主可控前提下满足型号的发展需要，对支撑集团“三高”发展、实现全面自主可控意义重大。

发展航天微系统，是获取竞争优势、实现航天强国的重要手段。微系统技术发展正在引领军事装备型号设计方法和实现手段的颠覆性变革，航天型号正处在从基于离散元器件的型号工程设计向基于微系统的型号工程设计转变的机遇期。发展航天型号工程和航天事业是航天科技的主责主业，而航天微系统是支撑航天型号工程发展的重要手段，若错失机遇，将逐步丧失航天型号核心竞争力。

4.2 实施航天微系统发展促进计划，提升微系统研发能力，支撑“三高”发展目标实现

纵观国内外微系统发展历程，微系统已经成为助推航天系统提升综合效能、实现自主可控发展的最有力技术途径。发展航天微系统应充分发挥自身系统、单机、微电子全产业链的优势，实施促进计划，加强统筹规划，加快微系统平台能力建设，加速提升航天微系统水平，带动航天实现“三高”发展。

4.2.1 工作思路

发展航天微系统的工作思路如图2所示，按照“系统布局、重点突破、协同创新、形成合力”的工作思路，围绕航天强国建设目标，以解决航天电子系统综合效能提升和自主可控发展两大问题为导向，立足集团公司微系统产业基础，发挥集团公司顶层引导作用，通过系统-元器件协同设计平台、高密度封装工艺平台和微系统可靠性保证平台三大平台，体系化部署航天微系统发展，发挥集团公司用研一体优势，建立和完善公共支撑机制与体系，提升航天装备智能化、小型化和自主可控水平，助推航天强国建设目标实现。

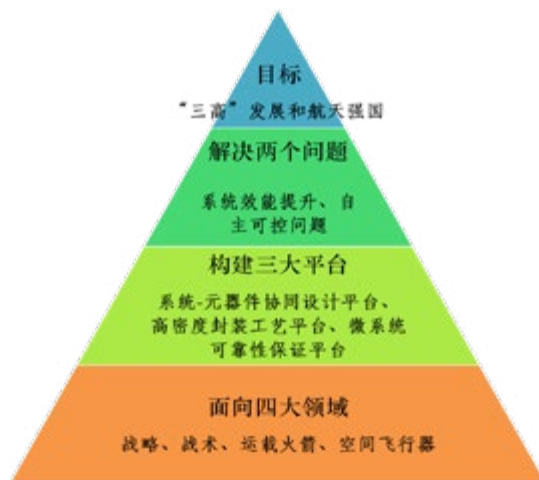


图2 发展航天微系统的工作思路

Fig.2 Strategic plan for the development of aerospace microsystems

4.2.2 重点工作

(1) 开展系统性研究，抓总推进航天微系统发展：编制总体技术方案，对航天微系统进行总体规划，开展应用场景需求分析，论证系统架构，制定微系统产品发展规划；研究制定微系统研发流程和程序，规范微系统研发工作；协调专项实施中的技术问题。

(2) 突破关键技术，支撑平台建设和产品研发：重点突破系统设计和仿真、IP和芯粒评测、软硬件协同设计与开发、辐射加固和高可靠设计、异质异构集成、微系统测试与验证、微系统标准体系、微系统全生命周期保障等一系列微系统实现过程关键技术。

(3) 构建航天微系统技术平台，形成三大平台能力：建设三大平台，一是集团公司系统-元器件协同设计平台；二是具有异质异构集成能力的高密度封装工艺平台；三是覆盖航天微系统产品研发到应用全过程的微系统可靠性保证平台。

(4) 开展共性支撑技术研究，支撑航天微系统又好又快发展：研究制定航天微系统架构评价、IP和

芯粒评价、微系统可靠性保证等标准；研究建立IP库管理、芯粒目录管理等规范；研究IP和芯粒复用、交易机制。

5 结束语

当前，我国航天元器件面临的形势和主要任务是两个方面的：一是全面实现自主可控，二是支撑提升航天工程和武器装备电子系统的效能。利用微系统技术发展航天微系统是保证航天型号对元器件需求的必由之路。发展航天微系统，要搞好顶层规划，把握好需求，突破关键技术，特别是针对航天应用的系统架构、支撑技术，构建平台形成能力，真正发挥微系统的技术优势，使航天微系统又好又快发展。

参考文献 (References)

- [1] P. Ramm et al., 3D Integration technology: Status and application development[C], 2010 Proceedings of ESSCIRC, Seville, 2010, pp. 9–16.
- [2] 汤晓英. 微系统技术发展和应用[J]. 现代雷达, 2016, v.38; No.313, 49–54.
- [3] S. Raman, C. L. Dohrman and T. Chang, The DARPA Diverse Accessible Heterogeneous Integration (DAHI) program: Convergence of compound semiconductor devices and silicon-enabled architectures[C], 2012 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), Singapore, 2012, pp. 1–6.
- [4] A. Gutirttez-Aitken et al., Diverse Accessible Heterogeneous Integration (DAHI) at Northrop Grumman Aerospace System (NGSA)[C], 2014 IEEE Compound Semiconductor Integrated Circuit Symposium(CSICS), La Jolla, CA, 2014, pp. 1–4.
- [5] Microsystems Exploration Research Area Announcement, DARPA-SN-19-69, Defense Advanced Research Projects Agency, 2019.
- [6] T. M. Hancock and J. C. Demmin, Heterogeneous and 3D System Integration at DARPA[C], 2019 International 3D Systems Integration Conference (3DIC), Sendai, Japan, 2019, pp. 1–4.
- [7] Peter Ramm et al., The European 3D Technology Platform (e-CUBES)[J], Future Fab Magazine. 2010, 103–116.
- [8] Neelie Kroes, A European Strategy for Micro- and Nanoelectronic Components and System[M], The Nano-Micro Interface: Bridging the Micro and Nano World, 2015, 1–18.
- [9] Richard Doyle et al., Next Generation Space Processor (NGSP) High Performance Spaceflight Computing (HPSC) next steps at NASA and AFRL, 6th Meeting on Fault-Tolerant Spaceborne Computing Employing New Technologies, Albuquerque, New Mexico, 2013.
- [10] 李晨; 张鹏; 李松法. 芯片级集成微系统发展现状研究[J]. 中国电子科学研究院学报, 2010, v.5; No.25, 5–14.



作者简介:

张海利 (1964 -), 男, 北京人, 研究员, “核高基”重大专项总体组专家, 长期从事航天型号质量保证、宇航标准与应用验证、航天微系统应用等技术研究, 为我国宇航元器件自主可控建设做出重要贡献。

抗辐射非易失性存储器研究进展

吴华强, 魏甜甜, 卫松涛, 潘立阳, 钱鹤

(清华大学微电子学研究所, 北京 100084)

摘要: 非易失性存储器在宇航系统有着重要应用, 也是制约航天器可靠性和寿命的主要瓶颈之一。对闪存及阻变存储器等新型存储技术辐射效应的研究进展进行研讨, 研究表明传统浮栅型闪存器件总剂量退化效应严重, 难以满足宇航领域的高可靠要求; 而硅-氧化硅-氮化硅-氧化硅-硅型闪存和阻变存储器等新兴的非易失性存储技术则具有优异的抗辐射性能。基于硅-氧化硅-氮化硅-氧化硅-硅型闪存和阻变存储器技术, 清华大学钱鹤、吴华强课题组前期通过单元、工艺、器件、电路、版图等的系统加固技术研究, 研制出4M位硅-氧化硅-氮化硅-氧化硅-硅型闪存和1M位阻变存储器两款抗辐射存储器芯片, 经过地面总剂量和单粒子模拟试验, 验证了其良好的抗辐射性能。

关键词: 非易失性存储器; 辐射加固; 快闪存储器; 阻变存储器

中图分类号: TN402 **文献标识码:** A

Research Progress of Radiation Hardened Non-Volatile Semiconductor Memories

Wu Huaqiang, Wei Tiantian, Wei Songtao, Pan Liyang, Qian He

(Institute of Microelectronics, Tsinghua University, Beijing, 100084, China)

Abstract: Non-volatile memory (NVW) plays an important role in Aerospace system which is also a limitation to the reliability and lifetime of spacecraft. In this paper, the research progress of radiation effects of flash memory and new storage technologies, including Resistive random access memory(RRAM), Ferroelectric random access memory (FeRAM), Magnetoresistive random access memory(MRAM) and Phase change random access memory(PCRAM), is discussed. The results show that the total dose degradation of the conventional floating-gate flash memory device is serious and it is difficult to meet the high reliability requirement in aerospace field. However, silicon-silicon oxide-silicon nitride-silicon oxide-silicon silicon-based (SONOS) flash memory and emerging non-volatile storage technologies have excellent radiation resistance. Qian He and Wu Huaqiang from Tsinghua University studied the system radiation hardened technology from unit, process, device, circuit, layout and so on in the early stage and developed two kinds of radiation-resistant memory chips, namely 4M bit SONOS flash memory and 1M bit RRAM. The total dose and single particle simulation tests on the ground show that these two chips have good radiation resistance property.

Key words: non-volatile semiconductor memory; radiation hardened; flash memory; RRAM

0 引言

随着宇航技术的发展, 越来越多的微电子器件被应用到宇航系统中; 然而由于辐射的存在, 宇航器电子设备经常出现损坏和异常。二十世纪六十年代初, 研究人员首次观测到电离辐射导致电子器件和系统失效的现象^[1]。2003年10月底爆发的太阳耀斑活动, 使得部分卫星和移动通信系统瘫痪^[2]。据美国宇航局NASA马歇尔中心统计, 1974年至1994年间, 约45%

的航天器飞行故障是由于空间辐射造成的器件失效所导致^[3]。

存储器在集成电路系统芯片 (SoC) 中占据超过60~70%的面积。作为电子系统中存储程序和数据的核心部件, 存储器在空间辐射环境中的失效已成为处理器等系统芯片和电子系统故障的主要来源, 也是制约航天器可靠性和寿命的主要瓶颈之一。因此, 如何保证存储器在恶劣辐射环境下长期可靠工作是航天微

电子器件研究的重要方向。

国内外研究人员对非易失性存储器的总剂量效应 (Total Ionizing Dose effect, TID)、单粒子效应 (Single Event Effect, SEE) 等电离辐射效应和加固技术进行了研究。传统浮栅型EEPROM/Flash存储器操作电压高、速度慢、抗总剂量辐射能力差。RRAM等新型非易失存储器利用新型存储材料和操作机制存储信息,具有操作电压低、读写速度高、抗TID及SEE辐射能力强等诸多优势,在空间电子信息系统中有着良好应用前景。

针对非易失性存储器的抗辐射加固,国内外科研人员提出了不少改善存储器件抗辐射性能的方法,推动了非易失性存储器在航空航天领域中的应用。大量的研究工作从存储器的单元、工艺、外围电路等方面出发,采用抗辐射加固技术等方法提升存储器的整体抗辐射性能。清华大学钱鹤、吴华强课题组遴选具有良好抗辐射性能的SONOS (silicon-oxide-nitride-oxide-silicon) 型闪存及RRAM存储器件,通过器件、工艺、单元、电路及版图的系统加固方法研制出4M位SONOS及1M位RRAM两款抗辐射存储器芯片,并成功转移研究所定型应用。

1 非易失存储器辐射效应研究进展

目前,非易失存储器技术主要有主流的浮栅型及硅-氧化硅-氮化硅-氧化硅-硅型 (SONOS) 快闪存储器 (Flash Memory) 和阻变存储器 (Resistive RAM, RRAM)、铁电存储器 (Ferroelectric RAM, FeRAM)、磁性随机存储器 (Magnetoresistive RAM, MRAM) 及相变存储器 (Phase Change RAM, PCRAM) 等新型存储器。

研究人员最早对浮栅型闪存的辐射效应开展了研究,由于其电荷存储于浮栅的机制,辐射粒子电离损伤导致的总剂量退化效应严重,难以满足宇航领域的可靠要求。新兴的RRAM、FeRAM、MRAM、PCRAM存储器在存储原理上与闪存不同,它们不依靠电荷进行数据存储,这不仅带来了性能上的突破,在抗辐射能力上也有显著优势。

1.1 闪存

浮栅型闪存是通过改变MOS晶体管的阈值电压实现程序/数据存储的非易失性存储器,较传统机械硬盘具有访问速度快、便携、机械可靠性好、散热小等优点。

国内外很多研究机构致力于商用闪存芯片的辐射特性研究。1992年美国的军队研究实验室率先报道了商用256Kb闪存芯片的辐射效应研究^[4]。2008年,欧洲空间宇航局与德国不伦瑞克工业大学合作研究了8Gb闪存芯片的辐射特性^[5]。2009年, Bagatin M. 等人通过物理屏蔽,研究了NAND存储器中浮栅阵列、电荷泵电路以及译码电路在X射线辐射后的退化特性,认为TID辐射对闪存芯片影响最大的是浮栅存储阵列^[6]。2013年,清华大学与西北核技术研究所合作,分析了美光以及三星的大容量NAND和NOR Flash芯片的辐射特性以及失效机理^[7];上海微系统所与中芯国际合作,研究了商用180nm闪存工艺中的低压、高压以及存储器件的辐射特性^[8,9]。2018年, Hansen D. 等人对512Mb NOR Flash进行了TID和SEE测试^[10]。相关研究表明传统浮栅型闪存由于存储阵列由单一的NMOS型存储单元构成,因此具有优良的抗单粒子翻转性能,单粒子翻转线性能量传输阈值 (LET_{TH}) 可达到75MeV·cm²/mg以上;但商用芯片的非加固外围电路在低LET辐射下仍普遍存在单粒子功能中断 (SEFI) 等SEE效应。尤其重要的是,闪存器件特殊的浮栅存储结构导致其抗总剂量能力局限在10k~60krad(Si)以下,难以满足在轨应用需达到100krad(Si)的寿命要求。研究表明,浮栅型闪存器件的总剂量辐射效应主要表现为两类退化机制:其一为TID辐射导致的浮栅存储电荷退化,进而致使单元错误率急剧增高和读取数据错误;其二为电离辐射导致存储阵列、外围高压电路漏电流增大,以及片上升压电荷泵驱动能力退化导致存储器擦写操作失效^[11]。

与浮栅型闪存器件类似,SONOS型闪存器件也是基于电荷存储,但由于其电荷存储在氮化硅绝缘介质层中,隧穿氧化层的单个漏电通道不会导致整个器件电荷丢失,因此具有更好的抗总剂量辐射性能。研

究表明,在1Mrad(Si)辐射下,SONOS器件仍具有可分辨的存储窗口^[12]。美国诺格(NGC)公司、NASA及桑迪亚国家实验室基于SONOS技术研制了W28C系列辐射加固芯片,容量从64Kb到1Mb,已在美国军方得到应用。由于存储阵列和电路电离辐射漏电流的影响,采用片内高压电源供电芯片整体抗TID能力仅达到100krad(Si)^[13,14]。

针对SONOS电路存在的电离辐射漏电问题,中电第五十八研究所与清华大学合作,将SOI辐射加固技术与SONOS非挥发存储器技术集成,采用特有的深槽隔离与局部硅氧化隔离相结合的十字正交隔离技术有效阻断了辐射引起的漏电,进而研制出256K位EEPROM芯片,在1Mrad(Si)辐射后漏电流无明显增加,同时显著提高了芯片的抗单粒子门锁阈值,抗瞬时剂量率门锁能力大于 3×10^{11} rad(Si)/s^[15,16]。

另外,清华大学Qiao F.等人进一步研究了全环栅3D-SONOS存储器的总剂量辐射效应,研究表明即使缩小到22nm,在1Mrad(Si)的总剂量辐射下没有观察到明显的泄露电流增加^[17]。

1.2 阻变存储器

RRAM具有金属-绝缘层-金属组成的三明治结构,通过外界对其施加电激励改变绝缘层阻变材料的电阻值来实现信息存储^[18]。RRAM作为Flash之后的新一代非易失性存储器的代表,具有结构简单、操作电压低、读写速度快、功耗低、抗TID/SEE辐射能力强、易于集成等优点。

近年来,已有多个研究小组对RRAM器件的总剂量、单粒子等辐射效应进行了研究。2013年,中科院微电子研究所的Bi J.等人对基于HfO₂/Hf的双极RRAM器件进行了X射线辐射试验,在高达7Mrad(SiO₂)的总剂量辐射下仍然保持正常功能^[19]。2014年,Hughart D.等人对TaO_x和TaO₂两种忆阻器开展辐射效应研究,发现在受到28MeV的Si离子辐射时,在60Mrad(Si)的总剂量下开始出现阻值状态的改变^[20]。2014年,清华大学Yuan F.等人对AlO_x基RRAM器件的TID辐射效应进行研究表明,

在1Mrad(Si)总剂量辐射下,RRAM器件仍能保持良好的读写特性和存储性能,但同时也观测到高阻值和Set电压下降等退化效应^[21]。2014年,NASA的Chen D.等人基于松下MN101L芯片对RRAM存储器的单粒子效应进行了测试,研究表明RRAM电阻的抗单粒子性能可高达75MeV·cm²/mg,在LET为20MeV·cm²/mg时的单粒子功能失效(SEFI)截面约10⁻⁶cm²/bit,反映未加固的存储器电路存在较高的单粒子功能失效截面^[22]。2017年,Hu S.等研究人员对HfO₂基RRAM进行辐射试验,在高达20Mrad(Si)的总剂量下,器件存储的数据并没有丢失^[23]。2018年,Bi J.等人基于研制的1M位HfO₂基RRAM进行辐射试验,在最大剂量为100krad(Si)测试中发现大量的0-1翻转,他们指出HfO₂基RRAM器件本身的电学特性几乎不变,然而作为选通管的NMOS管关态电流却大大增加,并通过仿真进一步验证了选通管的泄露电流是导致读取错误的因素^[24]。

1.3 铁电存储器

FeRAM的操作机理是通过施加电场使铁电材料的极性在两个稳定的状态之间转换,以此实现数据的读写操作。铁电材料本身具有一定的抗辐射性能,因此铁电存储器在宇航应用方面被寄予了厚望,得到各国的广泛关注。此外,FeRAM还具有高速、高密度、低功耗等优点。

2001年,Nguyen D.等人对铁电存储器开展了总剂量效应研究。在高剂量率辐射时,两款芯片的辐射响应一致;在低剂量率辐射时,两款芯片在不同的总剂量下开始出现错误^[25]。2003年,Philpy S.等人对基于0.35微米CMOS工艺的FeRAM进行了单粒子效应的研究,芯片在20MeV·cm²/mg的高LET下没有发生单粒子门锁现象^[26]。2014年,Gu K.等人使用x射线和γ射线对基于0.13微米CMOS工艺的FeRAM进行总剂量效应研究,在x射线辐射下,存储阵列在总剂量达到2.8Mrad(SiO₂)时开始出现位翻转,敏感放大器在总剂量达到220krad(SiO₂)时开始出现读写错误;在γ射线辐射下,器件在总剂量达到120krad(SiO₂)时出现读错误,在达到175krad(SiO₂)

时读取数据全为“0”^[27]。2015年, Uemura T.等人对基于0.18微米CMOS工艺的FeRAM进行了单粒子效应研究,发现FeRAM在LET为32MeV·cm²/mg时没有发生单粒子翻转现象^[28]。2018年, Bosser A.等人对商用130nm的FeRAM进行辐射测试,研究了产生特征错误的各种失效模式,分析了故障对存储阵列位、字、页的影响并对故障的产生机理进行了讨论^[29]。

1.4 磁性随机存储器

MRAM是以磁电阻性质来存储数据的非易失性存储器,这种依靠磁矩的方向进行记忆保存的方式在抗电离辐射方面具有一定的优势。此外,MRAM还具有低功耗、高密度、几乎无限次重复写入等优势,因此也成为宇航用存储器的重点关注对象之一。

2007年, Nguyen D.等人对一款基于90nm CMOS工艺的MRAM进行了辐射效应研究,器件在总剂量增加到45krad(Si)时出现了读写操作错误位;而只读操作的耐总剂量辐射能力可达到60krad(Si)^[30]。2010年, Heidecker J.等人对Everspin公司生产的1M位MRAM产品进行了辐射研究,证明该芯片的抗总剂量能力可达75krad(Si),并进行了单粒子效应研究,研究过程中最高LET为84.1MeV·cm²/mg,且芯片在辐射过程中既没有发生单粒子闩锁,也没有发生单粒子翻转现象^[31]。2013年, Tsiligiannis G.等人对MRAM器件进行辐照实验,发现在中子和 α 粒子的辐照下均没有产生任何数据错误。文章认为该存储器能有良好的抗单粒子性能,是因为采用了磁性隧道结结构,磁性单元位于CMOS器件的上方,对粒子有一定的屏蔽作用^[32]。2018年Wang B.等人基于SOT-MRAM器件设计了一种新颖的外围电路,该设计旨在解决CMOS外围电路易受到单粒子翻转和双节点翻转问题。他们在SOT-磁隧穿结简化模型以及65nm CMOS工艺下进行了瞬态仿真。结果表明这种加固读写外围电路设计对于以上问题具有很好的鲁棒性^[33]。

1.5 相变存储器

PCRAM依靠相变材料在晶态和非晶态之间转化

时所表现出来的导电性差异进行存储。PCM具有存取速度快、可靠性高等优点,但同时也存在耐高温性能差等不足。

2007年, Gasperin A.等人对基于0.18微米CMOS工艺的PCRAM进行了总剂量效应测试,发现在30Mrad(SiO₂)的总剂量下只有极少的数据错误^[34]。2010年, Rodgers J等人对基于0.25微米抗辐射加固CMOS工艺的PCRAM进行辐射效应研究,在总剂量加到10Mrad(Si)时芯片仍正常工作^[35]。2014年, Gerardin S等人对基于45nm CMOS工艺的PCRAM辐射效应测试中,首次在PCRAM单元上发现了单粒子翻转现象^[36]。2017年, Gadlage M.等人对市场上的非挥发性存储器的总剂量效应进行了测试,在1Mrad(Si)的总剂量下除浮栅型闪存之外的各类非易失性存储器,包括MRAM、FRAM、RRAM、SONOS和PCRAM都能够有效保存数据,且几乎没有明显的泄漏电流变化。相比之下,90nm工艺结点的PCRAM是受TID效应影响最小的NVSM之一^[37]。

综合相关研究, SONOS闪存及RRAM、FeRAM、MRAM及PCRAM等新型存储器件本身都具有良好的抗TID和单粒子辐射能力,但选择晶体管和外围电路成为电离辐射漏电和SEE的薄弱环节,对相应电路采用必要的针对性加固设计成为提升存储器整体抗辐射性能的关键。

2 课题组研究工作进展

清华大学钱鹤、吴华强课题组多年来致力于抗辐射非易失性存储器技术研究,先是围绕SONOS闪存开展了一系列抗辐射加固技术研制,后又开发了RRAM器件与集成技术,进一步在前期SONOS抗辐射研发经验的基础上,研制抗辐射RRAM芯片。最终采用系统加固设计技术成功研制出4M位SONOS闪存和1M位RRAM两款抗辐射存储器芯片,并率先在国内通过地面模拟辐射试验验证。

2.1 SONOS芯片

基于SONOS器件本身良好的抗辐射能力,课题组近年来对SONOS存储器进行了存储单元结构优

化、晶体管环栅结构设计、电荷泵驱动能力、存储器集成工艺等方面的抗辐射加固方法研究，于2015年研制出0.13微米CMOS兼容的SONOS存储器全套集成工艺及面向空间应用的4M位抗辐射SONOS存储器芯片，如图1所示。

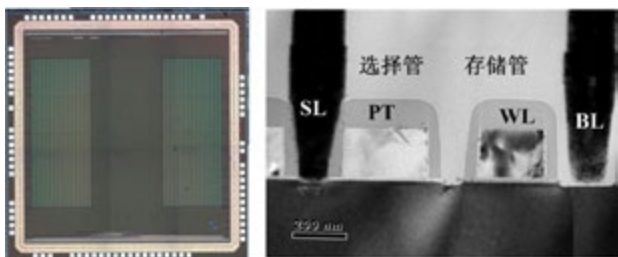


图1 4M位抗辐射SONOS存储器芯片及单元显微照片

Fig.1 Microphotograph of 4Mb anti-radiation SONOS memory chip and cell

从存储单元、高压器件、外围电路三个层面着手，对抗总剂量辐射漏电加固技术进行了研究。通过对存储单元结构和器件工艺的优化，将存储单元的漏电降低2~3个数量级，辐照后芯片的静态和动态电流降低30%以上，可有效改善因阵列漏电导致的读取失效和电荷泵电路过载导致的擦写失效。如图2和图3，通过对存储单元漏电和存储电路读取数据错误率的 γ 射线辐照测试结果表明，芯片的抗辐射总剂量水平可达到300krad(Si)以上，优于国外同类产品性能。

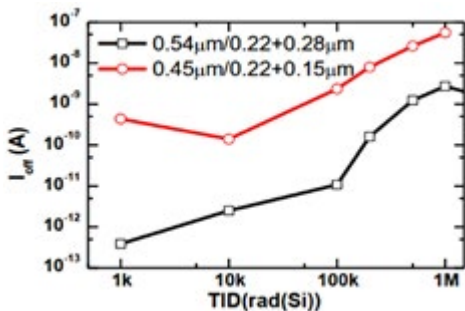


图2 两种存储单元辐射诱发漏电流对比

Fig.2 Comparison between the leakage current of 2 kinds of memories with different sizes

针对单粒子效应，一方面，采用优化电源设计、局部版图加固、阱接触等版图加固技术，同时研制了专用的外延衬底工艺，可以显著提升芯片的抗单粒

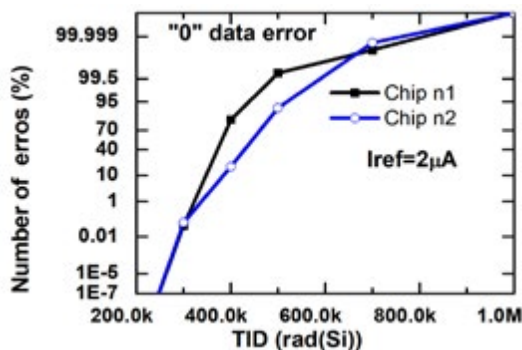


图3 不同辐射剂量下芯片读取数据“0”错误数量

Fig.3 The number of “0” errors in the chip reading data under different radiation doses

子效应能力。如图4所示，采用单一版图加固方法，单粒子瞬时动态电流从优化前的35倍降低到20倍左右，SEFI失效LET阈值从低于 $21.8\text{MeV}\cdot\text{cm}^2/\text{mg}$ 提高到低于 $37.4\text{MeV}\cdot\text{cm}^2/\text{mg}$ 。结合两种加固技术，可将芯片的抗SEU、SEFI和SEL的LET阈值提高到 $42\text{MeV}\cdot\text{cm}^2/\text{mg}$ 以上。相关研究成果已转移研究所定型应用。

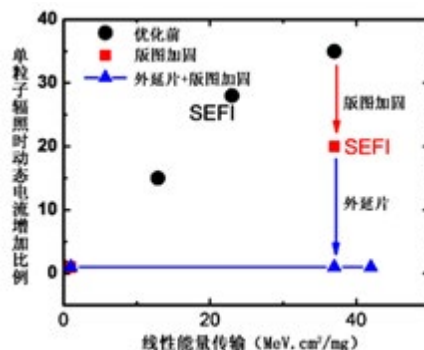


图4 三种技术在改善单粒子瞬态电流方面的对比

Fig.4 Comparison of 3 kinds of designs in improving SEL current (before optimization, layout hardened as well as layout hardened with epitaxy layer)

2.2 RRAM芯片

基于RRAM器件的良好抗辐射能力，本课题组近年来还对RRAM存储器的辐射效应、高可靠设计技术和加固方法进行了系统研究，2019年研制出面向空间应用的1M位抗辐射RRAM存储器芯片，如图5所示，其中RRAM器件为TiN/TaO_x/HfO_x/TiN双层结构。

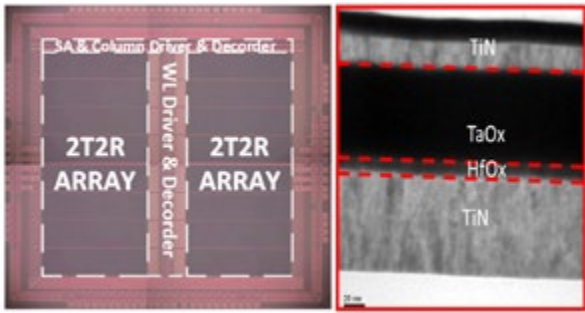


图5 1M位抗辐射RRAM存储器芯片及单元显微照片

Fig.5 Microphotograph of 1Mb anti-radiation RRAM memory chip and cell

针对RRAM器件位错误率较高、器件离散性大、读取随机性较大等可靠性问题，分别从器件、存储单元结构、电路、操作方法等方面提高存储器的可靠性。通过研究优化RRAM器件结构，同时提出一种2T2R (two-transistors-two-resistors) 的差分互补RRAM单元结构，可以提高存储窗口容限，进而显著降低单元错误率，并改善器件、工艺和电路的离散性和随机性，大幅提高存储器的可靠性。

对RRAM系统架构、存储阵列架构、低压高速驱动电路、低压高速SA电路、EDAC纠检错电路、抗辐射加固I/O及数字单元库等关键电路设计技术进行了研究，从存储单元结构、加固单元库、电路级、系统级、版图级等多层次融合研究了RRAM电路的高可靠性设计方法和抗辐射加固设计方法。提出一种分路驱动的新型字线驱动电路结构，可有效消除单粒子瞬态脉冲 (SET)，避免存储单元误选中写入操作。采用环栅、H栅等器件级版图加固方法消除位线电路和IO等关键路径上由于总剂量辐射导致的漏电；同时，采用全芯片的版图加固设计，改善电路抗单粒子锁定 (SEL) 性能。

基于上述设计，成功将无纠错模式的原始位错误率 (Raw Bit-Error-Rate, RBER) 降低到十万分之一量级，达到目前国际研究水平前列。图6为三颗RRAM存储器芯片样品的总剂量 (Total Ionizing Dose, TID) 辐照试验结果，剂量率为50rad(Si)/s，在700krad(Si)的总剂量辐射的情况下，存储芯片错

误率微弱上升，外围CMOS电路的漏电流略有增加，但尚未影响存储阵列的读写操作，存储芯片的功能保持正常；在室温下经过七天退火，漏电流恢复到辐照前的状态。图7为Ge粒子 (LET=37.4MeV·cm²/mg) 的单粒子试验结果，在2×10⁷/mm²总注量粒子入射情况下，存储芯片的电路功能正常，错误率无明显变化。同时开展的Ta粒子 (LET=75.4MeV·cm²/mg) 辐射试验表明，在1×10⁷/mm²总注量粒子入射情况下，所有测试样品无翻转、无功能中断、无锁定。

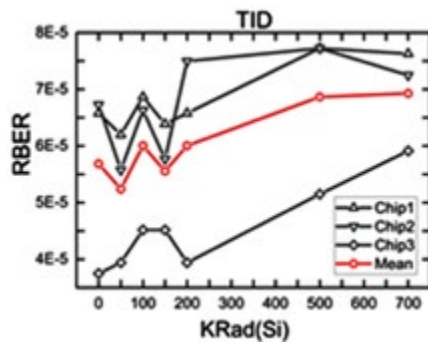


图6 总剂量试验结果

Fig.6 Test result of total ionizing dose effect

上述研究表明所研制的1M位抗辐射RRAM存储器芯片具有高达75.4MeV·cm²/mg以上的抗单粒子免疫性能，同时抗总剂量辐射能力超过700krad(Si)，远优于浮栅型闪存芯片。相关研究为目前报道的唯—通过地面模拟辐射试验验证的RRAM存储器芯片，在空间辐射环境具有良好应用前景。

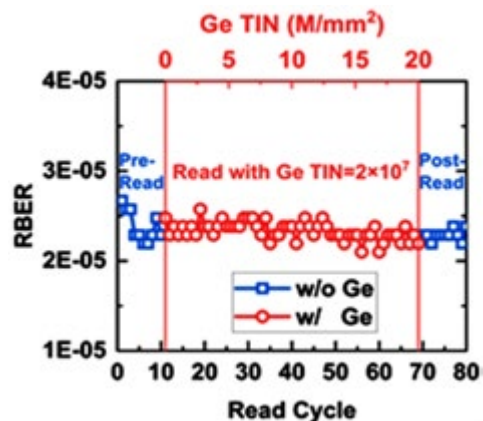


图7 单粒子试验结果，LET=37.4MeV·cm²/mg

Fig.7 Test result of single event effect with 2×10⁷/mm² Ge particle implant (LET=37.4MeV·cm²/mg)

3 结束语

抗辐射非易失性存储器在航空航天系统应用中有着极其重要的地位。本文通过对闪存及几种新型非易失性存储器的讨论,发现传统浮栅型闪存存在抗辐射性能的提升上远不及SONOS型闪存和RRAM等新兴存储器技术。清华大学钱鹤、吴华强课题组利用系统加固技术,成功研制出4M位SONOS及1M位RRAM两款具有良好抗辐射性能的存储器芯片。非易失性存储器抗辐射性能的提升,有利于进一步增强其在航空航天、军事等领域的应用。

参考文献 (References)

- [1] ROGERS S C. Radiation damage to satellite electronic systems. *IEEE Trans. Nuclear Science*, 1963, 10: 97–105.
- [2] MOORE S K. Extreme solar storm strikes earth. *IEEE Spectrum*. 2003, 40: 15–16.
- [3] BEDINGFIELD K L, et al. Spacecraft system failures and anomalies attributed to the natural space environment. *NASA Reference Publication 1390*, 1996.
- [4] BUMBAUGH M E, ROSARIO D S. Ionizing radiation effects on commercial 256 K EEPROM' s. *Radiation Effects Data Workshop (REDW)*, IEEE, 1992: 42–47.
- [5] SCHMIDT H, WALTER D, GLIEM F, et al. TID and SEE tests of an advanced 8 Gbit NAND–Flash memory. *Radiation Effects Data Workshop*, IEEE, 2008:38–41.
- [6] BAGATIN M, CELLERE G, GERARDIN S, et al. TID sensitivity of NAND flash memory building blocks, *IEEE Trans. Nuclear Science*, 2009, 56:1909–1913.
- [7] YAN Y, CHEN W, FAN R, et al. Analysis of the TID induced failure modes in NOR and NAND flash memories. *IEEE Trans. Nuclear Science*, 2013, 60: 224–229.
- [8] HU Z Y, LIU Z L, SHAO H, et al. Total ionizing dose effects in elementary devices for 180–nm flash technologies. *Microelectronics Reliability*, 2011, 51:1295–1301.
- [9] LIU Z L, HU Z Y, ZHANG Z H, et al. Total ionizing dose effects in high voltage devices for flash memory, *Nuclear Instruments and Methods in Physics Research Section B*, 2010, 268: 3498–3503.
- [10] HANSEN D L, HILLMAN R, MERAZ F, et al. Radiation performance of a flash NOR device, *IEEE*, 2018.
- [11] 渔凤英, 电荷俘获型非挥发存储器可靠性及电离辐射退化机理, 北京, 清华大学, 2013
- [12] DRAPER B, DOCKERTY R, SHANEYFELT M, et al. Total dose radiation response of NROM–style SOI non–volatile memory elements, *IEEE Trans. Nuclear Science*, 2008, 55:3202–3205.
- [13] ADAMS D, FARHLL P, JACUNSKI M. SONOS technology for commercial and military nonvolatile memory applications. in *PROC. NON–VOLATILE MEMORY TECHNOLOGY REVIEW (NVMT)*. 1993:96–99.
- [14] ADAMS D A, FITZPATRICK M D, FOLK E C, et al. A Radiation Data Set for the NGC W28C0108 SONOS 128kx8 EEPROM. in *Proc. IEEE Radiation Effects Data Workshop (REDW)*. 2009:136–139.
- [15] QIAO F Y, PAN L Y, WU D, LIU L F and XU J, A PD–SOI based DTI–LOCOS combined cross isolation technique for minimizing TID radiation induced leakage in high density memory, *Journal Of Semiconductors*, 024003, 2014(2).
- [16] 肖志强, 李蕾蕾, 张波, 徐静, 陈正才, 基于SOI技术的单层多晶EEPROM和SONOS EEPROM抗总剂量辐照特性研究, *物理学报*, 2011 (060) 002.
- [17] QIAO F Y, PAN L Y, BLOMME P, et al. TID Radiation Response of 3–D Vertical GAA SONOS Memory Cells. *IEEE Transactions On Nuclear Science*, 2014.
- [18] 王永, 管伟华, 龙世兵, 等. 阻变式存储器存储机理 [J]. *物理*, 2008年12期.
- [19] BI J S, HAN Z S, ZHANG E X, et al. The impact of X–ray and proton irradiation on HfO₂/Hf–based bipolar resistive memories. *IEEE Transactions on Nuclear Science*, 2013, 60(6):4540–4546.
- [20] HUGGHART D R, PACHECO J L, LOHN A J, et al. Mapping of radiation–induced resistance changes and multiple conduction channels in memristors. *IEEE Transactions On Nuclear Science*, 2014, 61(6):2965–2971.
- [21] YUAN F, ZHANG Z G, WANG J C, et al. Total ionizing dose (TID) effects of γ ray radiation on switching behaviors of Ag/AlO_x/Pt RRAM device.

- Nanoscale Research Letters, 2014, 9:452.
- [22] CHEN D, KIM H, PHAN A, et al. Single-event effect performance of a commercial embedded ReRAM. IEEE Transactions On Nuclear Science, 2014, 61(6): 3088–3094.
- [23] HU S G, LIU Y, Chen T, et al. γ -Ray Radiation Effects on an HfO₂-Based Resistive Memory Device. IEEE Transactions On Nanotechnology, 2017, 1(14): 1–4.
- [24] BI J, DUAN Y, XI K, et al. Total ionizing dose effects of 1 Mb HfO₂-based resistive-random-access-memory. Microelectronics Reliability, 2018, 88–90:891–897.
- [25] NGUYEN D N, SCHEICK L Z. TID testing of ferroelectric nonvolatile RAM. IEEE Radiation Effects Data Workshop 2001:57–61.
- [26] PHILPY S T, KAMP D A, DERBENWICK G F. Nonvolatile and SDRAM ferroelectric memories for aerospace applications. IEEE, 2004:2294–2299.
- [27] GU K, LIU J J, LI W, et al. Total ionizing dose sensitivity of function blocks in FRAM. Microelectronics Reliability, 2015, 55(6):873–878.
- [28] UEMURA T, HASHIMOTO M. Investigation of single event upset and total ionizing dose in FeRAM for medical electronic tag. 2015 IEEE International Reliability Physics Symposium. IEEE, 2015:1.1–1.5.
- [29] BOSSER A L, GUPTA V, JAVANAINEN A, et al. Single-Event Effects in the Peripheral Circuitry of a Commercial Ferroelectric Random-Access Memory. IEEE Transactions on Nuclear Science, 2018.
- [30] NGUYEN D N, IROM F. Radiation effects on MRAM. Radiation and its effects on components and systems, 2007:1–4.
- [31] HEIDECKER J, ALLEN G, SHELDON D. Single event latchup(SEL) and total ionizing dose(TID) of a 1 Mbit magnetoresistive random access memory(MRAM). 2010 IEEE Radiation Effects Data Workshop. IEEE, 2010:4.
- [32] TSILIGIANNIS G, DILILLO L, BOSIO A, et al. Testing a commercial MRAM under neutron and alpha radiation in dynamic mode. IEEE Transactions on Nuclear Science, 2013, 60(4):2617–2622.
- [33] WANG B, WANG Z H, HU C Y, et al. Radiation-hardening techniques for spin orbit Torque-MRAM Peripheral Circuitry. IEEE TRANSACTIONS ON MAGNETICS, 2018:54.
- [34] GASPERIN A, WRACHIEN N, PACCAGNELLA A, et al. Total ionizing dose effects on 4 Mbit phase change memory arrays. IEEE Transactions on Nuclear Science, 2008, 4(55):2090–2097.
- [35] RODGERS J, ROCKETT L, MAIMON J, et al. Characterization and qualification of radiation hardened nonvolatile phase change memory technology. Aerospace Conference. IEEE, 2010:1–8.
- [36] GERARDIN S, BAGATIN M, P ACCAGNELLA A, et al. Upsets in phase change memories due to high-LET heavy ions impinging at an angle. IEEE Transactions on Nuclear Science, 2014, 61(6):3491–3496.
- [37] GADLAGE M J, KAY M J, BRUCE D I, et al. Total ionizing dose effects in commercial floating-gate-alternative non-volatile memories. IEEE Radiation Effects Data Workshop (REDW), 2017.



作者简介:

吴华强(1978—),男,安徽省歙县人,博士学历,教授,清华大学微电子与纳电子学系主任、微电子学研究所所长,主要方向为非易失性存储器的架构、器件和工艺研究。

刍议航天微电子质量保证

李京苑

(中国运载火箭技术研究院, 北京 100076)

摘要: 航天微电子质量保证在航天型号研制中具有重要作用。本文分析了航天微电子的特征, 以及微电子的可靠性问题。目前, 航天微电子的应用进一步改变了传统系统的电气系统分工与制造方式, 促进了系统质量保证与微电子质量保证的融合。我国航天微电子的发展不仅要实现架构、设计、工艺、测试、工具及装备的自主, 也要实现标准, 特别是质量保证标准的自主, 其中航天微电子的统型是一项重要的基础。

关键词: 航天微电子; 质量保证; 自主

中图分类号: TN409 **文献标识码:** A

Thoughts on Quality Assurance of Aerospace Microelectronics

Li Jingyuan

(China Academy of Launch Vehicle Technology, Beijing, 100076, China)

Abstract: Key roles of quality assurance of aerospace microelectronics in the development of aerospace programs are summarized. The characteristics of aerospace microelectronics are analyzed. The problems in reliability assurance of aerospace microelectronics are discussed. With the application of aerospace microelectronics, traditional product structure and manufacturing methods of electrical system have been changed, and the integration of system quality assurance and microelectronics quality assurance is increased. The goal of development of Chinese aerospace microelectronics are not only the independently controllable of architecture, design, technology, testing, tools and equipment, but also the independently controllable of standards, especially quality assurance standards, the fundamental of which is standardization of aerospace microelectronics.

Keywords: aerospace microelectronics; quality assurance; independently controllable

0 引言

微电子、计算机、软件、材料、发动机等无疑是航天技术发展的基础和关键, 其中, 微电子技术的发展是最活跃、最快速的, 其重要性和地位不断攀升, 美国国防部曾经认为: “微电子技术对于当今防务的重要性, 无异于第二次世界大战时的原子弹”^[1]。在上世纪七十年代末, 美国在已经取得以集成电路为代表的微电子技术领先地位的基础上, 又实施了十年VHSIC超高速集成电路计划, 明确了在军事领域VHSIC的速度、功能、抗辐射、可靠性以及半导体器件特征尺寸 $0.5\mu\text{m}$ 的要求等, 进一步巩固了美国军用集成电路的领先地位。在之后的航天工业发展中, 包括苏联、欧洲、日本、中国等均开始使用美国的集

成电路。近十年来, 这些国家或地区无一例外明确提出微电子技术或集成电路本土化的要求, 表明了微电子的核心地位进一步提升, 核心技术不能受制于人。本文试图结合工作实践, 对航天微电子质量保证发表一些不成熟的观点。

1 航天微电子不仅是应用在航天产品上的微电子

微电子是一个广义的概念, 可以是电子产品的持续微型化, 以实现更高的性能和更低的成本, 但通常指以半导体技术的发展演变为基础, 以集成电路为核心, 研究实现系统电路的设计、工艺、封装、测试的技术及产品, 甚至包括微电子的应用等。航天微电子

不是简单解释为用于航天工程的微电子产品或技术，而是航天系统牵引，系统与芯片之间相互联系、相互对立、相互促进的发展过程，航天微电子既有一般微电子的属性，更带有航天系统特殊性或属性，包括：

(1) 满足航天产品应用环境，包括以外太空为代表的自然环境，例如空间辐射环境等；飞行器诱发的力、热、噪声、电磁等环境，以及实战化的核爆炸、电磁干扰等环境；

(2) 高质量与高可靠性，来自航天系统的技术、质量、可靠性要求等转化为对微电子的设计、工艺及制造与测试的具体要求；

(3) 具有自主的知识产权和长期稳定的供应；

(4) 供需双方对航天系统需求的深刻理解、文化共识以及紧密耦合的供应链等。

航天微电子是随着导弹武器装备研制发展起来的。1964年美国民兵II导弹开始采用DTL数字集成电路用于研制导弹计算机，与此同时，开始实施“元件质量保证计划”，来研究解决数字集成电路的失效模式和质量保证问题。1965年中央专委决定成立专门机构研制导弹用集成电路和计算机，到1980年东风五号导弹飞跃太平洋时，没有用一只进口元器件。因此，航天微电子的起步不论美国还是中国，都是国家行为。

改革开放之初，由于性能和质量的差距，许多军工单位开始选用进口元器件，一度造成国内元器件研制单位的经济下滑和质量下滑，技术的发展速度放缓，进一步拉大了性能和质量的差距。航天火箭系统始终坚持优先选择国产元器件的原则，进口元器件的选择受到了较大限制，没有全面铺开，但是大规模和超大规模集成电路的进口比例比较大，经过近十多年的国产化攻关，这种局面在航天系统得到很大的改观。

2 “能用”、“好用”的基础是质量保证

2.1 质量保证的里程碑

在东风五号导弹研制过程中，国产集成电路及其它元器件经常发生质量问题，传统的筛选办法不能从

根本上提高元器件的可靠性，导致在导弹发射场频繁更换故障电子设备。于是，国家实施了“七专”元器件质量控制与反馈科学实验，以东风五号导弹控制系统使用的元器件为突破口，通过“七个”专门的质量控制办法、科学试验与技术攻关以及供需双方的密切合作来解决元器件的质量保证和可靠性提升问题，保证了装备的质量。之后，针对载人航天工程和装备的元器件质量与可靠性保证，又分别在上世纪九十年代初和本世纪初实施了载人航天元器件质量保证计划和航天元器件可靠性增长工程，保证了航天微电子和其它元器件的质量满足当时的需要。这些工程主要面向国产元器件研制，通过科研攻关、技术改造和改进管理来解决质量问题，集成电路主要是中小规模电路及混合集成电路，没有针对航天技术发展形成专门、系统的微电子或集成电路技术发展计划及技术攻关。

“七专”、载人航天元器件质量保证和航天元器件可靠性增长工程是航天微电子质量保证的三个里程碑。针对芯片的可靠性设计、热设计、抗辐照、抗ESD等，提高参数一致性实施了设计攻关，针对粘污、漏电、内部气氛、多余物等缺陷模式，内部互连强度、封装等可靠性问题开展了工艺攻关，有效抑制了金铝键合界面脱开、芯片脱落等一批致命失效模式。近二十年来，微电子或集成电路的质量保证方法没有根本的改变，大规模集成电路应用过程中的主要问题是芯片的可靠性设计、半导体工艺存在缺陷，芯片随着面积的增大出现封装的应力损伤等。航天一院针对FPGA、CPLD等可编程器件的编程、软件、工艺、验证、测试，以及ASIC和SoC等专用、定制的大规模集成电路的应用等，出台了使用方质量保证的量化控制要求。

2.2 当前的问题

据统计^[2]，2011年到2017年6月19日期间，世界范围内共进行了宇航发射520次，失败19次，部分失败11次。导致失败的质量问题分析如图1所示，其特征是：动力系统问题导致的失败或部分失败16次，十分突出；其次是设计可靠性、工艺、操作、软件等基础问题突出，具体包括环境适应性、测试覆盖性分析

不到位、多余物控制不到位等。这里统计的元器件问题占比为7%，还包括其它元件、传感器等；然而，由微电子或集成电路失效导致的（任务或重大）失败几乎没有。

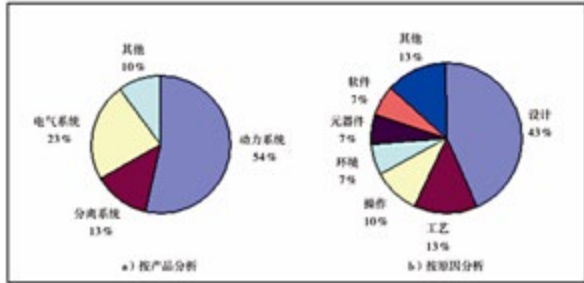


图1 世界宇航发射失败原因统计图

Fig.1 Pie chart of failures of launch vehicles

但是这并不代表微电子的质量保证问题已经解决了。一方面是经过长期的努力，传统微电子质量保证技术与方法已经趋于成熟；另一方面系统的可靠性设计取得了较大的进步，容差、容错能力得到提升。例如，火箭箭载计算机已经由单机结构发展成三机表决结构，冗余容错体系架构不断发展，逐渐开发出混合冗余、冗余重构、故障检测隔离、精确同步和总线监控等技术，整机故障容限进一步提升，所用集成电路已经全部实现国产化^[3]。

目前，在单机、分系统以及总装测试过程中，微电子的失效还不断发生，问题数量并没有减少的趋势，一方面是微电子国产化的进程不断加快，进口元器件的点对点的研制替换，由于产品的成熟度不高，存在产品性能离散度高、质量不稳定和失效模式不受控的问题；另一方面是用微电子技术和工艺，例如ASIC、SoC、MEMS、SIP、MCM以及基于TSV和倒装凸点的3D IC集成、基于TSV的3D Si集成的应用，将单机甚至分系统转换为复杂度很高的超大规模集成电路，这种新的微系统会产生新的失效模式。此外散热困难、工艺成熟度不高、外部控制难度增大、系统测试检查覆盖性不高等也会带来新的问题，已经给航天系统的研制增加了质量的风险，如不能及时认识和解决，将会在应用中导致系统的严重故障。例如，我们在二十年前使用HIC实现二次集成时，功

率微电路的金铝键合界面出现“紫斑”和“空洞”效应，曾导致严重的系统故障。从应用角度讲，当前需要加大力度研究的问题包括：

(1) 抗核爆炸环境的设计和工艺加固；

(2) 微纳尺度、异质或异构集成、架构、封装的高密度带来的可靠性问题，包括各种连接界面的退化机理、迁移、漏电、静电防护等；

(3) 宽禁带半导体器件与集成电路在航天应用环境下的失效模式与机理，例如碳化硅(SiC)器件在较低电压下的辐照试验中，会出现漏电增大、单粒子烧毁，其抗单粒子的能力远低于预期。氮化镓(GaN)器件的结温和热阻如何测准，直接影响了单机的可靠性设计等；

(4) 仿真技术在验证方面的应用等。

3 质量保证的核心是自主的标准

产品质量保证是一组系统化、规范化的权威管理和不断进步的技术保证工作的集合，其目的是以最佳的效能和最低的研制风险，保证交付的产品能安全、可靠地完成规定任务。航天微电子质量保证，要从航天微电子及其形成过程的实际出发，在研究系统和微电子质量体系建设的基本规律的基础上，确定航天微电子的特点及保证要求，并通过制定和实施微电子产品质量保证计划来实现。

集成验证是系统工程中的一个基本概念，如图2的V字模型所示，系统设计过程是系统要求逐级分解和展开的过程；系统的制造过程是一个逐级集成和验证的过程，其中验证的主体是质量保证。早期的系统、分系统、单机、元件的界面十分清晰，随着微电子技术的发展，界面逐渐模糊，系统逐渐微型化。一方面是半导体技术的工艺线宽进入纳米级，另一方面是集成电路封装技术的不断进步，甚至包括多层PCB技术的应用，已将芯片及其它的元器件直接嵌入在印制板中。这些技术的应用，促进了原有航天型号电气系统的控制、测量、通讯等分系统、单机的一体化发展，所以，微电子技术的发展与应用促进了航天型号电气系统的整合，并逐渐延伸到发动机、增压输送及火工系统，例如爆炸箔点火电路的应用等，提高了这

些系统控制的可靠性和可测试性。

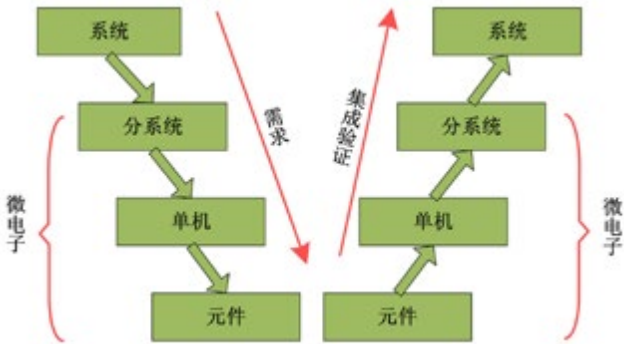


图2 系统的V字模型

Fig.2 “V” model of microelectronic systems engineering

微电子的应用，使得系统微型化，也使得微电子的质量保证超出了原有元器件尺度的鉴定或应用验证，使得系统的质量保证技术和微电子的质量保证技术能够有机结合起来。航天微电子的质量保证要求通常应当包括以下内容：

- (1) 系统的技术风险分析与控制；
- (2) 任务剖面的量化与应用，环境的分解与验证；
- (3) 特性分析、以FMEA为代表的可靠性分析；
- (4) 技术状态，包括仿真状态的控制；
- (5) 试验充分性、测试覆盖性控制等，例如对器件内部带有振荡电路或具有其它自发电磁辐射的单元，进行EMC试验的要求等；
- (6) 工艺的控制，工序能力指数 C_{PK} 的基本要求，以及关键过程和特殊过程的控制；
- (7) 测试、检查的控制，以及数据与数据驱动管理。针对失效模式、缺陷，采取更为严格的测试，包括静态电源电流的测试（IDDQ）、交界验证测试（JVT）、统计箱限制（SBL）、静态单元参数的平均测试（PAT）、动态单元参数的平均测试（DPAT）等；
- (8) 零缺陷与SPC技术的应用；
- (9) 基于失效模式的控制，对于失效模式已

知、失效激发方式明确的，要有针对性地给出实现方法和应力水平，例如，对非易失存储器的编程/擦除次数、数据保持时间、偏置下工作寿命的控制等。对于失效模式不完全清楚的，要通过力、热、电等综合应力加速试验、可靠性物理等加以激发和研究，例如HAST、满功率的温度循环、高温存储寿命、加速寿命模拟试验等。

(10) FPGA等软件的工程化管理、测评与配置项的控制等。

质量保证要求通常以标准的形式出现，是质量保证活动不断实践的结果，而不是纸上谈兵，等效或等同采用国外标准，需要系统的质量保证人员与从事微电子的质量保证人员进行充分的沟通与协商。

当前航天微电子质量保证的另外一个突出的问题是如何实现微电子的统型，主要针对以往设计选用不受控的局面所导致的微电子品种多、技术上低水平重复等突出问题。这些问题的责任主体不是从事微电子研究的单位，而是航天系统的设计单位。解决统型的问题，以有限的资源加速完成国产化，并实现技术的先进，提升微电子的复用率，意义重大。统型的基础是先进、可靠的技术路线和发展方向，以及稳定、可靠的供应链，形成基本的产品谱系。谱系应包括的要求是：技术先进、工艺先进、性能优良、参数覆盖、功耗低、质量稳定、可靠性高等。

4 结束语

当前是国内微电子技术发展的大好时机，为了保证航天系统的可靠性，不宜盲目追求微电子技术的先进性。航天微电子的技术相对固化，成熟度较高，质量和可靠性的保证是航天系统的基础和底线。以美国在役民兵III导弹为例，上世纪九十年代对电子系统进行了更新升级，导弹计算机使用的微处理器是十六位的，但是导弹的整体技术指标，例如精度等目前仍保持先进，此外民兵III导弹用的元器件已经完全解决抗一定当量核爆炸的问题，导弹保持了较高的实战化水平。因此在应用先进微电子技术的同时，要不断强化系统的设计水平和质量保证水平。通过系统与微电子质量保证技术的充分融合，抓好航天微电子的统型，

特别是抓好航天微电子的技术状态管理，深入研究航天微电子存在的失效模式及控制措施，形成自主的微电子质量保证标准体系，这是航天微电子和系统质量得以保证的标志。

参考文献 (References)

- [1] 田培梅. 美国超高速集成电路(VHSIC)的技术现状及其在电子战系统中的应用[J]. 电子对抗, 1990, 4: 7-17.
- [2] 李京苑、胡云. 对实现运载火箭连续成功的思考[J]. 质量与可靠性, 2018, 3: 32-36.

- [3] 姚文刚、张蕾蕾、周 宾、杨宏亮. 箭载飞行控制计算机的国产化设计[J]. 导弹与航天运载技术, 2019, 2: 54-57.



作者简介:

李京苑 (1962 -)，男，山东泰安市人，本科学历，研究员，从事航天型号质量保证与可靠性研究。

构建以过程控制为核心的宇航元器件质量保证新体系

张延伟

(中国空间技术研究院 宇航物资保障事业部, 北京 100094)

摘要:近年来航天型号研制过程中元器件质量问题时有发生,成为航天器研制的重要制约因素,而且元器件质量问题呈现出新的特点,由于生产过程控制不到位等深层次原因导致的质量问题,很难通过传统筛选试验加以识别和剔除,迫切需要建立基于生产过程控制的质量保证新体系,本文统计了近年来宇航元器件质量问题,深入分析了问题发生的规律和原因,提出了从源头抓起,构建宇航元器件生产过程控制体系,实现质量控制重心前移,全面加强宇航元器件生产阶段质量控制,提高质量管理的效益。

关键词: 宇航元器件; 自主可控; 质量保证; 过程控制体系

中图分类号: Z62

文献标识码: C

Building a New Quality Assurance System for Aerospace Components Based on Process Controls

Zhang Yanwei

(China Aerospace Components Engineering Center, Beijing, 100094, China)

Abstract: Recently, quality problems of components limited the development of spacecrafts. The components quality problems present the new characteristics that is difficult to eliminate by traditional methods. It is urgent to build a new quality assurance system for aerospace components. The paper gives a new method of comprehensively upgrading quality assurance on the bases of statistic analysis of quality problems for recent years, and making the quality control forward, and improving the effects and benefits.

Keywords: space components; independently control; quality assurance; Process Control System (PCS)

0 引言

宇航元器件是发展航天事业、建设航天强国的重要基石,一直是西方国家对我国战略遏制和博弈的重要领域。近年随着国家军民融合战略和元器件自主可控战略不断深化,五院大力推进航天器用元器件自主可控工程,CPU、DSP、FPGA、DC/DC、1553B总线等大批国产化新研、复杂元器件已经成为航天器用元器件的“主力军”,开始大量应用于航天器。航天器用元器件国产化比例达到95%以上。宇航元器件是航天器平台稳定性、载荷先进性的重要保证,在航天器技术先进性、性能指标提升中发挥着越来越关键的作用。与普通军用电子元器件相比,宇航元器件除了具有抗辐射、高可靠、长寿命等特点外,还具有品种多、批量小的特点,供应商质量管理水平参差不齐,生产过程不可控因素多,质量保证难度大。

1 宇航元器件质量保证形势分析

1.1 元器件深层次质量问题对传统的质量保证方法提出了挑战

近年来,以宇航型号产品保证为代表的精细化质量管理方法的运用,航天器研制的质量管理水平不断提升,型号研制过程的设计、工艺等的质量问题发生率明显下降,而由于外部原因(外协、外购元器件)导致的质量问题比例仍然较高。在航天型号的质量问题统计分析中,由于元器件质量问题影响型号研制的问题较为突出,五院2016~2018年元器件质量问题占全院型号质量问题的比例已攀升至20%左右,成为影响型号研制的主要问题之一。当前五院型号研制平台化、产品化和组批生产的形势下,元器件质量问题(特别是批次性问题)对五院型号研制的影响非常大

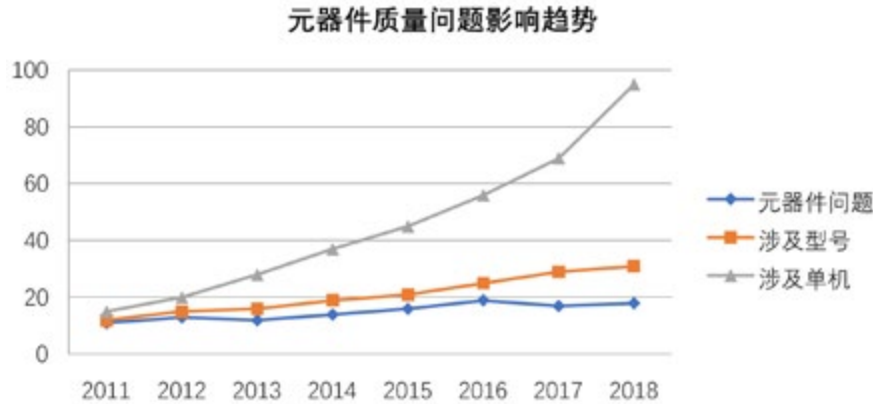


图1 元器件质量问题影响趋势

Fig.1 Quality problems of aerospace components and their influence on space product development

(如图1)。

当前元器件质量问题也呈现出新的特点,元器件生产过程控制不到位和技术状态变化成为质量问题的主要根源。元器件深层次问题突出,问题根源和主要矛盾在生产过程,人、机、料、法、环、测(5M1E)控制不到位,技术状态控制不严等问题比较突出。对2016~2018年航天器用元器件质量问题案例库进行统计,深入分析使用阶段暴露的54例元器件固有质量问题,查找问题根源。分析发现,生产过程控制与技术状态变更成为当前宇航元器件质量问题主要原因(占比76%),设计缺陷、验证不充分等问题相对较少(占比约24%)。

元器件质量是设计和生产出来的,后端检验仅可以有限剔除最终结果不满足要求的不合格元器件,针对生产过程控制不到位、技术状态变化不受控这一导致宇航元器件质量问题主要矛盾,现有的监制、验收和补充筛选等后端检验手段,对生产过程的深层次问题检验有效性不强,甚至部分质量问题不可检、不可测。

1.2 航天器任务形势对元器件质量保证模式提出新的要求

在党的十九大提出的“航天强国”的战略目标指引下,2018年我国航天器发射数量首次达到全球第一,未来按照“高质量保证成功、高效率完成任务、高效益推动航天强国和国防建设”的发展战略,秉承“航天强国建设引领者、空间事业发展领导者”的使命,航天型号任务进入高强度研制和发射的新常态。

航天器研制平台化、产品化、批量化对元器件质量要求越来越高,元器件作为航天器研制的基础,一旦发生质量问题,尤其是批次性质量问题,将对航天器研制产生重大影响。航天器对元器件“零缺陷”的高质量要求,对批次性质量问题“零容忍”的态度,是宇航元器件质量保证模式创新的源动力。

随着我国航天事业的快速发展,航天器用元器件从百万只量级激增至千万量级(如图2),元器件需求数量的激增对传统的以后端筛选检验为主的质量保证模式提出了新的挑战,依靠增加后端人力、设备和试验等资源的粗放式模式很难满足高效率完成任务的发展需要。且随着国家自主可控战略的不断深化,国产元器件应用比率大幅增加,迫切需要建立以全面过程控制为主的质量保证模式(如图3)。



图2 宇航元器件质量保证数量趋势

Fig.2 Trend of aerospace components quality assurance quantity

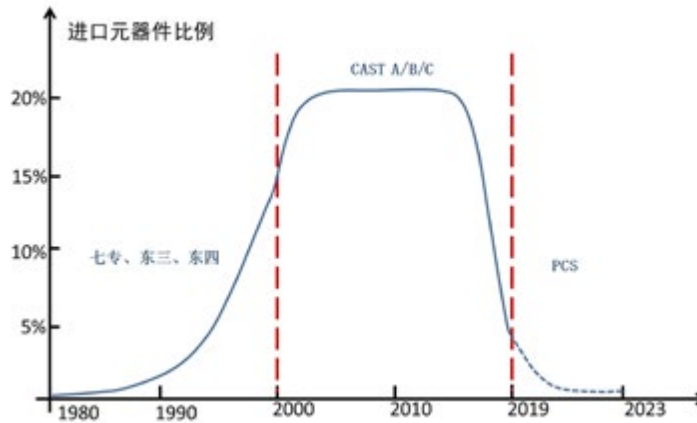


图3 宇航元器件质量保证趋势

Fig.3 Trend of aerospace components quality assurance

1.3 元器件质量保证的理念、方法与建设国际一流宇航企业的要求仍有差距

按照建设国际一流宇航企业的目标，积极对标和借鉴国际一流宇航企业和高端装备制造企业的元器件管理模式和方法。通过对标NASA、ESA、GE、华为等国内外先进企业关于元器件管理理念与方法发现，NASA、ESA主要通过生产线能力认证（QML认证）和产品认证（QPL认证）来实现对元器件生产厂的技术状态和生产基线管控；GE公司在航空发动机领域，通过GE1000体系实施供应商认证、产品技术状态管理，注重产品实现过程的认证；华为公司实施驻厂质量管理员、产品状态管理、生产过程状态异常通报等方法实施元器件过程控制。国际一流宇航企

业和装备企业的元器件质量管理的理念、思路相似，在产品最终合格（结果可信）的基础上，都是以过程控制为主要手段，加强产品技术状态和生产基线控制，实现生产过程的全程受控（过程可信）。五院在元器件质量管理方面与建设国际一流宇航企业的目标仍有差距，需要将国际先进的元器件质量管理理念、方法与五院航天器型号对元器件高质量要求相结合，构建宇航元器件过程控制体系，实现宇航元器件质量的过程可信和结果可信。

2 元器件过程控制体系的内涵

按照“源头抓起、过程控制、‘零缺陷’质量管理”理念，总结30余年宇航元器件质量保证工程实践经验，在借鉴国际先进质量管理理念的同时，突破了

当前行业内传统的以后端检验手段为主的质量保证模式，提出了用研双方通过加强生产过程控制实施宇航元器件质量保证的新理念，构建了宇航元器件过程控制体系（Process Control System，以下简称PCS）。

PCS以元器件技术状态稳定受控、生产过程受控、产品性能和质量长期稳定为目标。通过两方面进行表征：一是产品的性能稳定，产品关键指标一致性好，批次间波动小；二是产品的质量稳定，关键工序淘汰率、筛选淘汰率稳定，寿命前后关键参数变化率小，个体一致性好，且批次一致性好。

PCS运用系统工程的方法，创新性地提出了“一

个体系、三个要素、三级文件”的完整架构，明确了宇航元器件生产过程控制的目标、要素、建设思路和方法，为宇航元器件的质量管理提供了系统的解决方案。应用结构化方法，建立宇航元器件过程确认文件（Process Identification Document,简称PID）体系、宇航元器件质量工程师（China Academy of Space Technology Quality Engineer,简称CAST QE）体系、风险控制体系（RIC）三要素，有机融合。通过PID文件体系固化元器件技术状态基线，通过CAST QE人员体系监督过程确认文件落实，通过风险控制体系实现基线控制过程风险管控。探索出一条适用当前及未来航天器任务形势、宇航元器件特点的质量保证新模式。

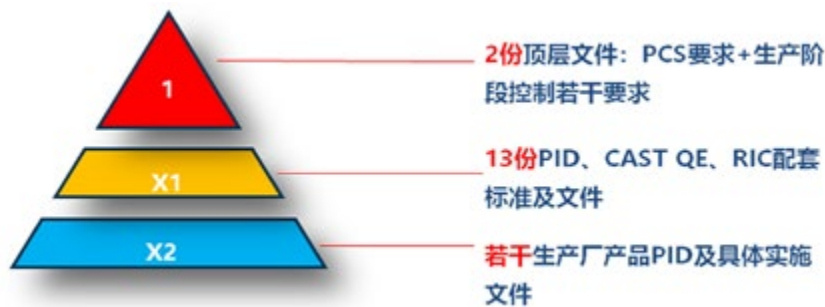


图4 宇航元器件过程控制体系文件架构

Fig.4 Document architecture of space component process control system

表1 宇航元器件过程控制体系1+X1级文件

Tab.1 1+X1 documents of PCS

序号	层级	类别	文件名称
1	一级文件（1） 顶层要求	管理	全面加强五院航天器用元器件生产阶段质量控制的若干要求
2		技术	航天器用元器件过程控制能力体系要求
3	二级文件（X1） PID CAST QE RIC指导标准及文件	质量责任制落实	五院航天器用元器件质量工程师管理要求
4			质量职责落实及人员管理要求
5		技术状态管控	航天器用元器件PID建设指南
6			航天器用元器件PID审查要求
7			航天器用元器件生产过程技术状态更改控制要求
8		生产过程控制	航天器用元器件原材料检验要求
9			航天器用元器件设备管理要求
10			航天器用元器件数据统计分析要求
11			CAST元器件交付控制及出厂评审要求
12		风险识别与管控	航天器用元器件外协质量控制要求
13			航天器用元器件不一致控制要求
14		质量问题处理	五院航天器用元器件质量问题处理及质量信息管理要求
15			航天器用元器件产品实现过程薄弱环节分析与改进要求

3 PCS的构建思路

3.1 PCS整体文件架构

PCS建立聚焦宇航元器件的技术状态和生产基线控制，围绕“PID文件、CAST QE人员、重点质量风险控制”三个要素，形成了层级清晰的“1+X1+X2”三级文件架构（如图4和表1）。“1级”文件由《全面加强五院航天器用元器件生产阶段质量控制的若干要求》顶层管理文件和《航天器用元器件过程控制体系要求》顶层技术标准构成，规定了PCS的内容和顶层建设要求；13份“X1级”支撑性文件、标准规定了PCS建设的详细要求，回答了如何建设PCS；宇航元器件生产厂按照1+X1要求，开展产品的PCS建设工作，形成具体产品的“X2级”文件。

1级：顶层文件，包括顶层管理文件及顶层技术文件，由质量保证机构编制；

X1级：支撑性文件，包括具体指导文件及要求，由质量保证机构编制；

X2级：生产厂PID及落实X1级文件要求的相关文件，由生产厂结合原有质量体系文件情况进行完善补充，不提倡新建独立的文件体系。

3.2 PCS以质量管理体系为基础，强化面向产品的生产过程控制要求

通过PCS将航天器用元器件质量控制的特殊要求系统传递到元器件的生产阶段，PCS以GJB9001为基础，补充和强化宇航产品要求。PCS不是要在质量管理体系之外再单独建立一套体系，而是按照(A+B)+C的模式（“A+B”代表“GB+军用特殊要求”；“C”代表“宇航特殊要求”），在各生产厂GJB9001质量管理体系基础上，聚焦产品，补充和强化航天器型号及宇航元器件特殊要求，将其分解落实到元器件设计、生产、试验检验、交付、使用全过程，涵盖元器件生产的全要素（人、机、料、法、环、测，简称“5M1E”）（如图5所示）。

PCS是在各单位GJB9001的基础上补充完善宇航



图5 PCS在国军标GJB9001的基础上聚焦产品的过程控制
Fig.5 PCS focuses more on product process control based on GJB9001

元器件的特殊要求，特殊要求主要是指宇航元器件的技术状态控制、生产过程控制（“5M1E”）等质量风险要素分析和控制。因此，各单位在GJB9001的质量手册、程序文件、多层次文件等文件架构和主要内容基础上，补充开展以下两个方面工作。

一是需要在原有文件体系基础上，将五院的宇航元器件相关要求完善到已有文件中，例如：在设备管理方面，设备异常时的产品追溯要求、工装夹具的寿命管理、首件管理，新设备投入使用前的验证等，在原有文件的基础上进行细化、量化和完善。

二是需要新增部分文件，例如针对CAST产品的出厂复查和出厂评审要求、QE管理、不一致控制、质量风险分析、技术状态更改控制、薄弱环节分析、质量问题应急处置等，需要根据五院的相关标准、文件要求，完善本单位的内部管理文件和制度。

用、研双方充分协商确认，面向航天器用元器件，每个品种系列元器件按照五类文件系统构建元器件过程确认文件（PID），固化宇航元器件基线。借鉴ESA宇航元器件质量保证的先进经验，在我国宇航元器件领域推行建立件过程确认文件（PID），实现了宇航元器件过程文件细化、量化。按照“PID主文件、过程管理、评价标准、操作指导、记录表格”等

五类文件开展梳理和建设。

PID按照元器件品种形成的主文件和文件总清单，为航天器用元器件建立一个精确的基准，这一基准由产品的设计结构、所用材料、制造工艺和控制文件体系组成，对制造过程和制造后必须进行的全部检验和试验进行全面规定，保证将来由生产厂生产的元器件与鉴定状态保持一致，并且生产过程全程可追溯。

按照三类技术状态变更，严格控制宇航元器件的状态变化。按照“论证充分、各方认可、试验验证、审批完备、落实到位”的总体原则，依据《航天器用元器件生产过程技术状态更改控制要求》（Q/WW-1-GL-002）标准，细化各类元器件的技术状态更改界定标准及控制要求。严控一类、二类技术状态更改，分别制定半导体单片集成电路、混合集成电路、半导体分立器件、电阻器、电容器、磁性元件、继电器、电连接器、熔断器、开关、电线电缆共20类元器件一类、二类技术状态更改内容及验证试验项目要求。

3.3 建立宇航元器件质量工程师（CAST QE）队伍和工作机制

在加强五院质量保证人员队伍能力的基础上，五院通过宇航元器件生产厂选拔推荐、培训、考核评价合格后，以五院、生产厂“双认证”的方式颁发“CAST QE证书”，在各生产厂建立“主管CAST QE + 产品CAST QE + 工序CAST QE”队伍。

充分发挥CAST QE的传递与监督作用，确保PCS文件体系架构及建设要求在本单位有效落实，实现对CAST元器件质量管理要求在本单位落实情况、技术状态控制过程、生产过程异常及问题处理情况、交付前质量复查和出厂评审等工作的监督落实。

生产厂建立完善的CAST QE工作机制。五院制定了《CAST QE管理要求》，明确规定了CAST QE的选拔、培训、考核、岗位职责、工作评价、质量奖惩等相关制度要求；组织各宇航元器件生产厂

建立《CAST QE管理办法》和《CAST QE工作手册》，清晰CAST QE各项职责落实要求、工作依据、工作流程、工作输出、与生产厂内部及五院工作接口关系等要求。通过建立用研双方建立沟通协调机制，确保CAST QE工作有效落实、定量评价、奖罚分明。

3.4 完善宇航元器件质量风险控制机制

按照“一厂一策”的原则，用研双方联合开展航天器用元器件生产过程质量风险分析。一方面以问题为导向，对以往失效案例进行统计分析和原因的深度挖掘，借助DFMEA（设计失效模式与影响分析）、PFMEA（工艺失效模式与影响分析）等风险工具进行风险分析；另一方面，以目标为导向，面向产品、面向流程、面向组织，梳理全流程（设计、工艺、试验、检验等）、全要素（人、机、料、法、环、测）质量风险因素。通过“问题导向+目标导向”的正、反向分析，建立《XX元器件质量风险因素表》，覆盖元器件工艺实现全过程、全要素。以风险要素表为主要抓手，实现对宇航元器件技术状态基线控制与生产过程控制风险管控。

完善风险控制的闭环监督机制。组织各元器件生产厂建立风险分析机制，建立风险管理要求，明确职责分工及工作机制、细化工作流程。定期开展关键/重要环节（设计、工艺、人员、设备、原材料、外协等）风险分析，对照风险要素表，核实风险防控措施有效性，完善风险要素表，保证风险要素表的适用性与实效性。CAST QE监督风险控制措施的执行情况和风险控制结果。

4 后续工作展望

4.1 优化元器件质量保证流程，完善以质量为核心的元器件供应商管理

在我国大力推进元器件自主可控的形势下，CACEC通过建立PCS构建了全新的宇航元器件质量保证模式，突破当前行业内传统的仅仅通过加严筛选和试验等后端检验手段为主的质量保证模式，实现质

量保证模式从后端检验为主到全面生产过程控制质的提升，PCS是促进我国宇航元器件自主可控良性发展的重要基础。

通过PCS建设和推进，生产过程的质量控制得以加强，在前端控制强化的基础上，可以对监制、验收、补充筛选等现有后端质量保证工作进行相应优化。有效解决现有质量保证模式接口界面多、环节多、周期长、难以适应激增的任务需求问题。在满足“高质量”要求基础上，实现“高效率”与“高效益”。

大力推进PCS建设同时，研究建立PCS建设成果应用模型，将建设成果和元器件成熟度挂钩，应用于元器件质量保证模式优化、元器件优选推荐、元器件质量等级提升、供方评价等领域，既实现PCS建设成果应用转化，又能促进PCS体系持续改进、不断完善，形成PCS体系“建设-应用-反馈-改进”的良性循环机制，促进PCS体系持续改进。

4.2 为我国宇航元器件认证奠定了标准基础和专业技术基础

当前我国暂无针对宇航元器件独立认证的标准体系，也无第三方宇航元器件专业认证机构。各生产厂均是在国军标生产线（GJB546）上，通过建立和运行军用质量管理体系（GJB9001体系）实现对宇航元器件质量管控。各宇航用户均基于国家军用标准及型号要求，建立各自的采购标准，在元器件生产单位生产合格的元器件产品基础上，追加相关试验、补充相关要求，标准不统一。

宇航元器件PCS是支撑我国航天型号“高质量、高效率、高效益”发展重要基础，提出了以过程控制为核心的宇航元器件质量保证新体系。“1+X1”级

架构的PCS标准体系可作为我国宇航元器件专业认证标准依据，填补我国宇航元器件认证标准空白，探索开展宇航元器件认证，实现中国宇航元器件领域专业认证标准零的突破。

4.3 过程控制体系可在行业内外推广应用

元器件生产厂通过建立运行PCS体系，可提升元器件固有质量。可持续向用户提供技术状态稳定受控、生产过程受控、性能和质量长期稳定的元器件产品，实现企业受益。PCS可在行业内外推广使用，实现行业受益、国家受益。

一是形成典型示范。满足五院航天器研制需要，解决了当前宇航元器件质量问题主要矛盾，满足航天型号任务量激增和高质量发展需求，并已经形成典型示范。

二是航天领域及其它军工行业推广。可在航天科技集团宇航元器件供应商进行全面推广应用，作为宇航元器件质量提升的重要举措。尤其是当前自主可控形势下，可以将PCS作为完善国产化元器件质量管控、增强使用信心的重要措施，也能促进自主可控良性机制的形成。

三是过程控制为核心的质量管理理念方法对元器件及相关基础产业的质量控制有普遍的借鉴意义。



作者简介：

张延伟，男，山东省菏泽市，硕士，研究员，集团公司元器件专家组副组长，现任五院宇航物资保证事业部党委书记，长期从事宇航元器件质量管理和型号元器件质量问题处理工作，构建宇航元器件过程控制体系方面持续开展管理创新研究和实践。

论航天元器件保证工作的创新发展

江理东, 王敬贤, 张伟, 刘文宝, 朱旭斌, 付予

(中国航天标准化与产品保证研究院, 北京 100071)

摘要: 航天元器件保证工作是航天工程基础性、支撑性工作。随着元器件技术和产品发展以及航天型号需要提升, 对元器件保证工作提出了新要求。本文系统分析了国内外航天元器件保证工作的现状, 指出我国当前的航天元器件保证工作与元器件发展现状、型号要求不匹配的问题, 提出航天元器件保证工作总体架构设计, 在技术体系、组织体系、管理监督体系和人才体系等方面给出创新性的发展思路, 为构建航天元器件保证新体系提出具体实施的建议。

关键词: 航天工程; 元器件保证; 新体系

中图分类号: TN406

文献标识码: A

The Innovative Development of Aerospace Components Assurance

Jiang Lidong, Wang Jingxian, Zhang Wei, Liu Wenbao, Zhu Xubin, Fu Yu

(China Academy of Aerospace Standardization and Product Assurance, Beijing, 100071, China)

Abstract: Assurance of aerospace components is a fundamental and supportive work of aerospace engineering. New requirements have been put forward for component assurance, because of the development of component technology and the urgent need of aerospace models for high quality. This paper systematically analyzes the current situation of domestic and foreign component assurance work, and point out the problems restricting development. Conclusion of the new concept of aerospace component assurance system, including technology system, organization system, supervision and management system and talent system.

Key words: aerospace engineering; component assurance; new assurance system

0 引言

元器件是航天型号研制工作的基础产品, 是航天工程和武器装备的基础性、战略性资源, 是我国航天事业发展支撑和保障之一。元器件保证工作是航天型号研制工作的有机组成部分。

1 航天元器件保证工作基本情况

航天元器件保证工作是指对航天型号使用的元器件开展一系列技术和管理活动, 覆盖了元器件制造、检测、试验、应用等所有环节, 包括测试、分析等技术活动及认证、归零等管理活动, 以使航天工程使用的元器件的质量和可靠性满足应用要求。

1.1 国外航天元器件保证工作情况

国际上航天大国都十分重视航天元器件保证工

作。如美国国家航空航天局及下属研究中心组织开展研究及保证工作, 对元器件的生产厂商进行管理, 对元器件开展鉴定和维持工作, 进行元器件的选用目录管理; 有一批专业公司参加型号元器件保证的具体实施, 保证航天工程用元器件的质量和可靠性, 如进行元器件的测试、筛选等保证工作; 同时, 军方和政府支持建立一整套完整的航天元器件标准, 全面支撑了航天元器件保证工作的开展。

欧洲宇航局专门成立了欧洲元器件标准协调组织, 制定了元器件标准, 规范元器件保证工作, 成立专门机构负责欧洲航天项目使用的元器件选用目录管理等基础性通用管理, 对承担资格进行管理。德国宇航局和法国宇航局也设立专门机构管理各自的项目用元器件及保证工作; 目前欧洲主要有Airbus公司所

属的德国TESAT元器件中心、西班牙ALTER公司等主要专业公司承担欧洲航天工程元器件保证总承包工作。欧美都十分重视元器件保证相关信息管理，有专业机构开展元器件信息网的维护管理。

欧美航天元器件保证经过几十年的发展，其专业化水平很高，业务相对集中，政府给予极大的关注和支持，航天工程用元器件保证一体化的开展，保证成本是他们关心的重要因素，其主要通过技术升级和加强管理来降低成本。

1.2 我国航天元器件保证现状分析

我国航天工程从起步阶段就非常重视元器件保证工作，经过几十年发展，目前已经建立一套元器件保证体系。逐步形成了元器件统一需求规划、统一评价认定、统一选用管理、统一组织采购、统一质量保证为主要内容的“五统一”的管理要求来规范元器件保证工作。保证工作主要包括元器件目录管理、标准选择或/和制定、供应商管理、评价和认定、监制、验收、补充筛选、特殊试验、仓储、超期复验、专用和低等级元器件保证等。

我国航天元器件保证工作是伴随着航天工程从无到有不断完善发展起来的，取得了一定成绩，但是还存在许多问题和矛盾。随着元器件技术的迅速发展，新产品不断涌现，元器件的技术、工艺、材料、过程控制方法、制造设备情况等也有很大的提高，目前存在的主要矛盾是元器件的保证工作不能完全适应上述变化，矛盾的主要方面是元器件保证工作本身，这种矛盾导致保证工作问题的存在，如：元器件保证工作效率不高、周期较长；保证标准不能完全统一，保证结果不能完全互认；人员素质不能满足工作要求、人才流失；元器件保证成本高，影响航天工程经济效益；保证产生的信息基本是孤岛现象，不能有效利用。

分析产生问题的原因，主要是以下几个方面：

(1) 技术体系建设和技术进步工作落后

目前，相当大的一部分保证工作是从20多年前一直延续下来的，随着元器件生产条件的改善和生产过程质量的不断提升，元器件产品标准不断提升和规范，大部分元器件在生产阶段按照标准控制和保证的

能力得到增强，我们目前开展的保证项目和元器件生产过程中的试验有许多是简单的重复，这些试验的效果不再明显，甚至不再有作用了。另一方面，目前航天型号使用的新型和复杂元器件保证关键技术缺乏深入、系统的研究，保证技术难点问题依然存在，保证存在困难。

(2) 管理和监督的办法和力度不够

元器件保证具体试验和分析等由各总体单位元器件保证专业机构承担，部分外协进行，各总体单位对其进行具体管理。但是由于各专业机构与其直接上级单位的行政所属关系，这种管理和监督属于内部管理和监督，有效的专业化、职能化的监管不足，容易出现技术、质量风险，出现元器件保证工作科学性、合理性的问题，出现元器件保证工作质量风险以及元器件保证成本过高问题。

(3) 承担任务组织机构相对封闭，缺乏开放和协调发展政策和机制

目前以行政单位为主建立的元器件保证机构基本垄断了各自型号工程元器件保证工作，其试验室条件建设机会多、条件好，但是缺乏合作和交流，开展的研究有许多是低水平、重复工作，同时也会导致保证工作高成本和低效率。

(4) 缺乏人才吸引力，人才结构不科学

元器件保证属于基础性、支撑性工作，对人才吸引力小，人员流失情况相对严重。技术人员对元器件应用和型号研制情况了解相对薄弱，人才结构不合理。

2 航天元器件保证工作总体架构设计

要做好顶层设计，关键要从战略上把握元器件保证工作在航天工程的地位和作用。在开展调查研究工作的基础上开展总体架构设计，分析航天元器件保证工作存在的老问题和面临的新要求，着力解决目前存在的问题，需要有创新思维，使航天元器件保证工作得到发展。

2.1 元器件保证目标及重点工作分析

2.1.1 元器件保证目标

元器件保证是贯穿于元器件设计、制造、检验、

试验、应用全过程的工作，元器件保证工作的总目标是要使元器件在应用过程全生命周期内不出现任何问题而使航天工程受到影响。在上述的相关阶段中，要确保元器件及其在各个阶段过程中符合约定标准的要求。与此同时，还要考虑到航天项目本身的经济性和效率因素，要考虑到保证工作的可实施性，考虑保证信息的透明和共享，考虑到具体航天工程的针对性等。

2.1.2 重点工作分析

为了更好保证航天型号任务的正常完成、保证航天工程对元器件的要求，支撑航天事业的发展，需要进一步提高元器件保证技术的发展和工程服务的能力，提高保证的效果，进一步更加贴近航天工程的需要。从技术层面看，元器件保证的重点关注主要是针对性保证项目设计和具体实施，对产生的结果和数据进行分析，判断元器件的质量和可靠性是否满足型号要求。从管理层面看，元器件保证的重点要规范元器件保证工作，控制保证过程质量，提高保证工作效率，降低保证成本，为型号研制保驾护航，同时需要加强组织机构建设和人才的保障，使元器件保证能够支撑型号工作并使保证工作能够健康持续发展。

2.2 元器件保证工作利益相关方关系分析

航天元器件保证工作涉及到元器件制造单位、元器件使用单位、航天型号研制单位和元器件保证实施单位，同时也关系到元器件鉴定、评价机构，元器件标准化单位，元器件相关管理机关和部门。上述各类单位的一切工作，都是为了航天型号服务的。标准化机构是元器件保证的重要单位，元器件相关标准是沟通和交流的语言，用标准来表征元器件的质量水平；元器件生产单位是元器件质量责任主体单位，元器件的质量、可靠性在元器件的设计、制造过程中就已经形成了；元器件的鉴定机构代表第三方，承担鉴定检验责任，为用、研双方服务，保证元器件符合标准要求；元器件保证单位接受航天型号研制单位委托，专业承担型号使用的元器件保证，这些单位要确保准备装机的元器件满足型号使用要求；元器件保证管理部门要对元器件保证工作开展监督和管理。

对于上述各类单位，质量责任是这些单位关注的

重点，元器件和保证工作的费用是关注的重要利益，在全过程工作中要平衡好各方利益诉求，使工作能够顺利进行下去。

3 航天元器件保证体系创新建设

航天元器件保证工作需要建立在现有工作的基础上不断进步，将具有国际先进水平作为建设目标，将满足航天工程的需要作为工作目标；面对问题和矛盾，实事求是，不回避矛盾和问题；要敢于打破常规，采取措施，开拓创新，促进航天元器件保证创新发展。元器件保证工作重点要把总体架构设计好，主要包括技术、组织、管理和人才等部分。

3.1 技术体系创新建设和技术创新

元器件保证技术体系涉及元器件设计生产到应用的全过程，涵盖了电子、电器和机电等多种元器件，涉及元器件标准、检验、测试、试验、分析等诸多专业，其技术体系相对复杂，系统性开展中国航天元器件保证技术体系研究和建设十分重要，不能墨守成规，在技术体系上要改变过时和不能适应需要的部分，建立基于中国航天型号和元器件选用实际情况的保证技术，要针对元器件发展的客观情况对保证技术和方法进行升级。在向国外先进水平学习过程中不能简单照抄照搬国外的做法，需要进行具体问题具体分析，需要建立自主解决问题的能力。要鼓励进行技术创新活动，将航天元器件保证技术的研发纳入国家元器件创新工作中，纳入各单位技术创新工作中，成体系开发出保证技术、促进元器件发展、促进航天工程的发展。标准是技术开发成果的有效载体，标准体系是技术体系的重要组成部分，要加强宇航标准的建设，这也是目前建设的重点工作。

3.2 组织体系优化和创新发展

根据需要，协调各单位工作，充分调动各方面的积极性，使得各类单位分工更加合理，责任能够更好地落实，使得元器件保证工作更加有序和高效。目前承担任务的单位忙于型号元器件检测试验工作，研究水平不高、创新能力不强，要将通用基础性保证机构建设和专门特色类保证机构建设相结合，特别是要重视建设有专项技术和能力的特色保证机构，要着眼建

设具有国际水平的权威机构，使之成为承担技术创新的主力军；鼓励有能力的单位为航天工程服务，鼓励各类单位开展创新研究、承担重大课题和型号任务。

在任务分配和管理上要大胆创新，制定政策打破现有任务承担的格局和方式，在满足相关管理要求的基础上，加强实施元器件保证总承和分包的业务模式，形成有序竞争，提高服务质量、提高保证效率、降低保证成本，使得航天型号应用的元器件质量得到保证。

3.3 管理监督体系创新建设

管理和监督是确保满足航天型号需要不可缺少的关键性工作，涉及能力及资格管理、信息管理和共享、问题协调和处理、政策制定和支持方面，需要进行更加有效的监督管理。管理和监督工作涉及面广，需要进行针对性工作设计。监督工作由“机关式”转为“职能式”，在现有管理要求下，制定一套文件化、专业化监督要求，对参加保证的单位在各个专业和业务上给予监督。

目前，从抓元器件保证工作相关信息管理入手，要尽快建立一套技术手段和管理措施，落实相关责任，使信息得以共享，使管理部门、元器件保证技术单位和装备研制单位能够做到相关信息对称。型号投入大量费用开展的保证工作，元器件保证信息管理是突出短板，各单位的保证信息基本还是孤岛式、封闭式，信息缺乏有效的分析和处理，没有被有效的利用，没有发挥应有的作用，这些信息对元器件的生产单位和航天工程具有重要作用，要在体制和制度上解决问题。

3.4 人才体系的创新建设

人才是影响元器件保证工作的关键因素，需要一批有能力、有专业水平、有责任心的专业人才从事元器件保证工作。目前人才问题是元器件保证工作较为突出的问题，主要体现在结构不合理问题、人才梯队建设问题、人才长期稳定和可持续发展问题；需要建设一支元器件保证工作的管理、技术和市场人才队伍，需要有选用、培养和激励的具体办法，要把元器件保证队伍作为航天工程不可缺少的职业队伍进行

建设。航天元器件保证人才队伍的建设工作，要突出航天工程的特色，满足航天工程发展的需要持续加以关注；人才结构需要认真研究和设计，需要具有航天型号研制经历人才加入，要鼓励元器件保证、元器件研制、元器件使用方面人才合理流动，培养技术复合型、工作复合型的骨干人才。

4 航天元器件保证创新工作实施建议

首先，要体系化开展元器件保证工作建设的研究，包括技术体系梳理和研究，建成中国航天元器件标准体系，建设航天元器件保证标准工程应用动态支撑体系，促进标准化、规范化航天元器件保证工作，推进元器件保证结论互认；加强和不断改进元器件保证的管理工作，开展管理创新活动，在现有新“五统一”管理基础上，整合全国相关基础性资源，加强体系化组织机构的建设。重点研究解决元器件保证信息管理存在的若干问题，从政策、机制和条件上把元器件保证信息管好、用好。

其次，在现有元器件保证机构基础上，整合技术、设备条件和人才资源，不断培养建设一支持续发展的专业化队伍，充分调动集团其他元器件保证单位的积极性，研究并实施一套总承和专业相结合的服务模式，使航天元器件保证工作不断适应航天型号发展的要求，达到国际先进水平，促进我国元器件自主可控发展，为航天事业发展做出新的贡献。

5 结束语

航天工程的发展需要元器件保证工作有更强的支撑能力，目前，航天工程元器件保证工作尚不能适应这种要求，需要不断提升技术专业水平、提升工程实施能力、提升管理水平。需要不断创新，扎扎实实开展研究和建设工作，才能使得元器件保证工作不断进步，持续发展，支撑好我国航天工程的持续发展。



作者简介：

江理东（1965—），男，安徽滁州人，硕士，研究员，主要从事航天元器件标准化与保证工作。

一种集成电路多应力可靠性预计新模型

白桦, 孙旭朋, 闫娟, 王群勇

(北京圣涛平试验工程技术研究院有限责任公司, 北京 100089)

摘要: 随着新技术、新工艺、新材料的创新发展, 传统的集成电路可靠性预计模型已经不能满足发展的需求。本文分析了现有可靠性预计模型的局限性, 介绍了国外基于失效物理的可靠性模型架构与空间辐射环境可靠性预计模型相结合的新模型的建立情况。采用BlackBox贝叶斯统计方法, 结合现有的试验数据, 对集成电路可靠性预计模型基础失效率进行修正更新, 提出了一种航天用集成电路可靠性预计模型; 选取CPU作为研究对象, 在空间辐射环境下开展案例分析研究, 预计了在轨工作可靠性。该模型可为集成电路在航天综合环境应力下可靠性定量分析提供技术支撑。

关键词: 航天; 集成电路; 可靠性预计; 多应力; 空间辐射

中图分类号: U462.3+5 **文献标识码:** A

A New Model for Predicting Multi-stress Reliability of Aerospace Integrated Circuits

Bai Hua, Sun Xupeng, Yan Juan, Wang Qunyong

(Beijing San-talking Testing Engineering Academy, Beijing, 100089, China)

Abstract: With the innovative development of new technologies, new processes and new materials, the traditional integrated circuit reliability prediction model has been unable to meet the needs of development. This paper analyzes the limitations of the existing reliability prediction models, and introduces the establishment of a new model which combines the reliability model architecture based on failure physics with the reliability prediction model of space radiation environment. By using the BlackBox Bayesian statistical method, combined with the existing test data, the basic failure rate of the integrated circuit reliability prediction model is modified and updated, and an aerospace integrated circuit reliability prediction model is proposed. CPU is selected to carry out a case study in the space radiation environment, and the reliability of on-orbit work is predicted. The model can be used to quantitatively analyze the reliability of integrated circuits under aerospace environmental stress.

Key words: aerospace; integrated circuits; reliability prediction; multi-stress; space radiation

0 引言

现代航天用集成电路的功能密度增加, 构成日趋复杂, 对其可靠性水平的要求也越来越高。集成电路在航天应用环境下产生的失效现象日益复杂, 主要表现为空间辐射效应, 如电离辐射总剂量 (TID) 效应、位移损伤 (DD) 效应和单粒子效应 (SEE)。可靠性预计是在产品正式投产前或产品正式使用前对其可靠性水平进行评价的重要方法, 是对采用特定设计的产品最终可以达到的可靠性水平进行定量预测。可靠性预计是电子设备可靠性从定性考虑转入定量分析的关键, 是方案择优、设计改进、确保产品满足可靠性指标要求的不可缺少的技术手段。

自2000年以来, 随着新技术、新工艺、新材料的创新发展, 影响集成电路可靠性的因素发生变化, GJB299^[1]、GJB217^[2]等可靠性预计模型已经难以满足航天工程的实际需求。其局限性表现在: (1) 部分新型元器件覆盖不全, 如对于封装引脚数超过500、存储容量大于64Mbits的SRAM、Flash等不能提供可靠性预计计算; (2) 未考虑空间辐射对敏感器件的影响, 比如CPU、FPGA、DSP、大容量存储器等, 其集成度越来越高、功能越来越复杂, 伴随着电路特征尺寸越来越小, 辐射效应对器件功能、性能的影响也越来越明显。原有的可靠性预计模型未包括空间辐射效应, 会误导采用集成电路的现代航天电子产

品可靠性设计,造成可靠性欠设计,也不能指导辐射敏感器件的选用,在实际使用中埋下巨大的安全隐患;(3)现有可靠性预计标准手册中模型参数未根据制造工艺发展实际情况进行修正更新。

为了对空间辐射效应诱发的电子设备风险进行定量评价,发展出了空间辐射环境可靠性技术^[3]。在此基础上,本文提出了一种集成电路可靠性预计新模型,基于失效物理的多应力可靠性预计模型架构,扩展了应力效应范围,修正了可靠性预计模型参数,以适应航天领域在多应力环境下进行可靠性预计的需求,提高预计准确性。

1 集成电路可靠性预计模型

1.1 基于失效物理的多应力可靠性预计通用模型

为提高可靠性预计准确性,满足电子设备在多应力条件下进行可靠性预计的需求,由法国国防部牵头,联合法国空客、欧洲直升机公司、Nexter Electronics、MBDA导弹系统、泰勒斯等8家公司发布了基于失效物理的多应力可靠性预计通用模型^[4],见公式(1)。

$$\lambda = \lambda_{\text{Physical}} \Pi_{\text{PM}} \Pi_{\text{Process}} \quad (1)$$

该模型同时考虑了物理因素(集成电路物理失效率) $\lambda_{\text{Physical}}$ 、器件工艺因素 Π_{PM} 和用户质量控制因素 Π_{Process} ,是全寿命周期的可靠性预计模型。与此同时模型架构还考虑了非工作状态、用户质量控制的影响,其中用户质量控制因素考虑了电子设备产品规范制定、设计、制造、系统集成、运行维修等环节。集成电路物理失效率的计算方法见公式(2)。

$$\lambda_{\text{Physical}} = \sum_j^{\text{Physics}} \left(\frac{t_{\text{annual}}}{8760} \right)_j \times \left\{ \begin{array}{l} \lambda_{0\text{Th}} \times \Pi_{\text{Thermal}} \\ + \lambda_{0\text{TCy_Case}} \times \Pi_{\text{TCy_Case}} \\ + \lambda_{0\text{TCy_SolderJoints}} \times \Pi_{\text{TCy_SolderJoints}} \\ + \lambda_{0\text{MEch}} \times \Pi_{\text{MEch}} \end{array} \right\} \times \Pi_{\text{Induce-}i} \quad (2)$$

在多应力环境下,对集成电路失效机理进行分析,芯片的工作失效与热应力及电应力相关的 $\lambda_{0\text{TH}}$ 的取值与器件芯片的种类、工艺相关,例如国外手册中模拟及混合信号集成电路芯片的 $\lambda_{0\text{TH}}$ 参考值取

为0.123FiT。器件封装温度循环基础失效率 $\lambda_{0\text{TCy_Case}}$ 、焊点温度循环基础失效率 $\lambda_{0\text{TCy_SolderJoints}}$ 、湿度应力基础失效率 $\lambda_{0\text{RH}}$ 以及机械应力基础失效率 $\lambda_{0\text{Mech}}$ 的取值与芯片无关,与器件的封装类型、封装材料、封装引脚数等相关。对于密封封装的器件, $\lambda_{0\text{RH}}$ 的取值为0。其中热应力加速采用阿累尼乌斯模型,温度循环应力加速采用Norris-Landzberg模型,湿度应力加速采用Peck模型,随机振动加速采用Basquin模型。 $\Pi_{\text{Induce-}i}$ 为现场使用过应力因子。过应力因子的表达式见公式(3)。

$$\Pi_{\text{Induce-}i} = \left(\Pi_{\text{placement-}i} \times \Pi_{\text{application-}i} \times \Pi_{\text{ruggedising}} \right)^{0.51 \times \text{Ln}(C_{\text{sensitivity}})} \quad (3)$$

式中: $\Pi_{\text{placement-}i}$ 为安装因子, $\Pi_{\text{application-}i}$ 为应用因子, $\Pi_{\text{ruggedising}}$ 为健壮因子, $C_{\text{sensitivity}}$ 为过应力敏感因子(集成电路取6.3)。

集成电路工艺因素 Π_{PM} 的表达式见公式(4)。

$$\Pi_{\text{PM}} = e^{1.39 \times (1 - \text{Part_grade}) - 0.69} \quad (4)$$

式中Part_grade与集成电路的质量等级相关。

用户质量控制因素 Π_{Process} 的计算见公式(5)。

$$\Pi_{\text{Process}} = e^{2.079 \times (1 - \text{Process_grade})} \quad (5)$$

式中Process_grade为元器件用户质量过程控制因子,与产品开发、制造和运行过程的171个要素有关,通过要素审查进行量化分析。

1.2 可靠性模型基础失效率修正

集成电路基础失效率反映了当前制作工艺质量控制的平均水平,一方面基础失效率随工艺的进步而降低;另一方面国内外的集成电路质量控制水平存在差异。为提高预计模型的准确性,采用BlackBox贝叶斯统计方法^[5],结合国产集成电路的试验数据对基础失效率进行更新,修正公式见公式(6)。

$$\lambda'_0 = \frac{\lambda_0(2+n)}{A} \quad (6)$$

其中:为更新后的基础失效率,单位为FiT; λ_0 为更新前的基础失效率,单位为FiT; n 为失效样品数。 A 的定义如下:当等效试验时间

$T^* \leq 10000\text{h}$, $A = 2 + 4 \times 10^{-6} \times N_0 T_0^{0.25} \lambda_0$; 当 $T^* > 10000\text{h}$, $A = 2 + 1 \times 10^{-9} \times N_0 (T_0 + 30000) \lambda_0$, N_0 为试验的元器件数, T^* 为累计有效试验时间。

开展了共 $1.2 \times 10^7\text{h}$ 的元器件验证试验, 产品涉及国内主要集成电路生产商, 对可靠性预计模型中的基础失效率进行了更新。以国产模拟及混合信号集成电路为例, 采集了 111 种型号的高温寿命试验数据, 总样品数 4460 只, 累计试验时间 (考虑高温加速因子) $1.19 \times 10^{10}\text{h}$ 。根据 BlackBox 贝叶斯统计方法, 国产模拟及混合信号集成电路芯片基本失效率的标准值由 0.123FiT 更新到 0.106FiT。

1.3 空间辐射环境可靠性预计模型

在基于失效物理的可靠性预计通用模型基础上, 扩展了所覆盖的应力效应范围, 除温度、湿度、机械振动、电应力等常规应力外, 还包括空间辐射效应, 扩展后的模型如公式 (7)。

$$\lambda_{\text{Physical-new}} = \lambda_{\text{Physical}} + \lambda_{\text{SRE-dev}} \quad (7)$$

上式中 $\lambda_{\text{Physical-new}}$ 为扩展后的物理失效率表达式, $\lambda_{\text{SRE-dev}}$ 表示辐射效应引起的物理失效率, 可表示为公式 (8)。

$$\lambda_{\text{SRE-dev}} = \lambda_{\text{TID-dev}} + \lambda_{\text{DD-dev}} + \lambda_{\text{SEE-dev}} \quad (8)$$

上式中 $\lambda_{\text{TID-dev}}$ 表示总剂量效应失效率, $\lambda_{\text{DD-dev}}$ 表示位移损伤效应失效率, $\lambda_{\text{SEE-dev}}$ 表示单粒子效应失效率。根据辐射源的不同, 空间重离子诱发的单粒子效应失效率表示为 $\lambda_{\text{SEE-dev-H}}$, 空间高能质子诱发的单粒子效应失效率表示为 $\lambda_{\text{SEE-dev-P}}$, 见公式 (9)。

$$\lambda_{\text{SEE-dev}} = \lambda_{\text{SEE-dev-H}} + \lambda_{\text{SEE-dev-P}} \quad (9)$$

(1) 完全试验数据 TID 与 DD 可靠性统计方法

辐射敏感器件 TID 和 DD 效应是一种累积效应, 可用对数正态分布描述辐射敏感器件的 TID 和 DD 效应。下面以 TID 效应为例介绍失效率预计方法, 这些方法同样适用于 DD 效应的失效率预计。

对于已知失效分布参数 (μ, σ) 的器件, 根据对数正态分布函数性质, 在轨辐射敏感器件 TID 生存概率

点估计的表达式为公式 (10), 其中 Φ 为标准正态累积分布函数。

$$P_{s\text{-TID}}(R_{\text{SPEC-TID-dev}}(T)) = 1 - \Phi\left[\frac{\ln(R_{\text{SPEC-TID-dev}}(T)) - \mu}{\sigma}\right] \quad (10)$$

(2) 不完全试验数据 TID 与 DD 失效率预计方法

当被试器件工艺稳定, 辐射失效力取对数后的最大标准差有较好的估计时, 可以按照公式 (11) 计算在辐射规范水平下器件的生存概率。其中过试验因子定义为试验辐射应力水平 R_T 与辐射规范水平 R_{SPEC} 的比值。 σ_{Max} 为辐射失效力取对数后的最大标准差。为 Φ 的反函数。 P_s 为在 R_{SPEC} 下的生存概率。 P_T 为试验辐射应力水平 R_T 下样品的生存概率。

$$P_s = \Phi\left[\Phi(P_T) + \frac{\ln(R_T / R_{\text{SPEC}})}{\sigma_{\text{Max}}}\right] \quad (11)$$

其中 P_T 可根据 LTPD 表对试验生存概率进行计算。当存在 n 个样本 0 失效的情况下, 置信度为 c 时, 也可用公式 (12) 估计试验生存概率 P_T 。

$$P_T = \exp[\ln(1-c)/n] \quad (12)$$

(3) 重离子单粒子效应失效率预计采用 IRPP 模型, 如公式 (13)。IRPP 模型是与器件敏感体相关的单粒子翻转预计模型, 翻转后导致器件失效也是概率事件。

$$\text{SEE}_H = \frac{A}{4S} \int_{\text{LET}_{i,\text{Min}}}^{\text{LET}_{i,\text{Max}}} \left\{ \frac{d\sigma_{\text{ion}}(\text{LET}_i)}{d(\text{LET})} \int_{\frac{h}{D_{\text{Max}}}}^{\frac{h}{D_{\text{Min}}}} \frac{d\phi}{d(\text{LET})} P_c(> D(\text{LET})) d(\text{LET}) \right\} d(\text{LET}_i) \quad (13)$$

式 (13) 中, SEE_H 为重离子诱发的单粒子事件率。 h 为器件有源区的高度。 A 为敏感体的总面积。 S 为芯片平面敏感体积的表面积。为任务轨道空间环境的 LET 微分谱; $d(\text{LET})$ 为给定的 LET 值下器件的临界弦长, 与器件单粒子敏感体积的长度 (1)、宽度 (w) 和 h 相关。 $PCL(>D(\text{LET}))$ 为大于临界弦长的累积分布, 与器件的 l 、 w 、 h 相关, 可使用蒙特卡洛仿真计算获得。 $d\sigma_{\text{ion}}/d(\text{LET})$ 为器件的微分翻转截面; D_{Max} 为器件敏感体积中的最大弦长。 LET_{Max} 为任务轨道空间环境的 LET 谱的最大 LET 值; $\text{LET}_{i,\text{Min}}$ 为器件微分翻转截面的下限; $\text{LET}_{i,\text{Max}}$ 为器件微分翻转截面的上限。

(4) 质子单粒子效应失效率预计见公式(14)。

$$SEE_p = \int_{E_{Min}}^{E_{Max}} \frac{d\Phi(E)}{dE} \sigma(E) dE \quad (14)$$

式(14)中, SEE_p 为质子单粒子事件率; Φ 为任务轨道空间环境质子注量率的微分谱; $\sigma(E)$ 为地面试验获得器件的单粒子事件截面; E 为质子能; E_{Min} 为空间环境质子微分能量谱的最小能量; E_{Max} 为空间环境质子微分能量谱的最大能量。

2 案例分析

以某型国产CPU为例, 进行航天用集成电路可靠性预计模型的案例研究。

2.1 研究对象

国产宇航用CPU, 32位定点、单/双精度浮点微处理器, 采用CMOS工艺, CBGA-276封装, 质量等级达到YC(等同GJB548 S级产品)。IGSO轨道的卫星采用了国产CPU进行连续在轨工作。CPU安装在卫星舱内靠舱壁的位置, 是卫星舱内辐射较强的位置, 载荷外壳为铝合金材料, 等效铝屏蔽厚度约为4mm, 其安装与屏蔽条件与通常星载计算机相同, 未采用低剂量率安装位置或加厚屏蔽等措施。

2.2 电子设备遭受的应力情况分析

卫星轨道为IGSO, 倾角55度。该载荷在轨主要遭受的环境应力包括空间辐射环境应力和温度应力。其中空间辐射主要为银河宇宙射线的重离子和质子、太阳宇宙射线的质子、地球捕获带的外捕获带电子。主要的辐射效应为单粒子效应、总剂量效应。

(1) 单粒子效应辐射环境分析

对任务条件下的空间辐射重离子LET谱、质子谱进行预计, LET积分谱如图1所示。采用的辐射环境模型有:

- 俘获带模型: AP8Max, AE8Max;
- 太阳粒子模型: JPL91 90%置信度, 无太阳事件;
- 银河宇宙线模型: CREME86, 90%最劣情况, 太阳活动按任务周期平均。

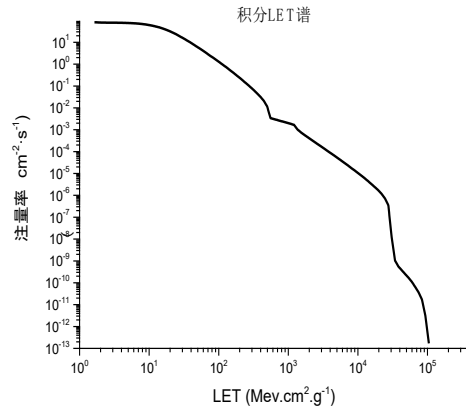


图1 任务条件下LET积分谱

Fig.1 LET integral spectrum under mission condition

(2) 总剂量效应的环境应力分析

该轨道任务周期内的总剂量主要是由太阳粒子事件的质子和外捕获带中的电子贡献的。通过计算, 4mm铝屏蔽下累积运行5年总剂量为50krad(Si)。

(3) 温度应力分析

该载荷有热控, 温度应力较稳定, 平均温度为28℃。

2.3 试验评估

CPU现已累积在轨运行约2E+5h, 未发生失效现象, 其在轨失效率<5E-6/h。

2.4 新模型预计

采用可靠性新模型进行预计, 总失效率为6.1E-8/h。其中失效率主要包括以下三个部分。

(1) 单粒子效应: 在IGSO轨道, 太阳平静期90%置信度下, 器件每bit平均单粒子翻转率为3.53E-12/h。该器件共有161929bit存储位数。单粒子效应引起的失效率为5.72E-8/h。

(2) 总剂量效应: 该产品具有抗300krad(Si)总剂量的能力, 以分布值 σ 为0.3保守估计, 则总剂量效应引起的失效率<<1E-15/h。

(3) 常规应力可靠性预计结果: 由于热、电、温循、湿度、机械和化学应力导致的失效率为4.2E-

9/h。

2.5 数据对比分析

该CPU通过可靠性分析模型预计的在轨故障率为 $6.1E-8/h$ ，MTBF约为 $1.6E+7h$ ；实际在轨累计运行 $2E+5h$ 未发生故障。由于当前积累的在轨运行数据有限，可靠性预计的准确性还不能给出验证结果，但在轨运行数据不违背可靠性预计结果。

3 结论

本文提出了一种航天用集成电路可靠性预计模型，将国外基于失效物理的多应力可靠性模型架构与空间辐射环境可靠性预计模型相结合，采用BlackBox贝叶斯统计方法，结合现有的寿命试验数据，对集成电路可靠性预计模型基础失效率进行修正更新。选取了国产CPU作为研究对象，在空间辐射环境下开展案例分析研究，依据可靠性预计新模型对其在轨可靠性进行预计，并结合现场失效统计数据进行了对比分析，可靠性预计结果不违背在轨运行监测数据。目前在轨运行数据还在收集之中，期望能够进一步验证可靠性预计新模型的准确性。

基于多应力可靠性预计新模型已开发了电子设备可靠性预计云平台，网址<http://rp.stea.com.cn>。

参考文献 (References)

- [1] 中国人民解放军总装备部，电子设备可靠性预计手册：GJB/Z 299C-2006[S].总装备部军标出版发行部，2006:1-273.
- [2] 中国人民解放军总装备部，电子设备非工作状态可靠性预计手册：GJB/Z 108A-2006[S].总装备部军标出版发行部，2006:1-94.
- [3] Qunyong Wang, Dongmei Che, Hua Bai, A method of space radiation environment reliability prediction[C], 2016 RAMS. IEEE Xplore 07 April 2016.
- [4] AIRBUS France, Eurocopter, Nexter Electronics, et al. FIDES Guide 2009- Reliability Methodology for Electronic Systems[S].2010-9.
- [5] IEEE, IEEE Guide for Selecting and Using Reliability Predictions Based on IEEE 1413; IEEE Std 1413.1 [S]. New York: The Institute of Electrical and Electronics Engineers, Inc, 2002: 1-90.



作者简介：

白桦（1977—），男，福建建阳人，中国科学技术大学博士，现为北京圣涛平研究院副院长。主要研究方向为可靠性预计、空间辐射效应、长寿命加速试验、电子元器件评定、失效分析等。

提高可靠性和抗辐射特性的CMOS复合栅介质工艺研究

陈晓宇, 葛洪磊, 宋 坤, 孙有民, 薛智民, 王英民

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 针对栅介质的早期失效问题, 我们提出了一种高温氧化层/热氧化层的复合栅介质结构, 并在电路级别验证了早期失效的减少和抗辐射性能的提高。由于热氧化层和高温氧化层中缺陷线错位排列, 从而可以避免从复合栅介质高温氧化层上表面到热氧化层下表面的漏电通路, 明显减少电路老炼筛选过程中与栅介质相关的早期失效。在300krad(Si)总剂量辐照试验中, 采用高温氧化层/热氧化层的复合栅介质比采用热氧化层单栅介质具有更小的器件阈值漂移。高温氧化层/热氧化层复合栅介质结构对于小尺寸CMOS和特种器件工艺可靠性和抗辐射性能的提升具有一定的借鉴价值。

关键词: 复合栅介质; HTO/SiO₂; 总剂量辐射; 栅介质失效

中图分类号: TN305.5; TN386.1 **文献标识码:** A

Improving Reliability and Radiation-Hardness of CMOS Process Using HTO/SiO₂ Composite Gate Dielectric

Chen Xiaoyu, Ge Honglei, Song Kun, Sun Youmin, Xue Zhimin, Wang Yingmin

(Xi'an Microelectronics Technology Institute, Xi'an, 710054, China)

Abstract: We demonstrate circuit-level early life failure reduction and radiation-hardness improvement by composite gate dielectric structure of high temperature oxide (HTO) /thermal oxide (SiO₂). Due to the dislocation arrangement of defect lines in SiO₂ and HTO layers, the leakage path from the upper surface of HTO to the lower surface of SiO₂ can be avoided, the reliability of gate dielectric can be improved, and the early life failure of circuits related to gate dielectric is significantly reduced in the burn-in screen. The devices with HTO/SiO₂ gate dielectric also show less threshold-voltage shifts than those with SiO₂ single gate oxide after 300krad(Si) total ionizing dose irradiation. HTO/SiO₂ gate dielectric structure is of great reference value for reliability and radiation-hardness improvements of small-scale CMOS and special device processes.

Keywords: composite gate oxide; HTO/SiO₂; total ionizing dose radiation; gate oxide failure

0 引言

在超大规模集成电路(VLSI)中, 栅介质的可靠性是重点关注的可靠性问题之一。栅介质的失效可以用逾渗模型(percolation model)来描述。在电场作用(电应力)下, 首先是栅氧化层中出现缺陷点, 随着电应力的累积, 缺陷点逐步发展成为缺陷线, 缺陷线不断生长和合并, 最终形成从栅氧上表面到下表面的漏电通路, 导致栅氧漏电不可恢复地突然增大。

另外, 在辐射环境下, SiO₂中会产生电子空穴对, 电子很快被复合或漂移出SiO₂层, 空穴则被邻近

SiO₂/Si的界面陷阱俘获, 在界面附近形成正空间电荷(氧化物陷阱电荷), 同时会在SiO₂/Si界面引入界面态, 最终会引发MOS器件阈值电压 V_{th} 的漂移、迁移率降低和漏电流增大等电学特性的变化, 导致器件退化或失效。辐射总剂量辐射效应引起的阈值漂移量 ΔV_{th} 和氧化层厚度的n次方成正比关系, n的值约为1.5~2^[1]。因此, 抗总剂量辐射效应需要对采用厚栅介质的大尺寸CMOS、EEPROM、VDMOS进行加固。

栅介质质量和抗辐射能力的提升可以采用氮氧栅

工艺^[2]，通过表面氮化提高栅介质的防硼穿透、防热载流子和抗总剂量能力。但是，这种方法没有解决缺陷线生长形成漏电通路的问题。

栅介质质量的提升也可以采用复合栅介质，即双层介质工艺。通过下层和上层中缺陷线的错位排列，避免复合栅介质中漏电通路的形成。 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 是较常采用的复合栅介质结构。 Si_3N_4 具有较高的击穿电场强度，比较适合作为栅介质。但是 Si_3N_4 自身缺陷较多， $\text{Si}_3\text{N}_4/\text{SiO}_2$ 界面中存在大量表面陷阱，辐射后MOS器件阈值漂移量较大，因此 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 复合栅介质常被用作辐射感应器，不适合作为抗辐射器件的栅介质^[3]。采用化学气相淀积（CVD）方式生长的高温氧化层（HTO）是一种在EEPROM工艺中广泛使用的氧化层，与热氧化层（thermal oxide）相比，HTO不需要消耗硅衬底且热预算较小，但是HTO需要淀积后的致密或退火^[4,5]。本文提出抗总剂量辐射HTO/ SiO_2 复合栅介质工艺，既提高了栅介质的可靠性，又提高了电路的抗辐射能力。

对于硅栅CMOS工艺，栅介质生长后立即就是多晶淀积，栅介质被多晶覆盖保护。而对于铝栅CMOS工艺，由于器件尺寸大，栅面积较大，栅介质在生长后还要进行欧姆孔光刻和去胶等多道工序后才被铝栅极覆盖，栅介质暴露在各个工序中无法被有效保护，各个工序的残留和颗粒都会影响栅介质的质量，因而铝栅工艺的栅介质最容易出现早期失效问题。本文以铝栅工艺为例，研究HTO/ SiO_2 复合栅介质对电路可靠性的提升。

1 实验

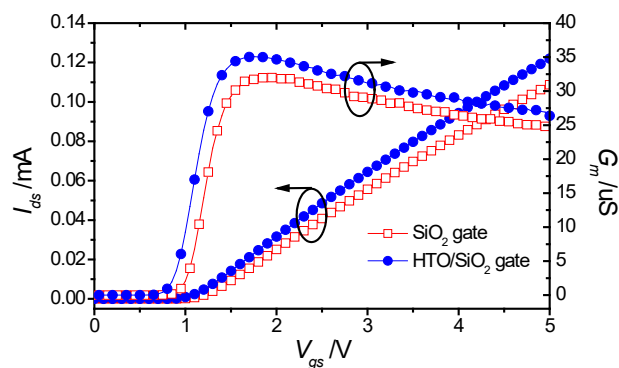
栅介质制备：包括 SiO_2 单栅介质和HTO/ SiO_2 复合栅介质两种。 SiO_2 单栅介质生长工艺为 900°C 干法氧化生长，然后在 1000°C 、 N_2O 气氛环境中高温氮化退火60min。HTO/ SiO_2 复合栅介质工艺为 900°C 干法氧化生长 SiO_2 后，在 800°C 通过比例为1:10的 SiH_2Cl_2 和 N_2O 的CVD生长HTO，最后在 1000°C 、 N_2O 气氛环境中高温氮化退火60min，氮化工艺也起到了对HTO层致密的作用。

在制备出HTO/ SiO_2 复合栅介质的基础上，分别采用 SiO_2 单栅介质和HTO/ SiO_2 复合栅介质工艺流片加工了一款ASIC。该电路芯片面积约为 $5.5\text{mm} \times 3.5\text{mm}$ ，规模在1000门左右。将该款ASIC划片后封装，对电路成品进行测试和筛选，使用 ^{60}Co 源 γ 射线进行总剂量辐照试验。

2 结果与分析

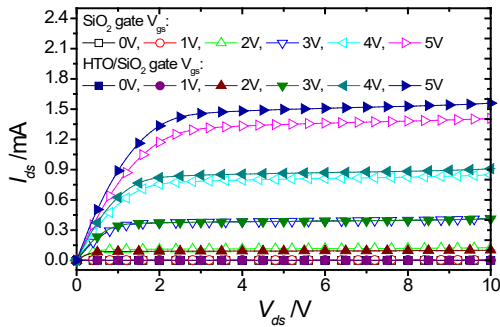
2.1 器件参数测试

对划片道内的样管进行电学测试。图1为采用 SiO_2 单栅介质和HTO/ SiO_2 复合栅介质的NMOS器件（栅宽 $40\mu\text{m}$ 、栅长 $8\mu\text{m}$ ）电学测试结果。图中， V_{ds} 为漏源电压， V_{gs} 为栅源电压， I_{ds} 为漏源电流。图1(a)为转移特性曲线和跨导曲线， V_{ds} 固定为 0.1V 。 SiO_2 单栅介质和HTO/ SiO_2 复合栅介质都表现出了正常的转移特性曲线。阈值电压可以用最大跨导法从转移特性曲线上得到， SiO_2 单栅介质的阈值为 1.16V ，HTO/ SiO_2 复合栅介质的阈值为 1.05V ，较单栅介质略低。图1(b)为输出特性曲线。在 V_{gs} 为 0V 时， I_{ds} 即为关态电流 I_{off} ，单栅介质和HTO/ SiO_2 复合栅介质的 I_{off} 都在 10^{-11}A 的数量级，属于正常漏电。在 $V_{\text{gs}}=V_{\text{ds}}=5\text{V}$ 时， I_{ds} 即为输出电流 I_{on} ，器件的开关电流比 $I_{\text{on}}/I_{\text{off}}$ 值超过 10^8 。因为阈值电压较低，HTO/ SiO_2 复合栅介质的输出电流 I_{on} 比单栅介质高。



(a) 转移特性曲线和跨导曲线

(a) Transfer characteristic curve and transconductance curve



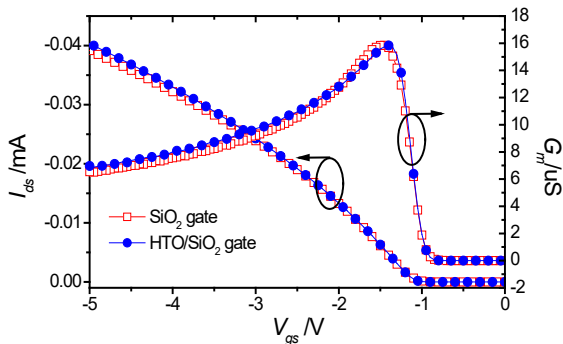
(b) 输出特性曲线
(b) Output characteristic curve

图1 采用SiO₂单栅介质和HTO/SiO₂复合栅介质的NMOS器件测试结果

Fig.1 Electrical test results of NMOS devices with SiO₂ single gate dielectric and HTO/SiO₂ composite gate dielectric

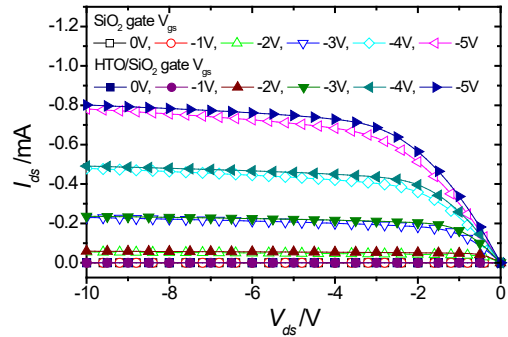
图2为采用SiO₂单栅介质和HTO/SiO₂复合栅介质的PMOS器件（栅宽40μm、栅长8μm）电学测试结果。图2(a)为转移特性曲线和跨导曲线，V_{ds}固定为-0.1V，SiO₂单栅介质和HTO/SiO₂复合栅介质的特性曲线正常。SiO₂单栅介质的阈值为-1.06V，HTO/SiO₂复合栅介质的阈值为-1.05V，阈值基本相当。图2(b)为输出特性曲线。在V_{gs}为0V时，单栅介质和HTO/SiO₂复合栅介质的I_{off}都在-10⁻¹¹A的数量级，属于正常漏电。单栅介质和HTO/SiO₂复合栅介质的输出电流I_{on}基本相当。

从电学测试结果可见，通过生长和退火过程中适当的工艺设置，可以得到和采用SiO₂单栅介质器件参数相近的HTO/SiO₂复合栅介质器件。



(a) 转移特性曲线和跨导曲线

(a) Transfer characteristic curve and transconductance curve



(b) 输出特性曲线
(b) Output characteristic curve

图2 采用SiO₂单栅介质和HTO/SiO₂复合栅介质的PMOS器件测试结果

Fig.2 Electrical test results of PMOS devices with SiO₂ single gate dielectric and HTO/SiO₂ composite gate dielectric

2.2 老炼筛选

将该款ASIC封装、测试后进行125℃240h老炼筛选以评估早期失效率（ELFR）。表1为采用SiO₂单栅介质和HTO/SiO₂复合栅介质的ELFR统计。两种栅介质条件各选取3个批次。可以看到，SiO₂单栅介质ELFR很高，达到约8%。如此高的不良率表明该产品长期使用的可靠性存在较大问题，已经不符合《GJB597B：军用标准半导体集成电路总规范》中<5%的要求。而采用HTO/SiO₂复合栅介质ELFR大幅度降低到<1%，满足了宇航级电路的要求。

表1 ASIC采用SiO₂单栅介质和HTO/SiO₂复合栅介质的老炼筛选ELFR

Tab.1 ELFR of the ASIC with SiO₂ gate dielectric and HTO/SiO₂ composite gate dielectric

栅介质条件	批次	ELFR (%)
SiO ₂ 单栅介质 (550 Å)	Lot 1	7.25
	Lot 2	9.38
	Lot 3	6.45
HTO/SiO ₂ 复合栅介质 (150/400 Å)	Lot 1	0.84
	Lot 2	0.40
	Lot 3	0

图3显示了ELFR随HTO/SiO₂厚度比例的变化。图中介质层总厚度保持为550Å。在厚度为0/550（纯SiO₂栅介质），ELFR为7.6%。随HTO厚度比例的增加，ELFR首先单调下降，当HTO厚度为150Å达

到0.4%的最小值。在HTO厚度较薄，SiO₂层中的缺陷线仍然是导致失效的主要原因。随HTO厚度比例的增加，缺陷线错位排列的效应逐步显现，ELFR不断下降。而当HTO厚度从150Å进一步增加到300Å时，ELFR从0.4%反弹到1.8%。由于HTO层的击穿电场强度为9.8MV/cm，低于热SiO₂层的10.0MV/cm，在HTO层中更容易形成缺陷线，较厚的HTO导致ELFR反弹。因此，较薄的HTO显示出了最低的ELFR。

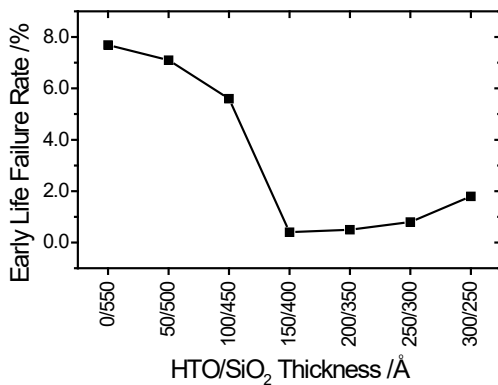
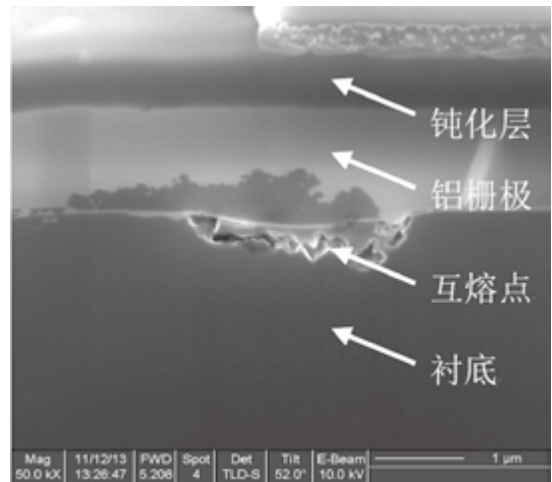


图3 ELFR随HTO/SiO₂厚度比例的变化

Fig.3 ELFR as a function of HTO/SiO₂ thickness ratio

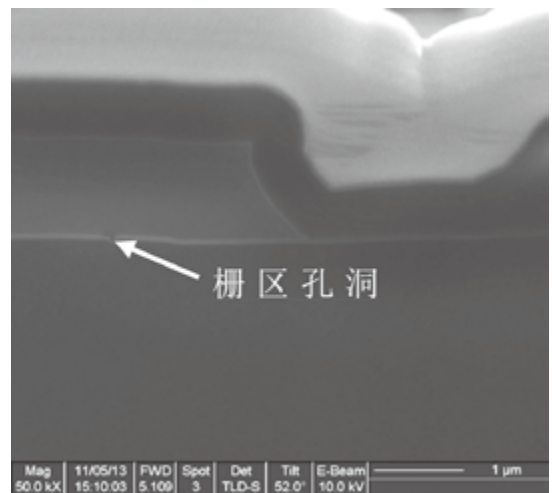
选取失效样品进行微光显微镜（EMMI）失效分析，并对发光热点用聚焦离子束-扫描电子显微镜（FIB-SEM）进行截面分析。SiO₂单栅介质的失效样品10只中仅有1只表现为随机缺陷失效，另外9只都是栅介质下硅铝互熔或栅介质孔洞。图4为SiO₂单栅介质的失效分析结果。图4(a)为栅介质下硅铝互熔SEM照片，失效样品表现为栅介质下的硅铝互熔缺陷。失效原因为栅介质中的缺陷线在老炼过程中不断生长，形成局部漏电通路，短路电流过大导致栅介质烧毁，最终使得栅极铝和衬底硅发生互熔。图4(b)为栅介质孔洞SEM照片，失效原因也是栅介质中的缺陷线在老炼过程中最终形成了孔洞。

而HTO/SiO₂复合栅介质的失效样品都表现为随机失效。由于SiO₂和HTO生长后含氮气氛的退火工艺，有效减少了氧化层中的缺陷和陷阱，从而减少了缺陷线的数量和长度。同时，HTO层和SiO₂层中的



(a) 栅介质下硅铝互熔

(a) Si/Al melting under gate dielectric



(b) 栅介质孔洞

(b) Gate dielectric hole

图4 采用SiO₂单栅介质的ASIC FIB-SEM失效分析图

Fig.4 FIB-SEM failure analysis images of the ASIC with SiO₂ single gate dielectric

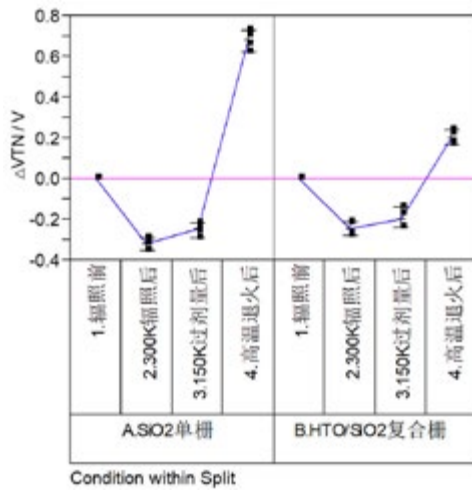
缺陷线错位排列，可以避免从复合栅介质HTO上表面到SiO₂下表面的漏电通路，ELFR明显减少。

因此，栅氧失效是该款ASIC早期失效的主要原因，采用HTO/SiO₂复合栅介质工艺可以大幅度降低ELFR。

2.3 辐照试验

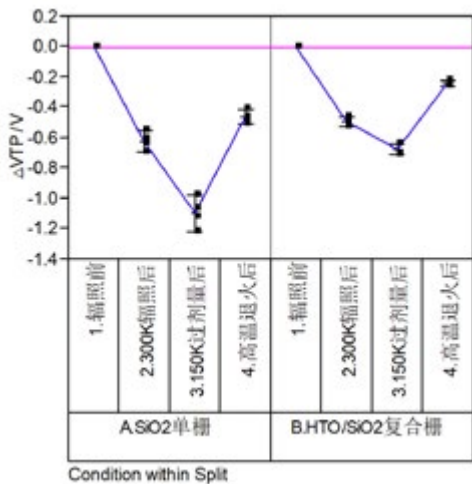
将该款ASIC划片封装后进行300krad(Si)总剂量

辐照试验对比, 试验方法依照《GJB548B-2005: 微电子器件试验方法和程序》中的方法1019.2电离辐射(总剂量)试验程序和《QJ10004-2008: 宇航用半导体器件总剂量辐照试验方法》。图5(a)和图5(b)分别为该款ASIC输入级中NMOS器件和PMOS器件的阈值测试结果。这里, 阈值变化量均指相比于辐照前的阈值变化量。



(a) NMOS阈值

(a) NMOS threshold voltage



(b) PMOS阈值

(b) PMOS threshold voltage

图5 总剂量辐照试验ASIC的器件阈值电压测试结果

Fig.5 Threshold voltage measurement results of the ASIC in the total dose radiation test

从图5(a)可以看出, 辐照后的SiO₂单栅介质和HTO/SiO₂复合栅介质的阈值变化量基本相当; 而退火后的SiO₂单栅介质阈值变化量达到了0.7V, HTO/SiO₂复合栅介质的阈值变化量只有0.2V, 即HTO/SiO₂复合栅介质的阈值变化量只有SiO₂单栅介质的30%, 因此HTO/SiO₂复合栅介质的NMOS阈值变化量明显小于SiO₂单栅介质。从图5(b)可以看出, 辐照后的SiO₂单栅介质的阈值变化量达到-1.1V, 而HTO/SiO₂复合栅介质的阈值变化量为-0.7V, 明显小于SiO₂单栅介质; 退火后的HTO/SiO₂复合栅介质的阈值变化量略小于SiO₂单栅介质, 因此HTO/SiO₂复合栅介质的PMOS阈值变化量也小于SiO₂单栅介质。总之, HTO/SiO₂复合栅介质的辐照阈值变化量比SiO₂单栅介质要小。另外, 对比辐照电路功耗和延时的变化量, HTO/SiO₂复合栅介质也和SiO₂单栅介质相当。从CV测量结果可知, SiO₂单栅介质的固定电荷和可动电荷分别为 $1.8 \times 10^{10}/\text{cm}^2$ 和 $1.8 \times 10^9/\text{cm}^2$ 。而HTO/SiO₂复合栅介质的固定电荷和可动电荷分别为 $4.9 \times 10^9/\text{cm}^2$ 和 $8.0 \times 10^8/\text{cm}^2$, 明显少于SiO₂单栅介质。因此, HTO/SiO₂复合栅介质显示出了更好的抗总剂量辐射特性。

综上所述, HTO/SiO₂复合栅介质结构通过缺陷线的错位排列提升栅介质可靠性和抗辐射特性, 该种工艺方法可以用于各种抗辐射加固的小尺寸CMOS工艺和特种器件工艺如EEPROM、VDMOS工艺等。

3 结论

复合栅介质(热氧+高温氧化层: SiO₂+HTO)可以代替SiO₂单栅介质解决由于缺陷导致的栅介质失效问题。将复合栅介质应用于铝栅工艺, HTO/SiO₂复合栅介质器件与SiO₂单栅介质器件相比具有相近的阈值和饱和电流; 采用SiO₂单栅介质工艺ASIC的ELFR高达~8%, 失效原因为栅介质缺陷引起的早期失效, 采用HTO/SiO₂复合栅介质可以避免漏电通路, 降低ASIC的ELFR到<1%; 300krad(Si)总剂量辐照后HTO/SiO₂复合栅介质阈值变化量小于SiO₂单栅介质, 并能满足电路各项参数指标, 显示出了更好的抗辐射特性。

参考文献 (References)

- [1] HUGHES H L, BENEDETTO J M. Radiation effects and hardening of MOS technology: devices and circuits [J]. IEEE Transactions on Nuclear Science, 2003, 50 (3) : 500-521.
- [2] SCHWANK J R, SHANEYFELT M R, FLEETWOOD D M, et al. Radiation effects in MOS oxides [J]. IEEE Transactions on Nuclear Science, 2008, 55 (4) : 1833-1853.
- [3] HUGHES R C, DAWES W R J, MEYER W J, et al. Dual dielectric silicon metal-oxide-semiconductor field effect transistors as radiation sensors [J]. Journal of Applied Physics, 1989, 65 (5) : 1972-1976.
- [4] TING W, LI P C, LO G Q, et al. Effects of rapid thermal oxidation on electrical characteristics of chemical vapor deposited SiO₂ gate dielectric [J]. Journal of Applied Physics, 1989, 66 (11) : 5641-5643.
- [5] CANDELIER P, GUILLAUMOT B, MONDON F, et al. High temperature oxide (HTO) for non volatile memories applications [J]. Microelectronic Engineering, 1997, 36 (1-4) : 87-90.



作者简介:

陈晓宇, (1974—), 男, 陕西人, 博士, 主要从事 CMOS先进工艺集成研究。

一种宇航用QDR SRAM控制器的自纠检技术研究与实践

郭 晓, 李建成, 陆时进, 李雪梅

(北京微电子技术研究所, 北京 100076)

摘 要: 为满足宇航用QDR SRAM控制器自纠检能力的要求, 实现SDR与DDR传输格式转换模块设计。采用等长型(72, 64)汉明码, 实现EDAC编码和解码模块设计, 在此基础上完成宇航用QDR SRAM控制器的自纠检电路设计。经过仿真验证, 该电路具备纠一检二的能力, 实现了系统级容错技术和抗辐射QDR SRAM控制器技术的有效结合, 满足宇航应用要求。

关键词: QDR SRAM控制器; 自纠检; EDAC; 等长型汉明码

中图分类号: TN431.2 **文献标识码:** A

Research and Realization of A Self Error Detection and Correction Technology For Aerospace QDR SRAM Controller

Guo Xiao, Li Jiancheng, Lu Shijin, Li Xuemei

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

Abstract: In order to meet the requirements of self error detection and correction ability of aerospace QDR SRAM controller, completed the study of self error detection and correction technology. Combined with the functional characteristics of QDR SRAM controller, completed the design of self error detection and correction circuit. Completed the design of SDR_to_DDR convertor module and DDR_to_SDR convertor module for the data transmission characteristics. The EDAC encoding and decoding circuits in equal length Hamming code with bit width of 64 are designed, too. This circuit can detect 2 errors and correct 1, which also satisfy the request of real application.

Key words: QDR SRAM controller; self error detection and correction; EDAC; equal length Hamming code

0 引言

QDR SRAM (Quad Data Rate SRAM) 因速度快、带宽高等优势成为新一代CPU、DSP和FPGA等高端核心器件广泛使用的新型存储外围设备。但由于复杂的时序特征及专用的HSTL高速接口特性, QDR SRAM需要设计专门的控制器进行访问。由于长寿命卫星长时段运行于空间恶劣辐射环境中, 单粒子翻转(SEU)效应的影响尤为明显^[1]。SEU是由空间辐射环境导致的, 重离子轰击电路, 形成瞬态电流, 触发逻辑电路状态翻转, 引起误操作, 使得数据出现错误, 这种错误若不及时进行纠正, 将会影响控制器、乃至整个系统的运行和关键数据的正确性^[2]。因此, 迫切需要QDR SRAM控制器具有相应的抗辐射能力, 具有一定的自纠检能力, 能有效降低数据出

错的概率, 保障控制器正常运行^[3]。

1 控制器自纠检技术研究

在纳米级工艺下, SEU效应随着线条尺寸的缩小、存储容量的提高而变得更加突出。对于大容量存储器, 可以从系统结构方面来考虑解决, 主要是利用各种纠检错编码技术, 当存储器发生位翻转时, 这种电路能够检测并改正错误。纠检错编码技术是提高存储器电路抗单粒子翻转能力的重要手段^[3]。本设计将纠检错技术实施在QDR SRAM控制器中, 对写入和读出存储器的数据出现的单粒子翻转错误位进行纠正和检测。

EDAC (Error Detection and Correction) 通过加入冗余位使码字本身具有了纠错检错能力, 已发

现的容错码有很多种，并且纠检能力有所不同，更高级的纠检能力意味着更加复杂，数量更多的逻辑的应用，势必会在电路的速度、面积和功耗等方面增加额外的开销，因此本设计在研究纠检错编码技术的同时要考虑抗辐射加固能力和存储器性能之间的折衷，在系统级对存储器电路进行辐射加固，兼顾加固方法的能力与效率。从而得到适合纳米级工艺控制器的纠检错编码实用化技术。

通过位线交叉版图加固的布局方式，来保证每个字（包括突发字）只有单位错。采用纠一检二的EDAC方案，减小单个字中的单位错，来减小QDR SRAM存储器的SEU错误率。

自纠检方案包括一个EDAC汉明码编码结构和一个EDAC汉明码解码结构，用来增加和除去用于纠检错的冗余数据位。另外针对QDR SRAM存储器DDR（双倍速率上下沿均可触发）的传输特征，双倍传输速率上升沿下降沿均触发，还包括两个数据传输格式转换模块，一个是数据写入方向，SDR（单倍速率仅上升沿触发）传输格式向DDR传输格式转换，一个是数据读出方向，DDR传输格式向SDR传输格式转换。图1给出了对QDR SRAM存储器写入/读出的数据，进行EDAC编码/解码的自纠检电路框图。

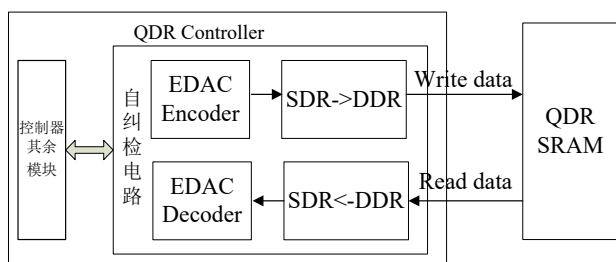


图1 自纠检电路结构框图

Fig.1 Self error detection correction circuit structure diagram

2 控制器自纠检电路设计

写数据操作时，64位写数据输入到EDAC编码模块中，输出72位SDR传输格式的数据到写数据传输格式转换模块，转换成36位DDR传输格式数据，输出给QDR SRAM存储器；读操作时，从QDR SRAM存储器读出36位DDR传输格式的数据，输入到读数

据传输模式转换模块，转换为72位SDR传输格式的数据给EDAC解码模块，解码后输出64位数据。

自纠检电路设计如图2所示。

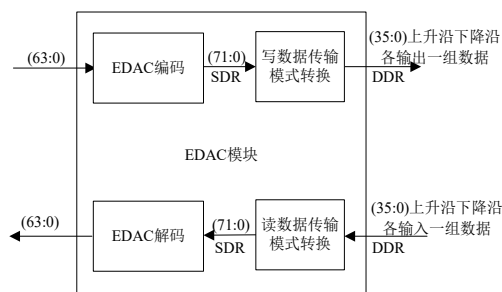


图2 自纠检电路模块结构示意图

Fig.2 Self error detection correction circuit module

2.1 数据处理模块设计

QDR协议由存储器供应商Cypress Semiconductor、IDT、NEC Electronics、Renesas Technology 和 Samsung Electronics 组成的联盟发布，主要针对网络交换机、路由器和其它通信设备的应用。QDR协议主要用于实现拥有独立读写端口的存储器设计，并工作于双倍时钟速率，即在时钟的上下沿都传送数据，从而实现单个时钟周期传送四个数据字的性能^[4,5]。

QDR SRAM是目前运行带宽最高、速度最快的静态存储器（Static Radom Access Memory, SRAM）^[6]，它的写数据和读数据操作都是以位宽为36bit的DDR传输格式进行的^[7]，所谓DDR格式，即数据在时钟的上升沿和下降沿均进行传输的一种传输格式。这种DDR格式的传输，导致QDR SRAM控制器中的EDAC编解码模块不能直接与QDR SRAM进行数据交互。需要在接口处，先完成数据传输模式转换，即DDR向SDR或SDR向DDR格式的转换，再将数据读入到控制器中进行解码或输出写入给QDR SRAM，因此，需要设计读、写数据传输模式转换模块。由于QDR SRAM传输数据位宽为36bit DDR格式，转化为等效的SDR格式是一个72bit SDR数据。

2.1.1 写数据传输模式转换模块设计

写数据传输模式转换模块设计结构图如图3

所示。自纠检模块输出的72位数据是上升沿输入（SDR），将这72位数据拆分成两个36位数据，输出的高36位数据H、低36位数据L分别由上升沿和下降沿输出给QDR SRAM，实现DDR类型的传输。

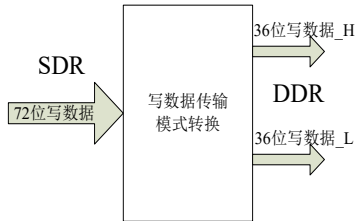


图3 写数据传输模式转换模块

Fig. 3 Write data transfer format conversion module

2.1.2 读数据传输模式转换模块设计

读数据传输模式转换模块设计结构图如图4所示。输入的两个36位数据是从QDR SRAM读出的，分别是上升沿输入和下降沿输入，在传输模式转换模块中，将这两个36位数据合并为一个72位数据，统一由一个上升沿输出，输出给自纠检模块进行解码。

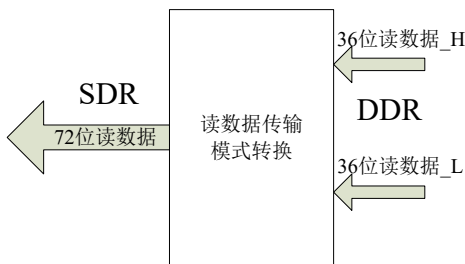


图4 读数据传输模式转换模块

Fig.4 Read data transfer format conversion module

2.2 EDAC编码/解码模块设计

检错码 (Error Correcting Code, ECC) 通过加入冗余位使码字本身具有了纠错检错能力，已发现的容错ECC码有很多种，并且纠检能力有所不同，可以由器件工作的辐射环境选择合适的ECC码。汉明码是一种能纠一位错的线性分组码，由于它的编译码简单，在数据通信和计算机存储系统中广泛应用。常用的能检测两位错同时能纠正一位错（简称纠一检二，SEC-DED）的纠错码是扩展汉明码（Extended Hamming Code），最小码距为4。

汉明码属于线性分组编码方式，是用以纠正单个错误的线性分组码，在软件无线电中应用广泛。在线性码分组码 (n, k) 中，若码长为 n ，信息位数为 k ，则监督位数 $r = n - k$ 。如果用 r 个监督位构造出 r 个监督关系式来指示1位错码的 n 种可能位置，则要求：

$$2r - 1 \geq n \text{ 或 } 2r \geq k + r + 1$$

这种能够纠正1位错码的线性分组码就称为汉明码。其基本原理是，将信息码元与监督码元通过线性方程式联系起来，每一个监督位被编在传输码字的特定比特位置上。系统对于错误的数位无论是原有信息位中的，还是附加监督位中的，都能把它分离出来^[8]。

如前所述，为满足QDR SRAM存储器的位宽36bit的DDR格式的读写，要求EDAC编码器输出72bit数据，EDAC解码器能够解码72bit数据，

EDAC的重要参数是最小汉明距（MD）。最小汉明距（MD）决定了EDAC的随机错误检查和纠正的能力^[9,10]。汉明值越大，解码后数据出错的可能性越小。纠单位错检双位错需要汉明距最小为4。表1列出了不同数据宽度所需要的校验位。

表1 EDAC校验位
Tab.1 EDAC checkbit

Interface Size	Data Bits	Parity Bits
X18	12	6
X36	29	7
X72	64	8

因此，我们使用一种等长型扩展汉明码（72，64）Hamming的编码方式进行校验位的编解码，以适应QDR SRAM存储器的特殊要求。

等长型（72，64）Hamming码具有以下优势^[11]：

(1) 校验位编码等长。每个校验位都有26位数据位参与运算。

(2) 速度快、信号完整性好、功耗低。这样决定了生成逻辑及其级数的一致性，不仅译码速度快，同时线路匀称，从而消除了编、解码时下一级电路因为输入多次变化而产生的毛刺，降低了电路功耗。

2.2.1 EDAC编码器设计

EDAC编码器结构设计如图5所示，工作原理是，64位数据位输入后，通过异或逻辑单元阵列，计算得到校验位 $C_1 \sim C_8$ ，然后 $D_0 \sim D_{63}$ 与 $C_1 \sim C_8$ 相连，作为该模块的72位输出。

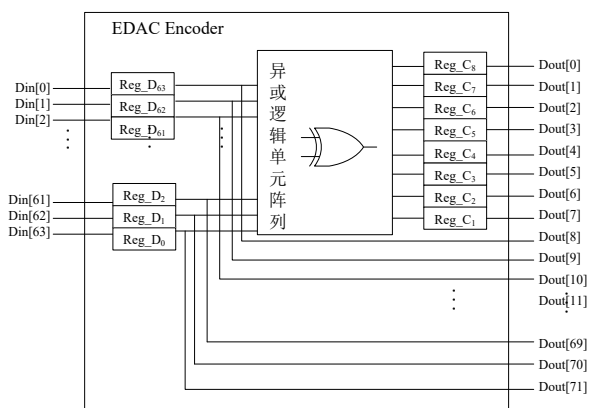


图5 EDAC 编码器
Fig.5 EDAC encoder

2.2.2 EDAC解码器设计

EDAC解码器原理图如图6所示，72位输入数据中，低八位为校验位，高64位为数据位，对应关系为 $Din[0] \sim Din[7]$ 对应 $C_8 \sim C_1$ ， $Din[8] \sim Din[71]$ 对应 $D_{63} \sim D_0$ ，经过异或逻辑单元阵列，计算得到校正子 $S_1 \sim S_8$ 的值，通过错误校正状态机，根据S值的不同，判断读出的数据中是否有错，如无错，则读出的数据原样输出，如有错误，则对发生错误的位进行取反修正，然后将经过状态机修正的数据输出给控制器。

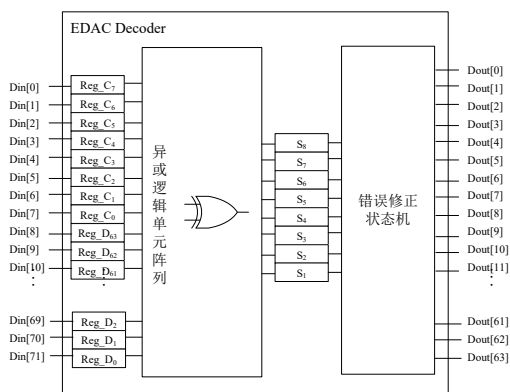


图6 EDAC解码器
Fig.6 EDAC decoder

3 自纠检电路代码实现及仿真验证

根据前文提出的自纠检电路设计方案，实现自纠检电路的代码设计及仿真验证。

从写操作的角度讲，首先QDR SRAM控制器内部其余模块输入给自纠检电路模块一个64位数据 $encode_data_i[63:0]$ ，经过EDAC编码，得到一个72位数据 $encode_o[71:0]$ ，这个SDR传输格式的数据再经过写数据传输模式转换模块处理后，上升沿输出低36位数据，下降沿输出高36位数据，以DDR格式输出数据 $QDR_D[35:0]$ ，写入给QDR SRAM存储器。仿真验证的波形图如图7所示。

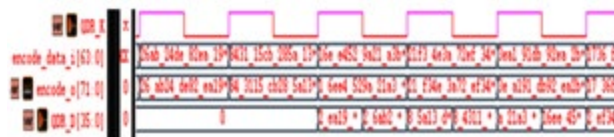


图7 自纠检电路写操作仿真波形图

Fig.7 Self error detection correction circuit write operation simulation waveform

从读操作角度讲，首先从QDR SRAM时钟上升沿读入36位数据，下降沿读入36位数据，即DDR传输格式的数据 $QDR_Q[35:0]$ ，经过读数据传输模式转换模块处理后，转换成SDR传输格式的数据 $decode_i[71:0]$ ，此数据在上升沿输入给EDAC译码器，经译码输出64位SDR传输格式数据 $decode_data_o[63:0]$ 。仿真验证波形图如图8所示。

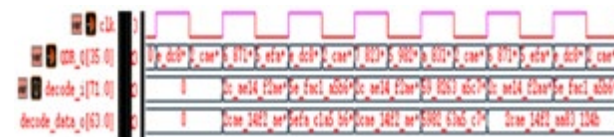


图8 自纠检电路读操作仿真波形图

Fig.8 Self error detection correction circuit read operation simulation waveform

4 结论

通过对QDR SRAM控制器的自纠检技术的研究，结合控制器及QDR SRAM存储器电路特征，实现控制器自纠检电路设计。完成基于(72, 64)汉明码的EDAC编解码模块设计，实现针对QDR SRAM

存储器写入/读出的36bit DDR格式数据的数据传输模式转换模块设计。经过仿真验证,实现预期的功能,实现了系统级容错技术和抗辐射QDR SRAM控制器技术的有效结合,满足宇航用QDR SRAM控制器自纠检能力的应用要求。

参考文献 (References)

- [1] 韩传冰,朱家强,朱纪洪.具有SDRAM容错和检错功能的PowerPC高性能处理单元设计[J]. 航天控制,2005(5):47-62. HAN CB, ZHU JQ,ZHU JH. A PowerPC High Performance Processing Unit Design with Fault tolerant and Error detectable SDRAM[J] Aerospace Control, 2005(5):47-62.
- [2] 陈微,戴葵,刘芳.可靠性微处理器设计关键技术研究[J]. 华中科技大学学报,2005,33(12):111-113. CHEN W, DAI K, LIU F. Research on the key techniques of reliable microprocessor designs[J] Huazhong Univ. of Sci. & Tech.(Nature Science Edition), 2005, 33(12):111-113.
- [3] 张宗橙.纠错编码原理和应用[M]. 北京:电子工业出版社, 2003.
- [4] Xilinx. Logic CORE™ Fibre Channel User Guide UG136, June 29, 2004.
- [5] 彦星,宋虎,利用 QDR SRAM 和 FPGA 实现雷达动目标显示的方法. 雷达与对抗, 2009; (3) : 33-36. YAN X, SONG H. The implementation of MTI processing based on QDR SRAM and FPGA, 2009; (3) : 33-36.
- [6] 李天阳,汤飞龙,王月玲,基于AMBA总线的高性能QDR II SRAM控制器设计, 电子与封装, Vol.14, No.6:23-27. LI TY, TANG FL, WANG YL. Design of High Performance QDR II SRAM Controller Based on AMBA Bus, Electronics & Packaging, Vol.14, No.6:23-27.
- [7] 胡晓旭,刘必慰,陈书明,QDR II+ SRAM PHY模块的设计研究[J], 计算机研究与发展, 2015,111-118. HU XX, LIU BW, CHEN SHM. Design and Research on the PHY Module of QDR II+SRAM, Journal of Computer Research and Development, 2015, 111-118.
- [8] 章学静,薛琳,李金平,等.汉明(Hamming)码及其编译码算法的研究与实现[J]. 北京联合大学学报(自然科学版), 2008, 22(1): 46-49. ZHANG XJ, XUE L, LI JP. Research and Realization of Co-decoding Algorithm of Hamming Codes, Journal of Beijing Union University (Natural Sciences), 2008, 22(1): 46-49.
- [9] 蒋婷,徐睿,周昕杰.汉明码的改进及在存储器中的实现[J]. 电子与封装, Vol.11, No.5:19-27. JIANG T, XU R, ZHOU XJ, Improved of Hamming Code and Circuits Realized in Memory, Electronics & Packaging, Vol.11, No.5:19-27.
- [10] Khaled A.S. Abdel-Ghaffar, Sets of binary sequences with small total Hamming distances, Information Processing Letters 142 (2019) 27-29.
- [11] 薛挺,贺兴华,张开锋,张哲.具有64位数据检纠错功能的FPGA模块设计[J].《现代电子技术》2009年第6期总第293期. XUE T, HE XH, ZHANG KF, ZHANG ZH. Design of FPGA Module with 64b Data Error Detecting and Correcting Function[J]. Modern Electronics Technique. 2009(6):21-23.



作者简介

郭晓(1988—),女,陕西西安,硕士研究生,工程师,主要研究方向为数字集成电路设计。

GNSS基带芯片抗干扰技术现状与发展

韩闯, 汪跃先, 王伶, 谢坚, 陶明亮

(西北工业大学电子信息学院, 陕西 西安 710072)

摘要: GNSS在民用和国防领域有着广阔的应用需求, 但由于GNSS信号非常微弱且电磁环境日益恶劣, 基带芯片抗干扰技术业已成为GNSS终端正常工作的必要保障。本文首先对国内外带有抗干扰功能的GNSS基带芯片进行简要介绍, 然后归纳出基带芯片的三类主要抗干扰技术: 单天线滤波技术、天线阵列自适应调零技术以及数字波束形成技术, 对每类技术所包含的抗干扰方法进行了细分并简要介绍了国内外抗干扰终端现状, 最后对GNSS基带芯片和抗干扰技术的未来发展方向进行了展望。

关键词: GNSS; 基带芯片; 抗干扰; 天线阵列

中图分类号: TN965.5 **文献标识码:** A

Status and Development of Anti-Jamming Technology in GNSS Baseband Chips

Han Chuang, Wang Yuexian, Wang Ling, Xie Jian, Tao Mingliang

(School of Electronics and Information, Northwestern Polytechnical University, Xi'an, 710072, China)

Abstract: GNSS has broad application to the civilian and military use, and anti-jamming technology in a baseband chip has become a necessary guarantee for the normal operation of GNSS terminals due to the very weak GNSS signals and the increasingly harsh electromagnetic environments. This review first briefly introduces GNSS baseband chips with anti-jamming functions at home and abroad, and then summarizes the three main types of anti-jamming technologies that baseband chips have: single antenna filtering technology, antenna array adaptive nulling technology and digital beamforming technology. The anti-jamming methods included in each type of technology are subdivided and the current situation of anti-jamming terminals at home and abroad is briefly introduced. Finally, the future development direction of GNSS baseband chips and anti-jamming technology is prospected.

Keywords: GNSS; baseband chip; anti-jamming; antenna array

0 引言

全球导航卫星系统 (Global Navigation Satellite System, GNSS) 能够为用户提供高精度、全天时、全天候的定位、导航和授时服务, 已成为陆海空导航、测绘、电力、金融、通信、航空航天、制导武器等民用和军事领域不可或缺的重要组成部分^[1]。然而, GNSS在取得广泛成功应用的同时, 也暴露出系统抗干扰能力差等脆弱性问题, 严重影响导航定位精度, 而无线通信领域的高速发展导致有限的频谱资源过度拥挤, 复杂电磁干扰问题日趋突出^[2-5]。

GNSS系统作为军民融合的战略方向和核心领域, 其安全性引起了全世界的高度关注。随着当前卫星导航终端对高性能、轻量化、小型化和低功耗抗干

扰系统的迫切需求, 高集成度的基带抗干扰芯片技术是新一代卫星导航终端的必然选择。在此背景下, 笔者梳理了国内外GNSS基带芯片抗干扰技术现状, 通过总结和归纳, 介绍了几类典型的GNSS基带芯片抗干扰技术与实现架构, 并给出其未来发展方向。

1 国内外GNSS基带芯片现状

近年来, 超大规模集成电路和数字信号处理技术的迅猛发展有力地促进了卫星导航领域的相关研究, 多通道并行处理结构在当前的接收机设计中被广泛采用, 而且接收机中可利用的物理与逻辑资源还在不断上升。

FPGA架构的卫星导航终端抗干扰系统无法避免其资源利用率不高、功耗大、大批量使用时成本较高

等缺陷。ASIC芯片具有设计自由度大、芯片中没有无用的单元或晶体管、芯片面积小、性能高和大批量生产时成本低的优点，利用ASIC技术开发GNSS专用抗干扰芯片，只需要较低的功耗和硬件成本就能显著增强GNSS终端的抗干扰能力。

目前市场上具有GNSS抗干扰功能的基带芯片主要有如下四种。美国五月花通信公司为市售GSP接收机开发了时域自适应ATF (Adaptive Temporal Filter) 滤波器芯片，能有效抑制大于30dB的窄带干扰^[6]。美国Mitre公司设计的一款GPS频域抗干扰芯片，采用0.5 μm CMOS triple-metal工艺，共集成了150万晶体管，数据吞吐量10Mbps，功耗1.5W，有70 μs 的延迟^[7]。美国Javad公司研发的TRIUMPH芯片，采用高能效352-TFBGA封装，尺寸17mm \times 17mm，功耗降低到0.2W~1W，在五个不同的信号频带中具有五个复杂的64阶自适应抗干扰滤波器，能够抑制高达60dB的多重带内干扰。日本Furuno公司最新设计的eRideOPUS 6是一款7.0mm \times 7.0mm TFBGA封装的小型、高灵敏度GNSS多模接收机芯片，具有很高的定位精度，支持抗干扰和抗多径等功能。图1给出了美国Javad公司TRIUMPH芯片和日本Furuno公司eRideOPUS 6芯片的图片。

随着我国卫星导航产业的迅速发展，国内许多高校、科研院所和公司都开始进行GNSS终端抗干扰系统的研发，其中西北工业大学、国防科技大学、北京理工大学、广州海格通信集团股份有限公司、北京北斗星通导航技术股份有限公司等在GNSS基带芯片和抗干扰技术实现方面开展了许多工作，取得了一定的成果。



(a) TRIUMPH芯片 (a) TRIUMPH chip



(b) eRideOPUS 6芯片 (b) eRideOPUS 6 chip

图1 具有抗干扰功能的GNSS基带芯片

Fig.1 GNSS baseband chip with anti-jamming function

2 基带芯片抗干扰技术

早期的全球卫星导航系统在建设和使用时，抗干扰能力并不是首要考虑的因素，但是随着卫星导航系统脆弱性逐渐显现，终端抗干扰技术也逐步发展并趋于成熟。目前，卫星导航接收终端的抗干扰技术主要有如下三类：单天线滤波技术、天线阵列自适应调零技术、数字波束形成技术。

基于单天线的滤波技术包括时域滤波与频域滤波两种。

时域滤波主要是处理与GNSS信号相关度较差的窄带干扰，这种技术也用于解决干扰抵消问题。其技术要点是将已经锁定的信号与外来干扰信号进行对比，利用窄带干扰信号与GNSS信号相关性不强的特点来实现滤波目的。主要方法是利用由多级抽头延迟线、加权系数乘法器及相加器组成的时域滤波器，根据GNSS信号特性构造智能算法模型，自适应调整各路的加权系数，使之适应窄带信号干扰的随机变化并将其滤除。图2为时域滤波技术的实现框图。研究表明，采用时域滤波器能提供20~35dB的抗多个窄带干扰能力^[8,9]，并且工程实现造价低、体积小，但对宽带干扰通常效果不佳。

GNSS信号一般采用直接扩频序列进行调制，其频谱的一个重要特点就是它在一个很宽的频带内是平坦的，在某个频点出现特别大幅值的概率不大，所以一般把频域内信号幅度超过一定值的频点认为是干扰频率。当扩频信号中某频率处有强干扰存在时，在频域内能很容易地分辨出来。频域滤波的主要思路在于，对接收的信号进行快速傅里叶变换 (FFT) 映射

到频域,然后再在频域对干扰进行识别和抑制。基于傅里叶变换的频域抗干扰算法原理图如图3所示。对时域信号加窗可以降低频谱泄露带来的信号损失,而采用两路重叠加窗则解决了加窗造成的信噪比损失的问题,在工程应用中,重叠因子一般选用1/2。与时域预测技术相比,频域处理方法具有滤波过程简单、动态范围大、能够提供更大的零陷深度等特点。一般来说频域滤波对窄带干扰抑制可达35dB以上,但对宽带噪音干扰及多个扫频瞄准式噪声干扰无效。

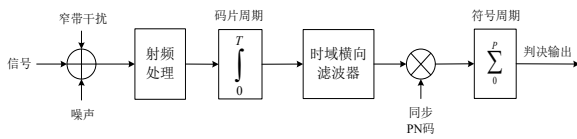


图2 时域抗干扰原理框图

Fig.2 Diagram of time domain anti-jamming principle

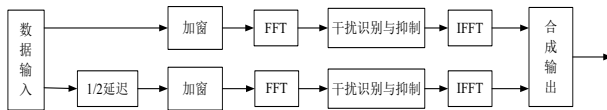


图3 重叠加窗频域抗干扰原理框图

Fig.3 Diagram of anti-jamming principle in frequency domain with overlapping windowing

基于天线阵列的自适应调零技术包括纯空域抗干扰、空时抗干扰和空频抗干扰技术

与时域、频域滤波技术不同,空域抗干扰技术利用卫星信号与干扰信号空间来向的差异,将自适应调零技术应用于导航终端。如图4所示,空域波束方向图与阵列的权值有关,该技术将天线阵列所接收的信号用增益和相位可调的权值进行加权,从而使方向图在干扰信号的来向形成零陷,进而抑制掉干扰,因此这种方法对窄带干扰和宽带干扰均适用。该方法可以抵消的干扰数量等于天线阵元数减1。理想情况下,空域抗干扰技术能使接收机的抗干扰能力提高40~50dB。自适应天线调零技术现已成为美军提高GPS接收机抗干扰能力的主要方法,并已成功应用于联合直接攻击弹药、F-16战斗机以及战斧巡航导弹上。

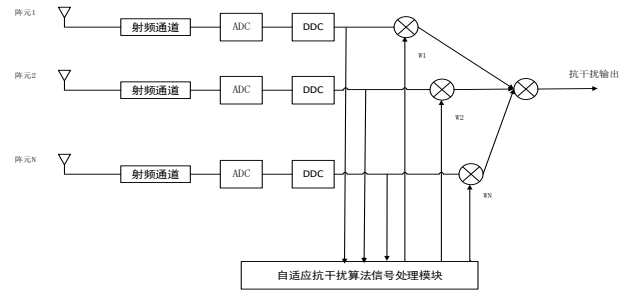


图4 空域抗干扰原理框图

Fig.4 Diagram of airspace anti-jamming principle

空时抗干扰技术将一维的空域滤波推广到时间与空间的二维域中,在每个阵元后添加若干时域抽头,形成空时二维处理的结构。该方法在不增加物理阵元的前提下,同时具备了空域和时域的自由度,对于各种干扰的抑制能力有大幅度的提高。其原理框图如图5所示。

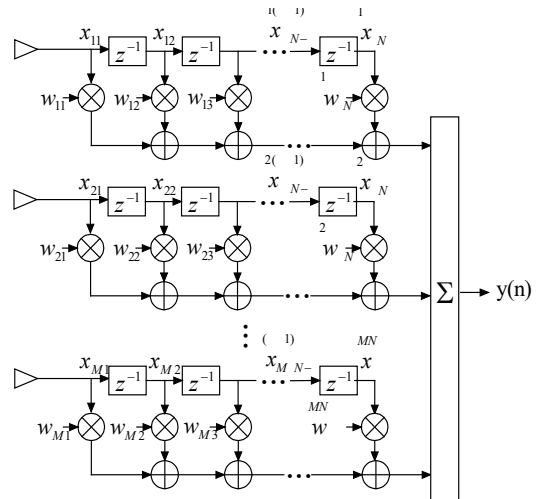


图5 空时抗干扰原理框图

Fig.5 Diagram of space time anti-jamming principle

五月花通信公司在CRPA GAS-1和ATF的基础上研制了GAF (GPS anti-Jam filter),这是一种7个阵元的空时处理器,装备于F-14、F-15、F-18、F-22战斗/攻击机。根据测试报告,可用于干信比为100~120dB干扰环境,最大可抗干扰数为20,抑制4个干扰的自适应处理收敛时间小于3ms。

空频抗干扰技术则是将空域及频域信息结合起来,实现对干扰信号的有效抑制,其原理框图如图6

所示。同空时干扰抑制技术相比，空频抗干扰技术在降低计算复杂度的同时，对阵列相应的频率不一致问题具有更好的稳健性。此外，频域观测维度的增加，可有效避免当空间存在多个干扰时，传统空域、空时抗干扰处理造成的信号失真导致的伪距和载波相位误差。美国洛克韦尔·柯林斯公司研发的新一代数字式GPS抗干扰接收机DIGAR-300采用7阵元空频抗干扰技术，可实现125dB以上的干扰抑制能力。

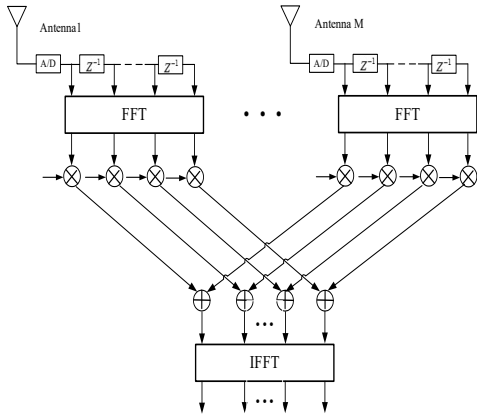


图6 空频抗干扰原理框图

Fig.6 Diagram of space frequency anti-jamming principle

数字波束形成技术利用天线阵列形成指向卫星方向的波束，从而提高卫星信号方向的增益，同时对其他方向的干扰进行自适应调零。波束形成的前提条件是已知卫星信号的方向，当信号方向未知时，则需先通过测向手段获取卫星方向信息^[10-15]。若已知N个波束的来波方向，则数字波束成形与抗干扰信号处理可形成N组数字波束权值，其原理框图如图7所示。

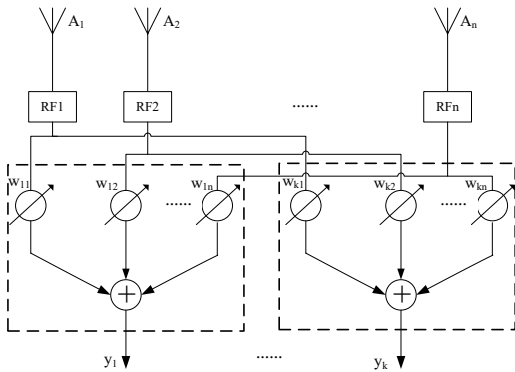


图7 数字波束形成原理框图

Fig.7 Diagram of digital beamforming principle

美国军工企业洛克希德马丁公司与洛克韦尔·科林斯公司合作研制出的“GPS空时抗干扰接收机”(G-STAR)，采用数字波束形成技术，在抑制干扰信号的同时能融合各天线接收到的信号，使之形成指向GPS卫星的波束，并具有自适应地调整能力，以应对环境的变化。洛克韦尔·柯林斯研发的DIGAR-300同样采用数字波束形成技术，可同时形成多达16个数字可控波束，进一步提高了干扰抑制能力。

上述讨论的GNSS基带芯片抗干扰技术主要针对的是压制式干扰，并不适用于欺骗式干扰防护。欺骗式干扰指的是与真实GNSS信号高度相似的伪造信号，可以通过生成或转发真实卫星信号获得，其首要目标是在隐蔽的条件下使得GNSS终端得到虚假的时间、位置、速度等信息，达到欺骗的目的。国内外对抗欺骗式干扰技术的研究起步较晚，理论概念探讨较多，系统、深入的高性能、高可靠抗欺骗式干扰技术尚处于研究阶段，实质性的突破还不多。

3 基带芯片抗干扰技术展望

展望未来GNSS基带芯片和抗干扰技术，将按照如下几个方向发展：

1) 高性能

随着北斗三号系统正式开通以及第三代GPS系统加紧建设，针对新体制导航信号及多系统多体制导航频谱匹配和抗宽带干扰自由度扩展等问题，抗干扰处理新手段如“极化空时频多维域GNSS抗干扰技术”逐渐涌现，而日益强大的超大规模集成电路的处理能力为这些先进抗干扰方法的工程实现提供了坚实保障，因此基带芯片高性能抗干扰技术是国内外发展的主要方向。

2) 综合化

基于天线阵列的GNSS基带芯片抗压制式干扰取得了显著的研究进展，产品商用推广指日可待，而GNSS基带芯片抗欺骗式干扰技术研究尚处于起步阶段。抗压制式与欺骗式干扰手段的联合应用能够使基带芯片抗干扰性能进一步增强，综合化抗干扰的基带

芯片逐渐成为关注和发展的对象。

3) 系统化

目前卫星导航终端抗干扰系统的射频芯片和基带芯片分离的设计方式无法满足空间极端受限载体的全部使用需求, 抗干扰终端的进一步小型化、轻量化和低功耗仍有必要。融合射频和基带模块, 研制专用的卫星导航终端抗干扰片上系统是未来市场的必然需求。

参考文献 (References)

- [1] KAPLAN E, HEGAYRTCJ. GPS原理与应用(第二版), 寇艳红译[M]. 北京: 电子工业出版社, 2007.
- [2] LIU L, XIE J, WANG L, et al. Robust tensor beamforming for polarization sensitive arrays [J]. *Multidimensional Systems and Signal Processing*, 2019, 30(2): 727–748.
- [3] GONG Y Y, WANG L, YAO R G, et al. A robust method to suppress jamming for GNSS array antenna based on reconstruction of sample covariance matrix [J]. *International Journal of Antennas and Propagation*, 2017, (3): 1–12.
- [4] WEI K, LI J, WANG L, et al. A new technique to design circularly polarized microstrip antenna by fractal defected ground structure [J]. *IEEE Transactions on Antennas and Propagation*, 2017, 65(7): 3721–3725.
- [5] WEI K, LI J, WANG L, et al. Mutual coupling reduction by novel fractal defected ground structure bandgap filter [J]. *IEEE Transactions on Antennas and Propagation*, 2016, 64(10): 4328–4335.
- [6] GEORGE D, Cotterill S, UPADHYAY T N. Advanced GPS receiver (AGR) technology demonstration Program, Final Report WL-TR-93-1051[R]. Mayflower Communications Company, Inc. Reading MA, Jan. 1993.
- [7] CAPOZZA P T, HOLLAND B J, HOPKINSON T M. A single-chip narrow-band frequency-domain excisor for a Global Positioning System (GPS) receiver [J]. *IEEE Journal of Solid-State Circuits*, March 2000, 35(3): 401–411.
- [8] WEED D, UPADHYAY T N, DIMOS G, et al. Test results on mitigation of satcom-induced interference to GPS operation [C] // *Proceedings of the 8th International Technical Meeting of the Satellite Division of The Institute of Navigation (ION GPS 1995)*. Palm Springs, CA, USA, 1995: 1545–1552.
- [9] UPTON DM, UPADHYAY T N, MARCHESE J, et al. Commercial-off-the-shelf (COTS) GPS interference canceller and test results [C] // *Proceedings of the 1998 National Technical Meeting of The Institute of Navigation*. Long Beach, CA, USA, 1998: 319–325.
- [10] WANG Y X, WANG L, XIE J, et al. DOA estimation under mutual coupling of uniform linear arrays using sparse reconstruction [J]. *IEEE Wireless Communications Letters*, 2019, 8(4): 1004–1007.
- [11] WANG Y, TRINKLE M, NG BW-H. Efficient DOA estimation of noncircular signals in the presence of multipath propagation [J]. *Signal Processing*, 2018, 149: 14–26.
- [12] WANG Y, HASHEMI S A, TRINKLE M, et al. Sparsity-aware DOA estimation of quasi-stationary signals using nested arrays [J]. *Signal Processing*, 2018, 144: 87–98.
- [13] KUANG M, WANG L, WANG Y, et al. An efficient near-field localization method of coherently distributed strictly non-circular signals [J]. *Sensors*, 2020, 20(18): 1–12.
- [14] WANG K, WANG L, SHANG J, et al. Mixed near-field and far-field source localization based on uniform linear array partition [J]. *IEEE Sensors Journal*, 2016, 16(22): 8083–8090.
- [15] WEI K, LI J, WANG L, et al. Microstrip antenna array mutual coupling suppression using coupled polarisation transformer [J]. *IET Microwaves, Antennas and Propagation*, 2017, 11(13): 1836–1840.



作者简介:

韩闯 (1989—), 男, 河北省辛集市人, 博士, 助理研究员, 主要从事GNSS抗干扰技术与系统实现、阵列信号处理等方面的研究。

基于CMOS工艺的硅光高速互联技术综述

林文淼, 纪鹏飞, 何卫锋, 毛志刚

(上海交通大学, 上海 200240)

摘要: 基于硅光工艺的高速光电互联技术凭借其高集成度、低功耗、低成本的优势, 在片内互连、数据中心和超级计算机的短距离通信以及长距离光传输等领域有着广阔的应用前景。本文回顾了近年来国内外硅基光电互联技术的主要研究进展, 重点包括硅光器件技术、工艺平台发展、电芯片技术、电-光集成封装技术等内容。

关键词: 硅基光电子; 光电收发器; 光电集成; 高速光互联

中图分类号: TN491 文献标识码: A

Survey on CMOS Photonics for High Speed Interconnects

Lin Wenmiao, Ji Pengfei, He Weifeng, Mao Zhigang

(Shanghai Jiao Tong University, Shanghai, 200240, China)

Abstract: Because of the advantages of high density, low power and low fabrication cost, CMOS photonics for high speed optical-electronic interconnects has gained a large amount of attention in short distance transmission systems such as on-chip interconnects, data center and supercomputers, as well as long distance optical communication systems. In this paper, major research progresses in the area of CMOS based optical-electronic interconnect system, such as photonics device, fabrication technology, high speed driver and TIA, and optical-electronic integration, are analyzed and summarized.

Key words: CMOS photonics; optical-electronic transceiver; optical-electronic integration; high speed interconnects

0 引言

随着数据中心、高性能计算等应用的兴起, 高速低功耗光电互连通信逐渐成为学术和产业界关注的热点。基于CMOS工艺的硅基光电集成电路, 由于具有工艺兼容性好、集成密度高和可靠性高等优点而成为重点突破的发展方向。

典型的光电互连链路可分为电-光发射端和光-电接收端, 系统结构如图1所示, 包括Serdes、电驱动器、电光调制器、光电探测器、跨阻放大器(TIA)等模块构成。

在发射端, 由光源发出的光信号作为信号载波; 高速Serdes信号通过驱动器后施加给电光调制器, 实现高速电信号到光信号的调制, 并通过光纤或波导传送到远端。

在接收端, 光信号被探测器转换成电信号, 并通

过TIA输出给Serdes模块, 完成高速光-电信号的转换和接收。

在电-光-电通信链路中, 硅光子器件分为有源器件和无源器件两类, 有源器件包括光源、电光调制器和光电探测器等, 无源器件包括波导、光栅、MUX/DeMUX等器件。基于兼容CMOS工艺发展而来的硅光集成电路技术, 具有更高的集成密度和可靠性, 从而降低了光电互连链路的制造成本, 以满足下一代高性能计算和数据中心的应用需求。

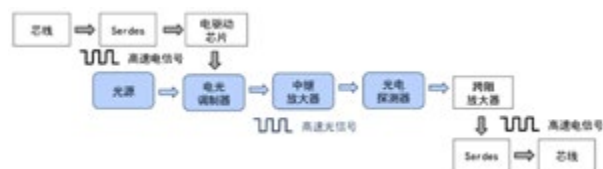


图1 光电互连系统结构

Fig.1 The schematic of electro-optic interconnect system

1 各国的硅基光电子技术简介

硅光技术的国家间技术竞争异常激烈，美国、欧洲和日本等国家出台了一系列支持性政策，并成立了多种类型的产学研联盟机构。2014年，美国成立了“国家光子计划”产业联盟，用于支持早期的光学/硅光子学研究，明确了相应的应用研究计划。在此基础上，2015年7月美国提出了集成光子计划（AIM-Photonics），用于推动光电集成电路的设计、制造、封装和测试，面向全产业链形成覆盖基础研究、样品研发到产品制造的硅光子集成生态平台。

此外，美国国防先进研究项目局（Defense Advanced Research Projects Agency, DARPA）从2008年至今先后组织开展了包括COSMOS（Compound Semiconductor Material on Silicon）、DAHI（Diverse Accessible Heterogeneous Integration）、E-PHI（Electronic-Photonic Heterogeneous Integration）等一系列项目，有力推动了美国光电集成技术的发展和成熟。

欧洲和日本也在光电集成领域不断增加投资，其中欧洲建立了磷化铟（InP）基光子集成芯片研究与成果转化平台机构JEPPIX（Joint European Platform for InP-based Photonic Integrated Component and Circuits），日本则是依托尖端研发计划FIRST（Funding Program for World-leading Innovation R&D on Science and Technology），将光电融合系统技术作为其重要的一部分。

在产业界，Luxtera、Kotura等先行者也在不断推动技术和产业链的发展，形成了硅光芯片代工厂（Global Foundries、意法半导体、AIM等）、激光芯片代工厂（联亚电子等）、硅光芯片设计和封装（Luxtera、Kotura等）机构等较为成熟的产业链模式。除此以外，以Intel为代表的IDM模式也较为成熟，除激光芯片外，硅基芯片的设计、加工和封测均可自己完成。

2 硅光子器件技术

为了降低器件成本，提升链路的集成密度，人们

提出了多种硅调制器。根据调制原理和结构的不同，可以将硅基电光调制器简单分为马赫-曾德尔调制器（Mach-Zehnder modulator, MZM）、微环调制器（Micro-ring modulator）和电吸收调制器（Electro-absorption modulator）。

2.1 马赫-曾德尔调制器

马赫-曾德尔调制器是利用马赫-曾德尔干涉原理设计的光波导调制器件，其结构如图2所示，主要是由输入、输出两个直波导，两个Y分支波导以及两个相位调制臂组成。

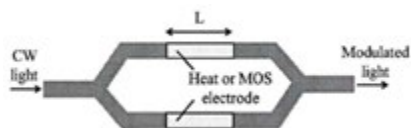


图2 MZM基本结构

Fig.2 The schematic of MZM

MZM结构是出现得最早、技术也最成熟的调制器，其结构简单、制作也较为方便，可以实现较高速率的电光调制速率，很快就被应用到各种不同类型的集成平台中。

2014年，中科院半导体所研制出了1.5V偏压下通信速率为70Gbps的高速MZM电光调制器^[1]，结构如图3所示。研究人员通过增加输入阻抗，实现了在不同偏置电压下平坦的E/O调制响应，解决了增加具有低偏置电压的硅耗尽模式MZM的带宽的问题。

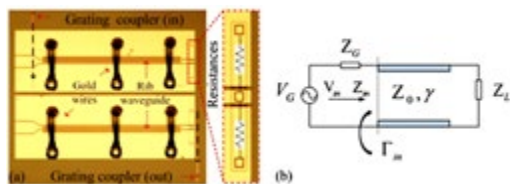


图3 带宽均衡MZM (a) 管芯结构的显微镜照片 (b) 等效电路
Fig.3 MZM with band equalization (a) microscope image of the structure (b) equivalent circuit

根据测试结果，在没有偏置电压的情况下，调制器的3dB带宽测量为35GHz，预计在-3V偏压下高达55GHz，在70Gbit/s的清晰眼图中，消光比（ER）为6.1dB。这一设计虽然将MZM的器件尺寸降低到

0.75mm，但是将硅MZM与CMOS电子器件直接集成仍然显得不切实际。此外，由于非共振特性，器件需要最多几百微米的相互作用长度以充分地调制光，因此器件的设计并不紧凑。

2016年，瑞士苏黎世联邦理工学院的Wolfgang Heni等人宣布研制成功一款高消光比（ER）、超高速等离子体马赫-曾德尔调制器^[2]，可以实现线速率高达72Gbit/s（BPSK）和108Gbit/s（4-ASK）的数据调制，结构如图4所示。在该设计中，研究人员采用等离子体效应实现电光调制，在大于1520和1620nm之间100nm的光学操作范围内，器件电光频率响应大于70GHz，消光比超过30dB，等离子体传播损耗为0.5dB/μm。高电气带宽结合高ER和中等驱动电压的特性使得这些调制器不仅适用于开关键控设备，还可作为可能取代光子IQ调制器的先进调制器。

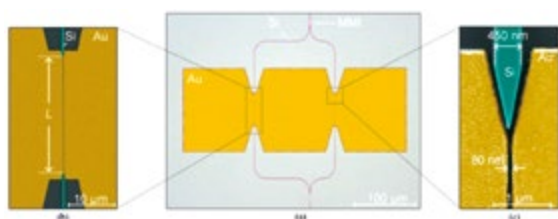


图4 硅等离子体有机杂化Mach-Zehnder调制器 (a) MZM的彩色显微镜照片 (b) 等离子体相位调制器的特写 (c) 等离子体激元转换器的特写

Fig.4 A plasmonic-organic hybrid Mach-Zehnder modulator (a) colorized microscope pictures of the MZM (b) close-up of a plasmonic phase modulator (c) close-up of a photonic-plasmonic converter

2018年，加州大学圣地亚哥分校的Peter O. Weigel等人提出了一款基于硅光工艺平台的超高速MZ调制器^[3]，器件带宽超过100GHz，结构如图5所示。器件使用传统晶圆级光刻制造，在200℃下氧化物键合到铌酸锂（LN）薄膜。这种混合Si-LN MZM可实现超过106GHz的3dB电调制带宽，是目前任何硅光子或铌酸锂（相位）调制器中最高的。这种器件可以为集成硅光子器件带来超宽的电光带宽，并且适用于模拟和数字通信、毫米波仪器、模数转换、

传感、天线远程处理和相控阵列等应用。但是，相对于传统的硅光设计，本器件需要增加一层铌酸锂薄膜并对制作工艺中的环境因素进行调整，因此在一定程度上增加了工艺复杂度。

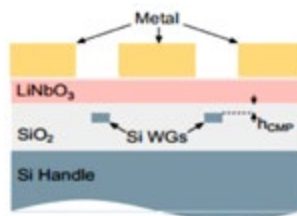


图5 混合Si-LN MZM的横截面
Fig.5 Cross section of the hybrid LN-Si MZM

2018年，德国光子学与量子电子学研究所（Institute of Photonics and Quantum Electronics, IPQ）的Stefan Wolf等人提出一款基于硅-有机混合（SOH）集成概念的用于100Gbit/s高速开关键控（OOK）的MZ电光调制器^[4]。该设计采用硅-有机混合材料，使用1.1mm长的SOH MZ调制器演示了线速率高达100Gbit/s的OOK信号的生成和传输，具有仅0.9V的π电压。这一实验不仅是硅光子平台上100Gbit/s OOK的首次演示，而且还展示了基于半导体器件在该数据速率下的最低驱动电压和能耗。研究人员预计高速节能SOH调制器可能对短距离光网络产生变革性影响，使紧凑型收发器具有前所未有的能效，成为Tbit/s数据速率未来以太网接口的核心。但是，该设计中调制器电气部分相关的低通特性会带来带宽限制。

硅基MZ调制器具有适用于高速调制的宽频带，温度稳定性高，结构简单，技术成熟，但是也存在明显的缺陷，即：调制效率较低，结构偏长，尺寸较大，集成度不高。

2.2 微环调制器

MZ调制器虽然技术成熟，但是器件尺寸较大，不适合大规模集成。相比之下，微环调制器利用环形波导的谐振效应进行调制，精度高，可以大大缩小调制器的尺寸，也受到广泛关注。

2012年，日本光子技术研究协会（Photonics Electronics Technology Research Association, PETRA）的Takeshi Baba等人发表了50Gb/s的环形谐振器结构^[5]，如图6所示。他们将二极管光栅波导组成的PIN二极管移相器加载到环形谐振器中，应用正向偏置操作模式，50Gb/s通信速率下的驱动电压和光插入损耗分别为1.96V_{pp}和5.2dB，这是当时速率最高的微环调制器。

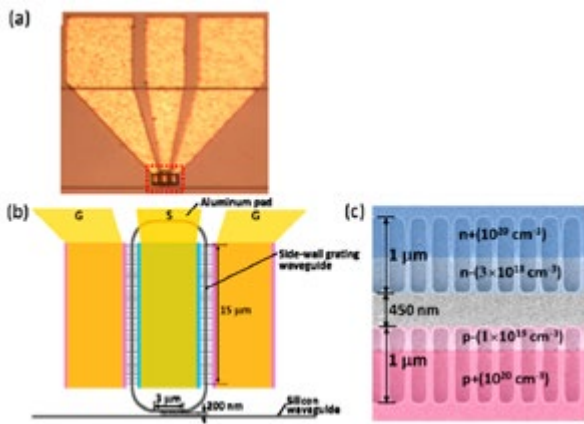


图6 50Gb/s的硅调制器结构 (a) 顶视图 (b) 环形谐振器示意图，对应于 (a) 中的虚线框 (c) 在用氧化物包覆层覆盖之前基于侧壁光栅波导制造的移相器的SEM图像

Fig.6 50Gb/s silicon modulator (a) top view (b) schematic of the ring resonator, which corresponds to dotted box in (a) (c) SEM image of fabricated phase shifter based on side-wall-grating waveguide before being covered with oxide cladding layers

2014年，IMEC的Hui Yu人研制成功一款由差分信号驱动的硅双环调制器^[6]，如图7所示。为提高微环的选波性能、提升调制器的消光比，该结构由两个串联环级联组成，由差分信号对驱动。仿真和实验表明，该器件在光学3dB调制带宽和比特率方面优于单环调制器，代价是传输损耗增加1.7dB，并且增加了射频（RF）功耗。双环调制器在12.5Gb/s和20Gb/s时的光学带宽分别为66pm和40pm。

2017年，武汉大学的Jianxun Hong等人提出了一款高速电光三微环谐振器调制器^[7]，如图8所示。该设计采用三微环的强耦合结构，包括双微环光学腔

和门微环能量反馈路径，打破了光子寿命限制。通过对正弦调制性能的分析，理论上证实了在2.0V_{pp}时具有103GHz的带宽和6.2dB的调制深度，数据速率为160Gbps，消光比为16.84dB，BER为 1×10^{-8} 。

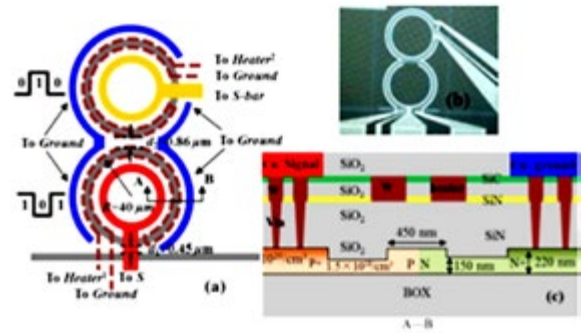


图7 双环调制器 (a) 结构示意图 (b) 显微镜图像 (c) 环形波导的横截面，其包含PN结和钨加热器

Fig.7 The dual-ring modulator (a) schematic diagram (b) microscope image (c) cross section of the ring waveguide, which contains a PN junction and a tungsten heater

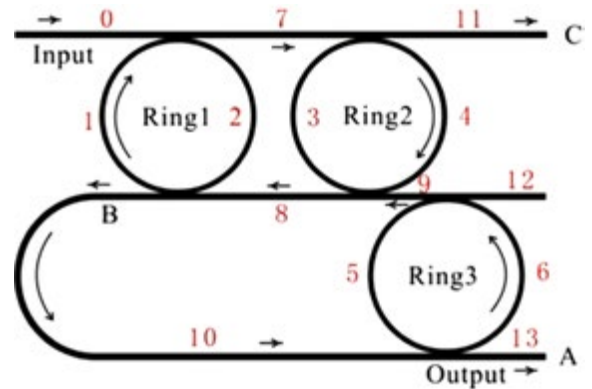


图8 三环谐振器调制器的结构

Fig.8 Schematics of the triple-ring resonator modulator

2017年，中国西电大学的Lei Wu等人提出了一款具有双层石墨烯结构的130GHz电光环调制器^[8]，如图9所示。通过将石墨烯嵌入到环形谐振器调制器，使得调制器的光学带宽大于130GHz，调制深度大于40dB，调制速度为177.906GHz，开关能量为0.36fJ/bit，驱动电压低于1.2V，符合CMOS器件的电压要求。

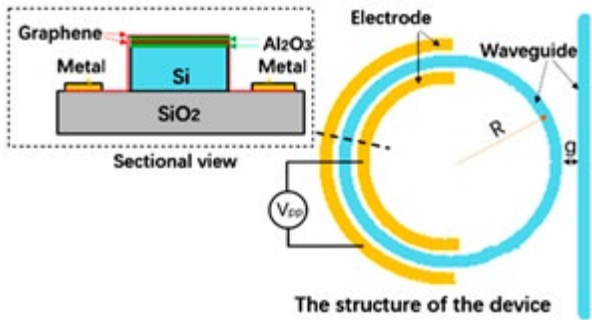


图9 石墨烯辅助光环调制器的横截面结构

Fig.9 The structure of the ring modulator with double-layer graphene

微环调制器面积小，功耗低，利于高密度集成，但光带宽低，且对工艺和热的敏感度高，需要额外的控制电路保证运行中的稳定，增加了电路复杂度。

2.3 电吸收调制器

电吸收调制器 (EAM) 是在外延生长的GeSi或Ge中利用Franz-Keldysh (FK) 效应或量子限制的斯塔克效应进行信号调制的。由于FK效应是能够进行高速调制的亚皮秒现象，因此EAM被认为是低能耗高带宽调制器的重要发展方向之一。基于GeSi的EAM比基于Si的环形调制器具有更高的光学带宽，比基于MZ的调制器具有更小的面积和更低的功耗，目前已经成为大家关注的热点。2016年，比利时鲁汶大学的Srinivasan Ashwyn Srinivasan等人发表了一款56Gb/s锗硅波导电吸收调制器^[9]，如图10所示。该器件基于完全集成的Si光子平台进行设计，具有大于50GHz的3dB调制带宽，在-1V时的结电容为12.8fF。当以56Gb/s的数据速率调制1610nm光时，动态ER为3.29dB。由于结电容小，其在典型工作条件下的总功耗（动态和静态）为1.84mW。

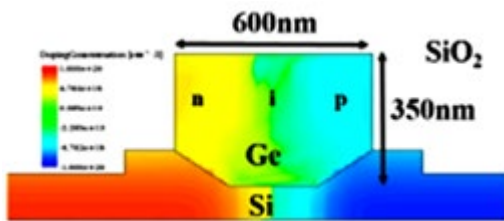


图10 基于GeSi的EAM横截面结构

Fig.10 Cross-sectional schematic of the GeSi EAM device

2017年，成都电子科技大学的Manoj Kumar Shah等人发表了一款基于D-微纤维的石墨烯的电吸收光学调制器^[10]，如图11所示。该器件使用石墨烯-D-微纤维材料，以增强石墨烯-光的分离效率。仿真结果表明，有效模式指数变化最大值为0.006至0.018，几乎是现有光纤调制器的三倍。计算还表明，电吸收光学调制器可以实现消光比高达17.80dB，调制带宽为97.26GHz。

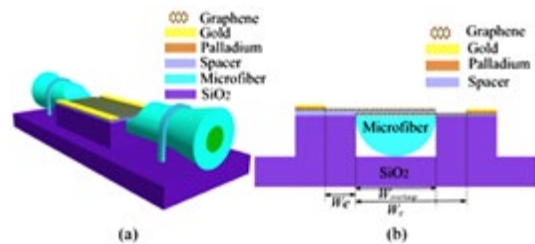


图11 石墨烯的双层薄片示意图 (a) 3D视图 (b) 2D视图

Fig.11 Schematic of the two-lamellae of graphene (a) 3D view (b) 2D view

2018年，荷兰埃因霍温科技大学的Jorn P. van Engelen等人发布了一种基于n-InGaAs填充的新型宽带电吸收调制器^[11]，如图12所示。该器件采用高掺杂n-InGaAs材料，预测器件可以在超过100nm的波长范围内工作，静态消光比为7.2dB，插入损耗为4.4dB，调制速度高于50Gb/s，功耗为53fJ/b，同时具有小至 $0.4 \times 80 \mu\text{m}^2$ 的面积（不包括接触焊盘），可在CMOS兼容的1.5V电压摆幅下工作。

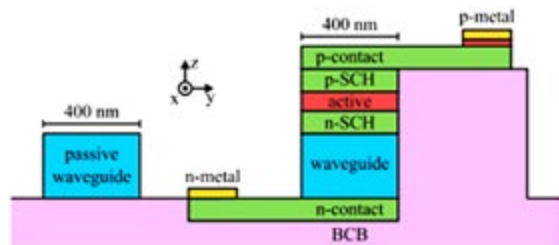


图12 基于n-InGaAs填充的电吸收调制器横截面 (左) 标准IMOS波导 (右) 简化的器件结构

Fig.12 Cross-section of EAM in n-InGaAs (left) standard IMOS waveguide, and (right) the simplified device structure

虽然电吸收调制器兼具了集成度高、带宽大、功耗低的优点，但是工艺并不成熟，消光比低，且暗电流导致的噪声大，因此还没有广泛应用于商用发射器中。

2.4 光电探测器

光电探测器的核心是光电二极管 (Photo-Diode)，光电二极管是由一个PN结组成的半导体器件，具有单方向导电特性。光电二极管在反向电压作用之下工作，一般照度的光线照射下所产生的电流叫光电流。如果在外接电路上加入负载，负载上就获得了电信号，且这个电信号随着光强的变化而变化。

光电探测器用于将光通信信道传输到接收端的光信号转化成电信号，并传输给后面的接收电路进行放大和处理。随着光通信技术的高速发展，人们对于光电探测器的研究不断深入。

2014年，德国亚琛先进微电子中心 (Advanced Microelectronic Center Aachen, AMICA) 的 Daniel Schall 等人研制了一款可用于集成硅光子通信系统的光电探测器^[12]，如图13所示。该器件采用石墨烯材料，可以在1550nm的C波段无偏置工作，具有41GHz的外部3dB带宽，信号完整性良好。

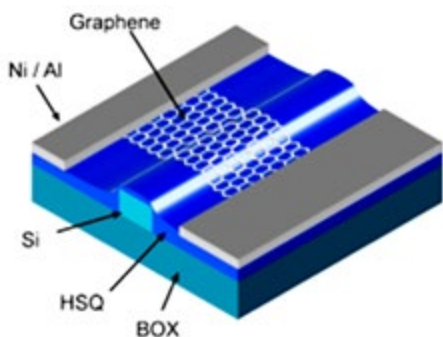


图13 集成在硅波导上的石墨烯光电探测器

Fig.13 Graphene photodetector integrated on a silicon waveguide with asymmetric contact configuration

2015年，麻省理工学院的Ren-Jye Shiue等人发表了一款具有高响应度的石墨烯-氮化硼光电探测器^[13]，如图14所示。该探测器为基于二维异质结构的片上超快光电探测器，利用了石墨烯独特的非线性光响

应能力。通过与硅波导的光学模式相结合，这种基于2D异质结构的光电探测器具有0.36A/W的最大响应度和42GHz的3dB带宽。

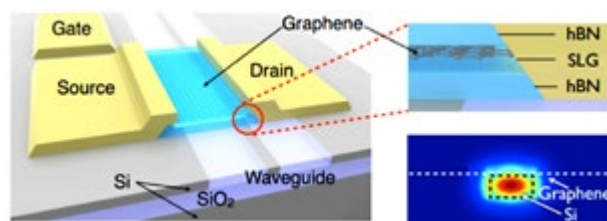


图14 埋入式硅波导光电探测器的示意图

Fig.14 Schematic of the hBN/SLG/hBN photodetector on a buried silicon waveguide

2016年，剑桥大学的Ilya Goykhman等人研制了一款用于片上集成的硅-石墨烯等离子体肖特基光电探测器^[14]，如图15所示。该探测器利用雪崩光电效应，具有很高的响应度。测试结果表明，对于1.55 μm 的光波长，器件的响应度为85mA/W，内部量子效率为7%，比在相同条件下操作的金属-硅肖特基光电探测器高一个数量级。

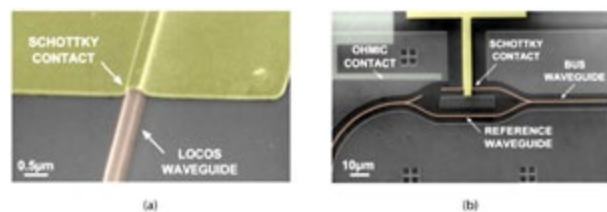


图15 硅-石墨烯等离子体肖特基光电探测器的SEM显微照片
(a) 耦合到Si光子波导的PD (b) 波导集成肖特基PD的布局

Fig.15 SEM micrograph of the silicon-graphene plasmonic schottky photodetector (a) PD coupled to a Si photonic waveguide (b) Layout of waveguide integrated Schottky PD

2016年，IMEC的H. Chen等人研制了一款工作于-1V偏置下的硅接触锗波导PIN光电探测器^[15]，如图16所示。该探测器采用160nm薄锗层来减少传输时间，-1V偏置时的光电3dB带宽分别在1550nm和1310nm处增强到67GHz和44GHz。研究人员同时预测在更高的反向偏置下，该器件能够实现100Gbps的数据率。

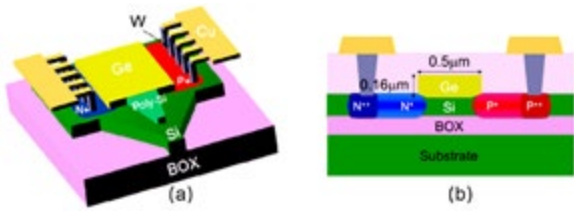


图16 Si-LPIN GePD (a) 三维示意图 (b) 横截面示意图
Fig.16 The Si-LPIN GePD (a) 3-D schematic (b) Cross-section schematic

3 硅光工艺平台发展

硅光子器件加工工艺是硅光子技术发展的基石。目前，硅光子芯片材质基本上是硅、锗等CMOS兼容材料，所以硅光芯片的加工设备和平台可与CMOS工艺技术完全兼容。但是，光子器件及其芯片的材料选择、具体的工艺流程、条件和结构与CMOS集成电路工艺存在一定的差异，需要进行相关的工艺开发。

近年来，世界各国在硅光子加工工艺技术领域投入了大量资源，并逐渐形成量产能力和产业优势。比利时的IMEC、新加坡的IME、法国的CEALeti、日本的PEREA和美国以SUNY为前身新设立的AIM Photonics等工艺线，都陆续形成了稳定的量产能力。目前，器件制程上，器件最小线宽可以到50nm，晶圆直径可以到300mm；集成密度上，不同Fab陆续展示了硅光芯片与IC芯片的集成与互连方法，期望未来可进一步提高器件互连与集成密度。

3.1 欧洲微电子中心IMEC硅光工艺平台

位于比利时的欧洲微电子中心IMEC是全球最大的微电子研究中心，也是全球芯片设计和纳米技术的领导机构，目前拥有全球最大的硅光子代工厂。

IMEC已经成功推出了基于50nm工艺的50Gbps标准硅光工艺平台-iSiPP50G。该平台包含一个经过验证的无源和有源器件库，提供了一系列支持各种应用的构建模块，如分光器、耦合器、偏振分光器和旋转器等。同时，该平台还包括基于耗尽型PN结移相器的高速调制器，如MZ电光调制器和环形谐振器；基于Ge-on-Si RPCVD外延技术的EAM光吸收调制器和Ge-Si光电探测器等。该平台支持光纤边缘耦合

的深Si蚀刻，为更高速率的光互连系统奠定了坚实的基础。并且，该器件库由比利时Luceda光子公司和加拿大Lumerical公司等多个电子设计与自动化供应商提供硅光子设计软件解决方案。

3.2 新加坡硅光工艺平台

新加坡科技研究局微电子研究院（IME，A*STAR）也提供硅基光电子代工。2017年11月，A*STAR将IME硅基光电子的核心技术团队以及工艺线整体分拆出来，成立了完全以商业化模式来运营的硅基光电子晶圆代工厂Advanced Micro Foundry（简称AMF），专门为硅光集成电路提供可定制的原型设计和批量晶圆制造服务。

AMF提供900nm、1310nm和1550nm三个独立波长，基于Si(硅)、SOI（绝缘体上硅）、SiN（氮化硅）和SiON（硅氧氮化物）锗材料的器件加工服务。AMF成功开发了全套的硅光子器件库，包括有源和无源功能模块，如高带宽光电探测器、高速调制器、模式转换器、光学滤波器、低损耗波导等，并提供基于MEMS辅助器件模块的封装结构等，可实现V形槽、光子子组件和封装结构的集成，具有适用于不同应用的集成平台，可实现低成本封装。

3.3 中科院微电子所硅光子平台

微电子所硅光子平台建立于2017年，基于微电子所先导中心的8英寸CMOS工艺线，与中国电科38所、中科院半导体所、武汉邮电科学院合作开发。通过硅光子器件库的设计、流片、测试和优化迭代，开发了成套的硅光子制造工艺库和器件库，定义了平台设计规则与图层。其中标准单元库主要包括单模波导、Y-分支、光交叉器、耦合光栅等无源器件，和加热电极、调制器和Ge光电探测器等有源器件。在此基础上，与国际知名光子集成设计软件商PhoeniX Software合作，将PDK与其设计软件进行集成，开发了PhoeniX Software下的IMECAS软件包。内嵌在OptoDesigner的IMECAS PDK除支持最基本的器件连接外，还支持版图和仿真集成的设计环境、包括Manhattan在内的多种智能布线、实时设计规则检

查、以及不依赖于具体工艺平台的设计方法。与此同时，由中国电科38所主导开发的Luceda Photonics IPKISS下的IMECAS软件包，包含设计手册、DRC脚本、器件库等。其中器件库以Compact Model形式提供，包含器件layout，以及基于测试数据的S-matrix模型，可利用IPKISS软件提供的Caphe引擎完成光子链路仿真。

微电子所硅光子平台为业界提供基于180nm工艺的硅光子流片服务，是国内首个基于8英寸CMOS工艺线向用户提供完整硅光子MPW和定制流片服务的平台，改变了国内硅光子芯片研发大都在国外流片的局面，为我国硅光子研究和应用开发提供有力支撑。

3.4 重庆联合微电子中心

联合微电子中心有限责任公司（简称CUMEC公司）是针对国家微电子行业发展的需求，集技术、产品和工艺为一体的光电融合工艺，以硅基光电子、异质异构三维集成、锗硅射频等工艺技术和产品技术为核心。目前，8英寸硅基光电子工艺平台已顺利通线，日前已发布了180nm成套硅光工艺PDK，是我国首个自主开发的180nm成套硅光工艺。

相比国际主要硅光代工厂以及商用硅光线，该中心可以将到国外流片平均6~8个月的进度缩短到2个月，价格上也更有竞争力，适用于开展激光雷达、人工智能计算芯片、大规模光开关和3D光电集成等具有巨大应用潜力的前沿研究和产业化工作。

4 光电互联系统电芯片技术

光通信链路中的电芯片在光电互连系统中起到十分重要的作用，按照位置的不同可分为发射（Transmitter）芯片和接收（Receiver）芯片。其中，发射芯片驱动电光调制器实现电信号调制到光信号上的作用。按照调制方式的不同，电光调制可分为直接调制和间接调制。

直接调制时发射芯片输出的电驱动信号直接作用在激光器（如VCSEL等）上，产生调制后的光信号通过光纤进行传输。在间接调制方式中，电信号则是作用于电光调制器之上。依照电光调制器的不同，间

接调制方式的驱动器又可分为MZ调制器驱动器、微环调制器驱动器、EAM调制器驱动器等。

无论何种驱动器结构，其主体电路均为驱动放大电路，常采用电流模放大器、反相器链等结构。同时，在发射端一般采用包括连续时间线性均衡（CTLE）、前向反馈均衡（FFE）在内的多种均衡手段提高信号质量。其次，驱动器还包括时钟链路控制、增益控制、反馈控制等多种控制电路。

接收（Receiver）芯片一般为跨阻放大器（TIA）电路，还包括CTLE、DFE等均衡模块，以及增益控制电路、直流消除电路、反馈控制电路等辅助电路模块。

4.1 高速驱动器

驱动器近年来一直是各国研究机构的重要发展方向，针对于MZM、Micro-ring、EAM、VCSEL等多种光调制器和激光器的驱动器设计均进行了较为深入的研究，取得了一大批研究成果。

2018年，日本光电技术研究所（Photonics Electronics Technology Research Association）提出了最新的超低功耗MZM驱动器芯片^[16]，其结构框图如图17所示。该设计基于28nm CMOS工艺实现，主放大器采用多级CMOS反相器结构实现，支持PAM4调制形式和无源均衡技术，在56Gbps数据传输速率下仍达到1.59mW/Gbps的电路功耗。硅光调制器采用了segmented形式的MZ调制器结构，分为高位和低位（MSB/LSB），分别以不同的电容和反相器驱动强度进行驱动，以实现PAM4的数据调制形式。该设计借助于先进的CMOS工艺、各种带宽拓展技术以及对电路结构的优化，展现出了十分突出的低功耗性能。

2018年，德国莱布尼兹微电子创新研究所（IHP）联合美国密歇根州立大学提出了基于0.25 μm SiGe-C BiCMOS工艺的低功耗VCSEL驱动器芯片^[17]，器件特征频率 f_t/f_{max} 达110/180GHz（npn）、95/140GHz（pnp），功耗达到0.84pJ/bit，相较于其他类似设计具有十分明显的功耗优势。

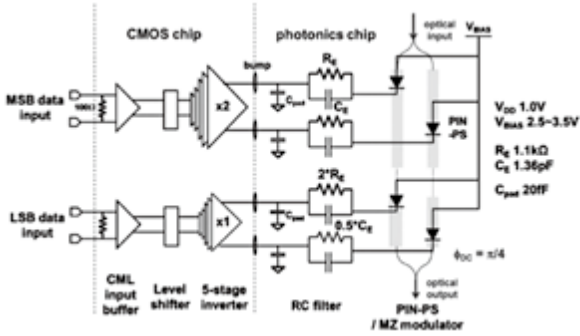


图17 超低功耗56Gbps MZM驱动器芯片^[16]
Fig.17 Ultra low-power 56Gbps MZM driver^[16]

该设计电路结构框图如图18所示，主要由前级放大器、缓冲级、输出级以及反馈偏置回路组成。其中前级放大器采用了差分共源共栅放大器与射随器级联的结构实现，输出级电路则采用了pnp管的上拉网络和nnp管的下拉网络为VCSEL提供所需的驱动电流。该设计最大的特点为创新性地采用了pnp作为有源负载进行驱动器电路设计，相比于传统设计大大降低了电路功耗同时提高了带宽，数据速率达到40Gbps的同时仅消耗33.8mW的电路总功耗。但由于pnp工艺限制，其器件特征频率较低。

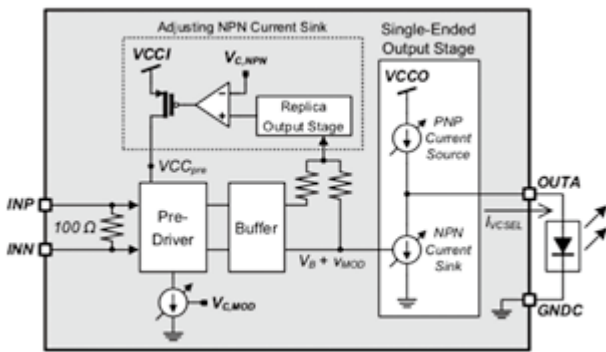


图18 基于SiGe-C工艺的低功耗VCSEL驱动器
Fig.18 A low-power VCSEL driver in a complementary SiGe-C BiCMOS technology

2016年，德国柏林理工大学（Berlin Institute of Technology）提出了基于0.13μm SiGe BiCMOS工艺的微环调制器驱动芯片，其系统框图如图19所示

[18]。驱动器芯片数据传输速率达40Gbps，输出最大差分摆幅2Vppd，单通道电路总功耗不超过90mW。驱动器的主体电路并未集成片上电感而是采用了电容degeneration的方式来提高带宽以及输出摆幅，通过这一方式降低了输出级所需的级数，同时降低了电路面积与功耗。与同类型其他微环调制器驱动芯片相比，该设计达到了相当高的单通道数据速率，同时维持了较低的电路功耗（1.12pJ/bit）。

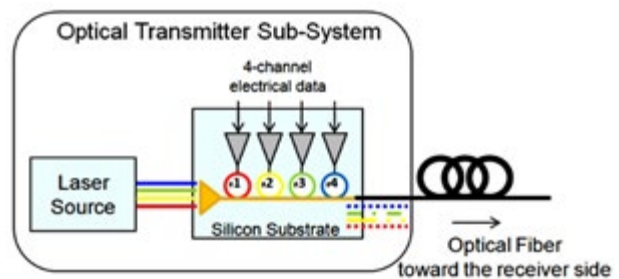


图19 40Gbps微环调制器驱动芯片
Fig.19 40Gbps driver IC for ring-modulator

在商业芯片领域，全球领先的光电通信设备提供商Integrated Device Technology (IDT) 于2018年5月推出了面向于400G~600G高速数据通信应用的64Gbps线性驱动器裸片GX76470。该芯片在输入端采用差分100W交流耦合方式，在输出端采用差分55W直流耦合方式。该芯片具有单通道高达40GHz的模拟带宽和尖峰控制功能，片上集成匹配器件保证了与外部光调制器的匹配。其最大差分输出2.8Vppd，单通道功耗小于0.5W，具有线性度高、输出摆幅与功耗可调、非线性失真小等特点，总谐波失真在2Vpp输出摆幅下仍低于1.5%。

4.2 跨阻放大器

跨阻放大器为光通信芯片中接收（Receiver）芯片的核心部分，常常位于接收芯片的前端，将PD接收光信号后输出的电流信号转化为电压信号。作为光电通信链路接收端最重要的组成部分，近年来亦是大家关注的热点。各国的研究机构面对日益提高的数据传输速率需求与日益复杂的调制方式，都不断从工

艺与电路结构上广泛寻求新的解决方案，以提高电路带宽、降低输入噪声、提高输入灵敏度、降低电路功耗。

2016年，德国莱布尼兹微电子创新研究所（IHP）在BCTM会议上发表了其关于超高带宽的跨阻放大器芯片研究^[19]。其简化的结构框图以及芯片照片如图20所示。该设计基于0.25 μm SiGe-C工艺实现，首次利用了PNP以及NPN型异质结双极晶体管（HBT）实现折叠式共源共栅结构TIA电路，其中NPN管的 f_t/f_{max} 达到110GHz/180GHz，PNP管达到95GHz/140GHz。与基于传统工艺的设计相比，该设计支持低电压供电，同时带宽更高（达到50Gbps）和噪声更低（降至13.1pA/sqrt(Hz)）。该设计创新性的利用了PNP器件进行电路设计，实现互补型的电路结构，但同时由于受到工艺上的限制，无论是NPN还是PNP管的特征频率均较低，相较于传统BiCMOS工艺下超过200GHz的特征频率，该设计仍有改进和优化空间。

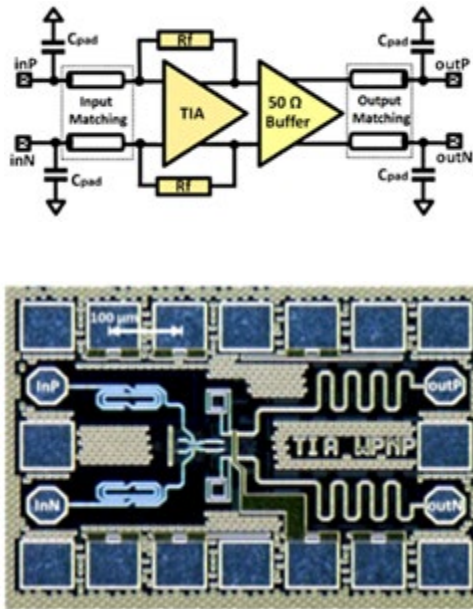


图20 0.25 μm SiGe-C工艺下50Gbps TIA芯片

Fig.20 The 50Gbps TIA in 0.25 μm SiGe-C BiCMOS

2016年，IHP联合Finisar在该年ISSCC会议上发表了双通道64Gbaud线性差分跨阻放大器电路，如图21所示^[20]。其中，双通道TIA芯片与90度光电探

测器集成为接收器模组。TIA芯片基于IHP 0.13 μm SiGe-C BiCMOS工艺实现，采用shunt feedback的反馈形式，与传统的common-base形式相比具有更优良的噪声性能。同时，片上集成了VGA功能，以便于实现相干性检测。测试表明，放大器3dB带宽达到53GHz，同时提供80dB Ω 的增益和-34dB的串扰抑制，传输速率最大可达128Gbps。

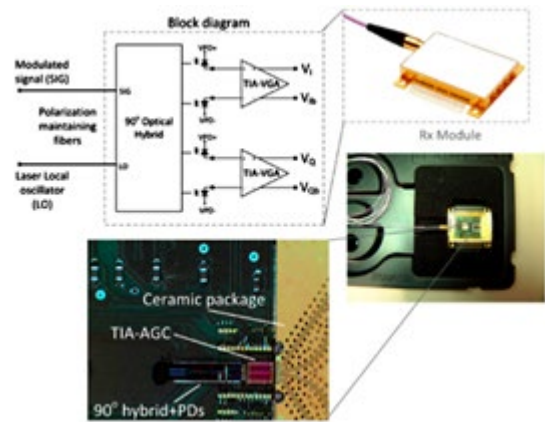


图21 双通道64Gbaud线性差分TIA芯片

Fig.21 A dual 64Gbaud linear differential transimpedance amplifier

2015年，美国德州A&M大学研究人员在ISSCC会议上发表了其面向光电互连应用的超低功耗接收芯片设计，结构如图22所示^[21]。该设计基于GP 65nm CMOS工艺实现，面向基于Microring调制器的光电互连通信应用，芯片结构由跨阻放大器、触发器、前馈时钟接收通道、LC振荡电路等组成。其中，以跨阻放大器为主体的数据通道起到接收并恢复数据信号的功能，而时钟接收通道则为四路数据通道提供12GHz的4通道同步差分时钟信号。跨阻放大器电路设计采用了基于反相器设计的三级反馈式TIA，并集成了CTLE均衡器进行了数据均衡，TIA数据速率为24Gbps，并达到11GHz模拟带宽，单通道功耗为17mW。相较于其他的TIA设计，该设计利用了更合理的集成方式和电路优化实现了更优秀的电路性能，在大大降低了电路功耗的同时集成了自适应均衡电路、时钟校准和串转并电路，以及Microring波长稳定功能。但受限于PD较低的响应度，导致该设计跨阻放大器的灵敏度受到了较大的影响。

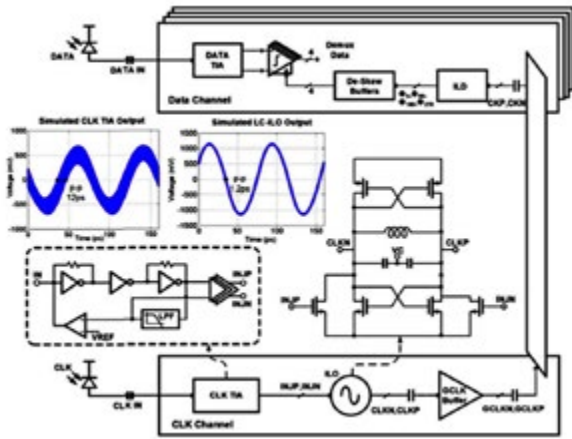


图22 24Gb/s 0.71pJ/b硅光源同步接收芯片

Fig. 22 A 24Gb/s 0.71pJ/b Si-photonic source-synchronous receiver

2018年，IBM公司等研究人员在OFC会议上发表了关于四通道光电接收机芯片的论文，其结构框图如图23所示^[22]。基于CMOS工艺接收机支持四路光纤通信，该接收机总带宽达160Gbps，同时还具备极短的开关时间，可在8ns的时间内完成开启并锁相的功能，刷新了国际上相关研究的记录。

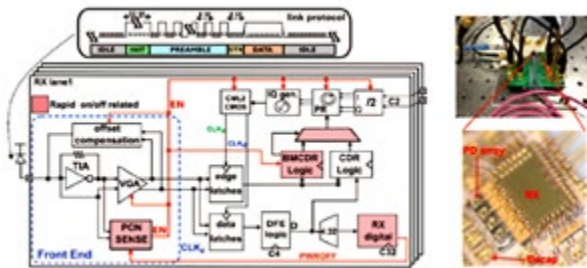


图23 超短开关时间的四光纤160Gbps接收机

Fig. 23 160Gbps 4-channel ultrashort-switching time receiver

5 光电互连集成芯片技术

光电互连集成芯片根据集成方式的不同可被分为单片集成与异构混合集成两种方式。其中，单片集成是基于同一工艺在一个Die上同时集成电器件与光器件。单片集成的方式缩短了电模块与光模块的互连线长度，有效减小了光电互联的损耗，集成度更高。异

构混合集成则是将电模块与光模块设计为不同的芯片，然后通过金属线键合（Wire-bonding）、倒装焊（Flip-chip）或者TSV（Through-silicon Via）的方式，将电芯片与光芯片连接起来。混合集成的方式容许对于光器件与电器件采用不同的工艺进行优化设计，使系统的性能达到最优。

5.1 单片电光集成电路技术

2006年，IBM 沃森研究中心的Luxtera等人首次在0.13μm CMOS SOI平台上实现了光电集成收发器，单芯片实现了双通道20Gb/s传输速率^[23]。整个收发器除了光源以及PD采用外置，其余光器件以及晶体管被集成到同一die上，其结构如图24所示。2007年，Luxtera又在工艺库中增加了DWDM器件，实现了4×10Gb/s的DWDM光电收发器^[24]。

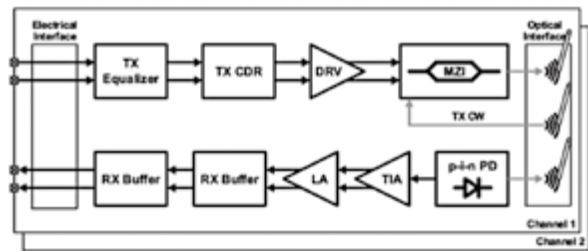


图24 2×10Gb/s双通道电光集成收发器

Fig. 24 A fully integrated 20Gb/s optoelectronic transceiver

与此同时，包括MIT、IME、IMEC等国际多家研究机构也在进行单片集成的硅光工艺技术研究。2012年MIT硅光研究组在45nm标准SOI工艺下实现了单片光电接收器的设计，首次在深亚微米工艺上实现光电集成^[25]。同一年，加州大学圣地亚哥分校和甲骨文公司也联合发布了基于0.13μm CMOS SOI工艺的25Gb/s单片光电收发器^[26]。

近些年来，单片光电集成研究取得了显著的成绩，伯克利、麻省理工、IBM等多家机构发布了基于45nm CMOS SOI工艺的光互连微处理器通信架构，实现了单片集成处理器、存储器、接口电路、光电器件、光波导，如图25所示^[27]。该微处理器实现了单片

集成7千万个晶体管、850个光器件，虽然还存在一些局限性，但是首次展示了电光集成电路设计的蓝图。

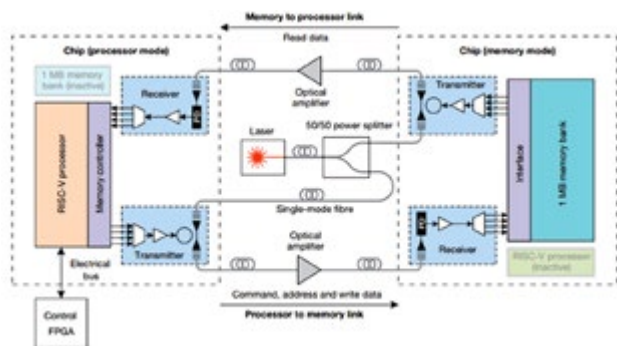


图25 光直接通讯的单片微处理器

Fig.25 Single-chip microprocessor that communicates directly using light

此外，使用Bulk-CMOS工艺实现电光集成的技术也得到研究重视。一方面Bulk-CMOS工艺相对于SOI工艺可以降低成本，另一方面也避免了SOI工艺衬底浮空导致有源晶体管的非线性效应以及由于SOI工艺散热不良不能大规模集成的问题。2014年，Micron科技首次在Bulk-CMOS上实现了电光器件的集成，其在光波导上下加入Cladding进行隔离降低损耗，实现了Bulk-CMOS工艺下电器件与光器件的兼容，如图26所示^[28]。

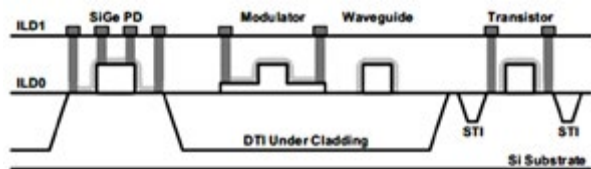


图26 Bulk-CMOS工艺上实现硅光集成

Fig.26 Integration of silicon photonics in bulk CMOS

随后，他们又对工艺进行了优化，成功在Bulk CMOS工艺上实现了多通道DWDM光电收发系统，如图27所示^[29]。在该系统中，光器件只采用了多晶硅，而没有使用外延硅和锗（Ge）材料，实现完全的硅基光互连。

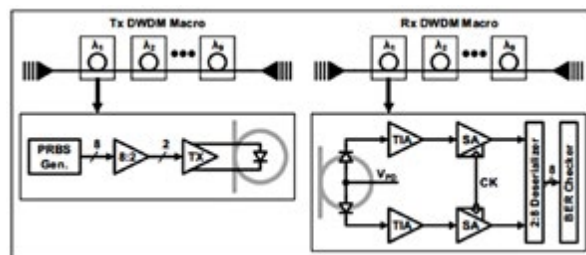


图27 基于Bulk CMOS工艺实现DWDM光链路

Fig.27 A DWDM optical link in bulk CMOS

在DRAM接口中采用基于Bulk-Si的电光集成电路工艺是一个有重要意义的研究方向。一方面，采用光链路传输可以避免DRAM中并行总线互相干扰，实现更高速度更高带宽的传输；另一方面，Bulk-CMOS工艺相较于CMOS-SOI工艺在成本上更加具有优势。三星在这方面做了深入地研究，图28为三星针对其DRAM应用优化实现的工艺^[30]。

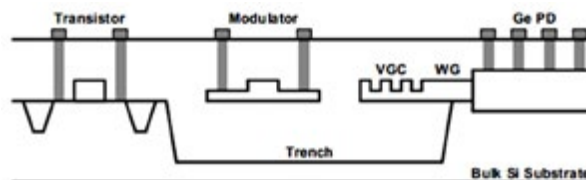


图28 基于Bulk CMOS工艺实现DRAM接口

Fig.28 Bulk-Si photonics technology for DRAM interface

5.2 混合电光集成电路技术

截止到目前为止，单片集成的电光集成电路工艺已经取得了显著的进步，证明了它有可能取代传统的铜基互连。但是，单片集成仍有一些问题需要解决，包括如何同时实现光器件与电器件性能的同时优化、与FinFET CMOS平台的兼容性等，以上未来应予以进一步研究。目前，采用电芯片和光芯片的分别优化再混合集成的电光集成电路技术更加有利。由于目前先进的3D集成技术，混合集成多芯片的方案在实现上已经成为了可能。

最常见的集成方法是使用在封装中普遍使用的引线键合技术。然而，随着数据速率变得更高，引线键合严重降低了信号完整性，因为引线的长度直接

决定串联电感的大小。对于更高的数据速率，当信号的波长变得与键合线的长度相当时，电感会使得信号完整性的情况更加恶化。同时由于其尺寸相对较大，引线键合也限制了最大引脚密度。因此，引线键合技术不适用于需要极高引脚密度的现代片上系统封装。然而，由于其低成本的特性，它仍然广泛用于低速封装和板上芯片测试环境。图29显示了基于引线键合的EPIC集成示例。基于引线键合的方式，文献[31]、[32]实现了25Gb/s与64Gb/s的传输速率。

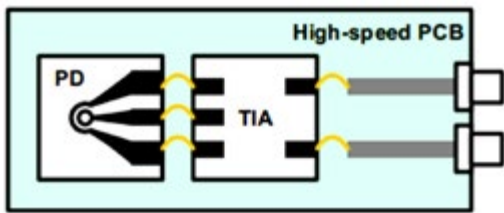


图29 引线键合集成方案
Fig.29 Wire bonding package

Flip-chip键合是一种基于面对面键合的更先进技术，完全消除了键合线。由于芯片到芯片空间缩短（采用现代技术可达数十微米），寄生元件可以大大减少，从而在更高的速度下提高信号完整性。图30显示了典型的Flip-chip封装。PD芯片和TIA芯片Flip-chip键合在相同的封装衬底上，通过该封装衬底进行高速信号互连。TIA的输出通过封装和焊料凸点连接到PCB走线。通过该集成方式，文献[33]实现了良好灵敏度的4×28Gb/s光接收器。

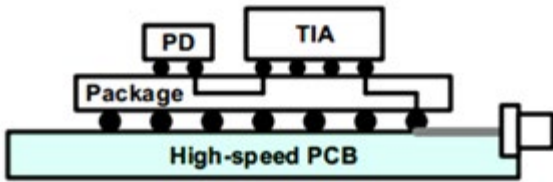


图30 倒装芯片集成方案^[33]
Fig.30 Flip-chip package^[33]

类似但是以稍微不同的方式，在硅基板上采用垂直堆叠的方式集成电芯片与光芯片，如图31所示^[34]，

实现了12×5二维EPIC阵列，使得I/O密度最大化。该方案收发器芯片实现了高达600Gb/s的总聚合数据速率。

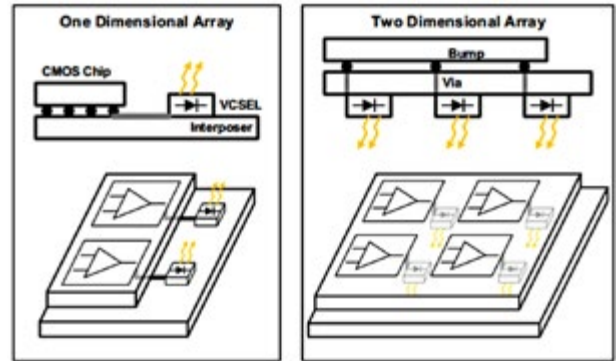


图31 采用2D阵列的发射器阵列概念结构
Fig.31 Conceptual structure of two-dimensional optical transmitter array

目前，混合集成最先进的技术如图32所示。与之前的技术相反，它使用光芯片作为再分配层，从而简化了封装过程^[35-37]。电芯片以Flip-chip的方式键合到大的光芯片上。此方案不仅高速信号焊盘，而且低速信号焊盘都连接到光芯片上。随后通过典型的引线键合封装将信号传送到光芯片外部。基于这种技术，文献[36]中的工作演示了一个4×20Gb/s WDM收发器，文献[37]实现了基于MZI结构的56Gb/s光发射机。

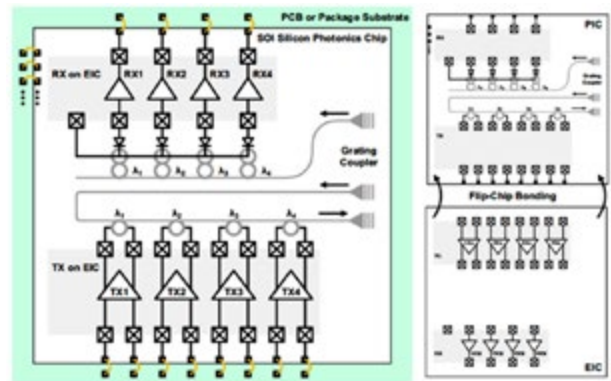


图32 基于Flip-chip集成光电收发器示意图^[36]
Fig.32 Flip-chip integrated optical transceiver demonstrator^[36]

6 总结与挑战

借助光通信、数据中心、超级计算以及生物、国防、AR/VR技术、智能汽车与无人机等诸多应用的飞速发展, 硅光子技术的发展越来越受到大家的关注。

随着系统规模的扩大和新器件与结构的引入, 硅光集成电路在工艺上面临着诸多挑战。首先, 虽然硅光芯片的集成密度高, 但封装和散热是亟需解决的重要问题。另外, 光路的对准问题特别突出, 虽然有很多的相关技术如有源和无源对准、自对准等, 但都不是很理想。

此外, 器件和材料方面, 由于硅并不是直接带隙半导体材料, 并且没有一阶的电光特性, 无法产生激光, 因此并不是最理想的光学器件材料。为了实现硅基器件性能的突破, 以硅材料为基底引入多材料是硅光子的必然选择。

另一方面, 随着数据速率的提升, 电收发机芯片的功耗也在随之上升, 如何有效的降低功耗也已成为一个挑战。对于功耗的抑制, 从新工艺上需要研究基于新材料的新型半导体工艺; 从电路设计上需要优化电路设计, 休眠空闲模块以降低功耗, 但这就需提高电路启动速度, 以保证高速数据到来时电路能及时做出响应; 从调制方式上来说, 则需要进一步研究先进的调制方式和光信号传输模式, 降低硬件开销, 简化集成设计复杂度并进一步降低功耗。

参考文献 (References)

- [1] Yu, Yude, et al. High-Speed Silicon Modulator with Band Equalization. *Optics Letters*, vol. 39, no. 16, 2014, pp. 4839–4842.
- [2] Leuthold, Juerg, et al. 108 Gbit/s Plasmonic Mach Zehnder Modulator with > 70-GHz Electrical Bandwidth. *Journal of Lightwave Technology*, vol. 34, no. 2, 2016, pp. 393–400.
- [3] Rebeiz, Gabriel, et al. Bonded Thin Film Lithium Niobate Modulator on a Silicon Photonics Platform Exceeding 100 GHz 3-DB Electrical Modulation Bandwidth. *Optics Express*, vol. 26, no. 18, 2018, p. 23728.
- [4] Kieninger, Clemens, et al. Silicon–Organic Hybrid (SOH) Mach–Zehnder Modulators for 100 Gbit/s on–off Keying. *Scientific Reports*, vol. 8, no. 1, 2018.
- [5] Usuki, Tatsuya, et al. 50-Gb/s Ring–Resonator–Based Silicon Modulator. *Optics Express*, vol. 21, no. 10, 2013, pp. 11869–11876.
- [6] Campenhout, Joris Van, et al. Silicon Dual–Ring Modulator Driven by Differential Signal. *Optics Letters*, vol. 39, no. 22, 2014, pp. 6379–6382.
- [7] Qiu, Feng, et al. A High–Speed Electro–Optic Triple–Microring Resonator Modulator. *Scientific Reports*, vol. 7, no. 1, 2017, p. 4682.
- [8] Wu, Lei, et al. A 130 GHz Electro–Optic Ring Modulator with Double–Layer Graphene. *Crystals*, vol. 7, no. 3, 2017, p. 65.
- [9] Thourhout, Dries Van, et al. 56 Gb/s Germanium Waveguide Electro–Absorption Modulator. *Optical Fiber Communication Conference*, vol. 34, no. 2, 2016, pp. 419–424.
- [10] Zou, Xin–Hai, et al. Graphene–Assisted Electroabsorption Optical Modulator Using D–Microfiber. *IEEE Journal of Selected Topics in Quantum Electronics*, vol. 23, no. 1, 2017, pp. 89–93.
- [11] Roelkens, Gc Gunther, et al. A Novel Broadband Electro–Absorption Modulator Based on Bandfilling in n–InGaAs: Design and Simulations. *IEEE Journal of Selected Topics in Quantum Electronics*, vol. 24, no. 1, 2018, pp. 1–8.
- [12] Templ, Wolfgang, et al. 50 GBit/s Photodetectors Based on Wafer–Scale Graphene for Integrated Silicon Photonic Communication Systems. *ACS Photonics*, vol. 1, no. 9, 2014, pp. 781–784.
- [13] Koppens, Frank H. L., et al. High–Responsivity Graphene–Boron Nitride Photodetector and Autocorrelator in a Silicon Photonic Integrated Circuit. *Nano Letters*, vol. 15, no. 11, 2015, pp. 7288–7293.
- [14] Desiatov, Boris, et al. On–Chip Integrated, Silicon Graphene Plasmonic Schottky Photodetector with High Responsivity and Avalanche Photogain. *Nano Letters*, vol. 16, no. 5, 2016, pp. 3005–3013.
- [15] H. Chen, P. Verheyen, P. De Heyn, G. Lepage,

- J. De Coster, S. Balakrishnan, P. Absil, W. Yao, L. Shen, G. Roelkens, and J. Van Campenhout, 1 V bias 67 GHz bandwidth Si-contacted germanium waveguide p-i-n photodetector for optical links at 56 Gbps and beyond, *Opt. Express* 24, 4622–4631 (2016)
- [16] S. Tanaka et al., Ultralow-Power (1.59 mW/Gbps), 56-Gbps PAM4 Operation of Si Photonic Transmitter Integrating Segmented PIN Mach Zehnder Modulator and 28-nm CMOS Driver, in *Journal of Lightwave Technology*, vol. 36, no. 5, pp. 1275–1280, 1 March 1, 2018.
- [17] M. Ko, A. C. Ulusoy and D. Kissinger, A low-power VCSEL driver in a complementary SiGe:C BiCMOS technology, 2018 IEEE 18th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), Anaheim, CA, 2018, pp. 45–47.
- [18] A. Fatemi, H. Klar and F. Gerfers, Implementation and design investigation of 40 Gbps driver IC for silicon photonics ring-modulator in SiGe 130-nm, 2016 IEEE International Symposium on Circuits and Systems (ISCAS), Montreal, QC, 2016, pp. 2387–2390.
- [19] I. G. López, P. Rito, A. Awny, B. Heinemann, D. Kissinger and A. C. Ulusoy, A 50 Gb/s TIA in 0.25 μ m SiGe:C BiCMOS in folded cascode architecture with pnp HBTs, 2016 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), New Brunswick, NJ, 2016, pp. 9–12.
- [20] A. Awny et al., 23.5 A dual 64Gbaud 10k Ω 5% THD linear differential transimpedance amplifier with automatic gain control in 0.13 μ m BiCMOS technology for optical fiber coherent receivers, 2016 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, 2016, pp. 406–407.
- [21] K. Yu et al., 22.4 A 24Gb/s 0.71pJ/b Si-photonic source-synchronous receiver with adaptive equalization and microring wavelength stabilization, 2015 IEEE International Solid-State Circuits Conference – (ISSCC) Digest of Technical Papers, San Francisco, CA, 2015, pp. 1–3.
- [22] Cevrero et al., 4 \times 40 Gb/s 2 pJ/bit Optical RX with 8ns Power-on and CDR-Lock Time in 14nm CMOS, 2018 Optical Fiber Communications Conference and Exposition (OFC), San Diego, CA, 2018, pp. 1–3.
- [23] Analui, B.; Guckenberger, D.; Kucharski, D.; Narasimha, A. A Fully Integrated 20-Gb/s Optoelectronic Transceiver Implemented in a Standard 0.13- μ m CMOS SOI Technology. *IEEE J. Solid-State Circuits* 2006, 41,2945–2955.
- [24] Narasimha, A.; Analui, B.; Liang, Y.; Sleboda, T.J.; Abdalla, S.; Balmater, E.; Gloeckner, S.; Guckenberger, D.; Harrison, M.; Koumans, R.G.M.P.; et al. A Fully Integrated 4 \times 10-Gb/s DWDM Optoelectronic Transceiver Implemented in a Standard 0.13 μ m CMOS SOI Technology. *IEEE J. Solid-State Circuits* 2007, 42, 2736–2744.
- [25] Georgas, M.; Orcutt, J.; Ram, R.J.; Stojanovic, V. A monolithically-integrated optical receiver in standard 45-nm SOI. *IEEE J. Solid-State Circuits* 2012, 47, 1693–1702.
- [26] Buckwalter, J.F.; Zheng, X.; Li, G.; Raj, K.; Krishnamoorthy, A.V. A monolithic 25-Gb/s transceiver with photonic ring modulators and Ge detectors in a 130-nm CMOS SOI process. *IEEE J. Solid-State Circuits* 2012, 47, 1309–1322. [CrossRef]
- [27] Sun, C.; Wade, M.T.; Lee, Y.; Orcutt, J.S.; Alloatti, L.; Georgas, M.S.; Waterman, A.S.; Shainline, J.M.; Avizienis, R.R.; Lin, S. Single-chip microprocessor that communicates directly using light. *Nature* 2015, 528, 534–538.
- [28] Meade, R.; Orcutt, J.S.; Mehta, K.; Tehar-Zahav, O.; Miller, D.; Georgas, M.; Moss, B.; Sun, C.; Chen, Y.-H.; Shainline, J. Integration of silicon photonics in bulk CMOS. In *Proceedings of the IEEE Symposium on VLSI Technology Digest of Technical Papers*, Honolulu, HI, USA, 9–12 June 2014; pp. 1–2.50.
- [29] Sun, C.; Georgas, M.; Orcutt, J.; Moss, B.; Chen, Y.-H.; Shainline, J.; Wade, M.; Mehta, K.; Nammari, K.; Timurdogan, E. A monolithically-integrated chip-to-chip optical link in bulk CMOS. *IEEE J. Solid-State Circuits* 2015, 50, 828–844.
- [30] Byun, H.; Bok, J.; Cho, K.; Cho, K.; Choi, H.; Choi, J.; Choi, S.; Han, S.; Hong, S.; Hyun, S. Bulk-Si photonics technology for DRAM interface [Invited]. *Photonics Res.* 2014, 2, A25–A33.
- [31] Proesel, J.; Schow, C.; Rylyakov, A. 25 Gb/s 3.6 pJ/b and 15 Gb/s 1.37 pJ/b VCSEL-based optical links in 90 nm CMOS. In *Proceedings of the IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*, San Francisco, CA, USA,

- 19–23 February 2012; pp. 418–420.
- [32] Ozkaya, I., et al., A 64-Gb/s 1.4-pJ/b NRZ Optical Receiver Data-Path in 14-nm CMOS FinFET. *IEEE Journal of Solid-State Circuits*, 2017. 52(12): p. 3458–3473.
- [33] Takemoto, T.; Yamashita, H.; Yazaki, T.; Chujo, N.; Lee, Y.; Matsuoka, Y. A 25-to-28 Gb/s High-Sensitivity (−9.7 dBm) 65 nm CMOS Optical Receiver for Board-to-Board Interconnects. *IEEE J. Solid-State Circuits* 2014, 49, 2259–2276.
- [34] Morita, H.; Uchino, K.; Otani, E.; Ohtorii, H.; Ogura, T.; Oniki, K.; Oka, S.; Yanagawa, S.; Suzuki, H. A 12×5 two-dimensional optical I/O array for 600 Gb/s chip-to-chip interconnect in 65 nm CMOS. In *Proceedings of the IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*, San Francisco, CA, USA, 9–13 February 2014; pp. 140–141.
- [35] Cignoli, M.; Minoia, G.; Repossi, M.; Baldi, D.; Ghilioni, A.; Temporiti, E.; Svelto, F. A 1310 nm 3D-integrated silicon photonics Mach-Zehnder-based transmitter with 275 mW multistage CMOS driver achieving 6 dB extinction ratio at 25 Gb/s. In *Proceedings of the IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*, San Francisco, CA, USA, 22–26 February 2015; pp. 1–3.
- [36] Rakowski, M.; Pantouvaki, M.; De Heyn, P.; Verheyen, P.; Ingels, M.; Chen, H.; De Coster, J.; Lepage, G.; Snyder, B.; De Meyer, K. A 4 × 20 Gb/s WDM ring-based hybrid CMOS silicon photonics transceiver. In *Proceedings of the IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*, San Francisco, CA, USA, 22–26 February 2015; pp. 1–3.
- [37] Temporiti, E.; Minoia, G.; Repossi, M.; Baldi, D.; Ghilioni, A.; Svelto, F. A 56 Gb/s 300 mW silicon-photonics transmitter in 3D-integrated PIC25G and 55 nm BiCMOS technologies. In *Proceedings of the IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*, San Francisco, CA, USA, 31 January–4 February 2016; pp. 404–405.

**作者简介：**

林文森（1993—），女，吉林省长春市，博士研究生，主要研究方向为硅基光电集成电路设计。

GaN基HEMTs空间辐射效应试验研究综述

刘伟鑫, 楼建设, 汪波, 马林东, 孔泽斌, 祝伟明, 王昆黍

(上海航天技术研究院第八〇八研究所, 上海 201109)

摘要: 本文对GaN基HEMTs空间辐射效应研究进展进行了综述, 对国内外近来关于GaN基HEMTs ^{60}Co γ 射线总剂量效应、重离子单粒子效应、低能质子位移损伤效应研究成果进行了分析, 给出了辐照试验结果和相关机理分析等。

关键词: GaN基HEMTs; 电离总剂量效应; 单粒子效应; 位移损伤效应

中图分类号: TN45, TN712 **文献标识码:** A

Review of Space Radiation Effects in GaN HEMTs

Liu Weixin, Lou Jianshe, Wang Bo, Ma Lindong, Kong Zebin, Zhu Weiming, Wang Kunshu

(No.808 Institute of Shanghai Academy of Spaceflight Technology, Shanghai, 201109, China)

Abstract: Space radiation effects of GaN HEMTs is reviewed in this thesis. It introduces typical research results and hot spots of GaN HEMTs space radiation effects in recent years, including ^{60}Co -ray total ionizing dose effects, heavy ions single event effects, low energy proton displacement damage effects irradiation test results and mechanism analysis.

Key words: GaN HEMTs; total ionizing dose effects; single event effects; displacement damage effects

0 引言

GaN材料是继Si、Ge、GaAs后的第三代半导体材料典型代表^[1], 其禁带宽度达3.45eV, 具有耐高温、抗辐射等优良的物理性质^[2], 可用于制作光电子器件和600℃以上高温、高频、大功率微电子器件。高电子迁移率晶体管(High Electron Mobility Transistor, HEMT)的栅与沟道之间没有氧化层, 通过两种异质材料形成能带差, 由于界面处两种材料禁带宽度差异, 平衡后界面处会出现三角形势阱即量子阱, 大量电子分布在这个三角形势阱中形成二维电子气。相比于SiC、GaAs, GaN有较高的品质因数, 可以与AlGaN形成异质结HEMT, 电子迁移率可达 $2000\text{cm}^2/(\text{V}\cdot\text{s})$, 热生泄漏电流较小, 使得器件具有更高的开关速度、更大的输出电流密度, 在高温下仍能保持高频、高功率工作状态, 非常适合应用于工作在高真空高温宇宙空间的航天器中。迄今具有优越性能的GaN基HEMTs的频率范围已从L波段覆盖到Ka波段, 在X频段的卫星通信和Ka波段

(26.5GHz~40GHz) 局域多点分布系统中有广阔的应用前景^[3]。

1 GaN基HEMTs典型结构及原理

图1给出了典型剖面结构图和异质结能带图。HEMTs基于AlGaN及GaN构成的突变异质结结构。AlGaN是GaN和AlN组成的合金, 其性能与AlN摩尔组分紧密相关。AlGaN为沟道层, 而GaN为势垒层, 这两种材料具有不同的禁带宽度, 因此形成异质结能带不连续。GaN禁带宽度比AlGaN小, 费米能级 E_F 比它低, 两者接触达到热平衡形成统一的费米能级, 电子就会从AlGaN转移至GaN一侧来平衡 E_F 的差异。能带发生弯曲, 异质结靠近GaN的一侧就会形成凹陷的电子势阱, 自由电子被限制只能在二维平面运动, 因此也叫做二维电子气。异质结另一侧形成势垒。在沟道中电子只能局限在二维平面运动, 电子迁移率大幅度提高^[4]。

GaN基HEMTs属于耗尽型器件, 工作状态下需

要外加偏压来控制三角形势阱的深度和宽度从而调制2DEG的迁移率和浓度。图2为工作时的偏压情况,栅源极电压 V_{GS} 控制器件的关断和开启,漏源极电压 V_{DS} 形成横向电场,源极接地。当栅压为0时,沟道中已经产生2DEG,加上电压 V_{DS} 后电子在沟道中由源极向漏极流动形成电流。外加栅压改变引起异质结势垒高度变化,进而引起电子气浓度变化,改变导电沟道的电导率,最终导致输出电流 I_{DS} 的改变^[4]。

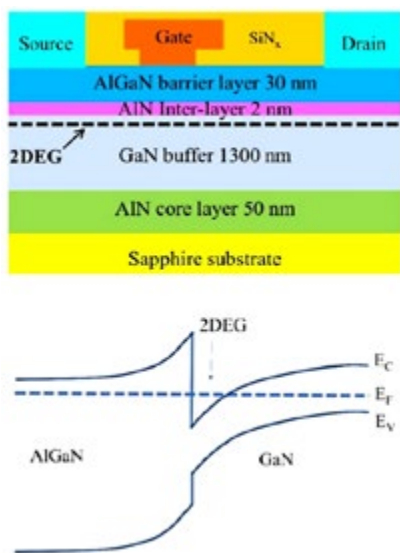


图1 典型GaN基HEMT剖面结构图及AlGaIn/GaN异质结能带图
Fig.1 The schematic diagram of GaN HEMTs and AlGaIn/GaN heterojunction energy-band

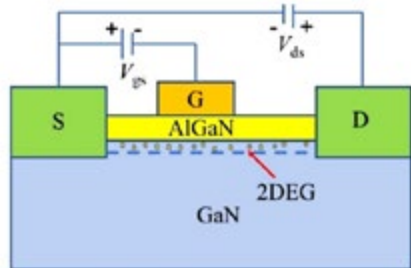


图2 GaN基HEMTs工作原理

Fig.2 Working principle diagram of GaN/AlGaIn HEMTs

2 ⁶⁰Co γ 射线电离总剂量效应

国内范隆、张进城等人研究表明^[5], ⁶⁰Co γ 射线辐射感生的异质结界面态是主要的损伤机制之一,它会对异质结二维电子气(2DEG)输运产生退化影响;

并根据库仑散射原理推导并计算了辐射感生界面态电荷散射所限制的迁移率,并运用马德森定则分析了界面态电荷影响总迁移率的规律。辐射感生界面态电荷在累积到一定量后,会显著影响迁移率,一定程度上提高2DEG密度能抑制界面态电荷散射的作用。

国内吕玲等人研究了⁶⁰Co γ 射线辐照下钝化后AlGaIn/GaN HEMTs静态参数和动态参数变化^[6]。不加电和加电辐照偏置下剂量达到120krad(Si)时AlGaIn/GaN HEMTs阈值电压 V_{th} 基本没有发生变化。

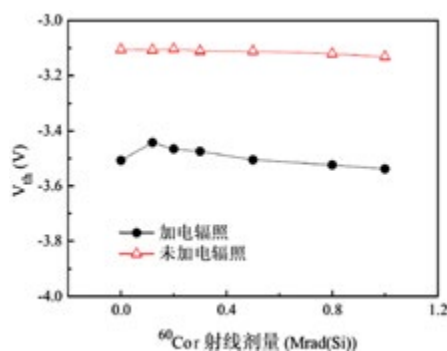


图3 文献[6]给出的不同辐照偏置下GaN/AlGaIn HEMTs的阈值电压随辐照剂量变化情况

Fig.3 V_{th} of GaN/AlGaIn HEMTs irradiated to different doses under different bias in reference[6]

动态参数方面,吕玲等人给出了1Mrad(Si)下的小信号特性测试结果^[6]。辐照前后器件截止频率分别为17.1GHz和17.7GHz、最大振荡频率分别为30.7GHz和32.2GHz,表明 γ 射线辐照对频率特性的影响较小。

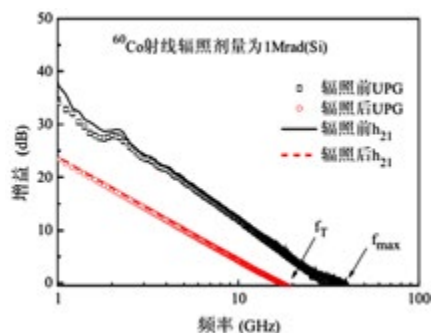


图4 文献[6]给出的⁶⁰Co γ 射线辐照前后GaN/AlGaIn HEMTs小信号特性变化情况

Fig.4 Small signal characteristics of GaN/AlGaIn HEMTs after ⁶⁰Co γ irradiated in reference[6]

吕玲等人通过测试⁶⁰Co γ射线辐照前后AlGaIn/GaN HEMTs肖特基正反向栅特性的退化情况分析肖特基势垒高度的变化情况,图5为试验结果^[6]。可以看出辐照后器件的正反向栅特性基本上没有退化,说明器件肖特基势垒高度基本不变。

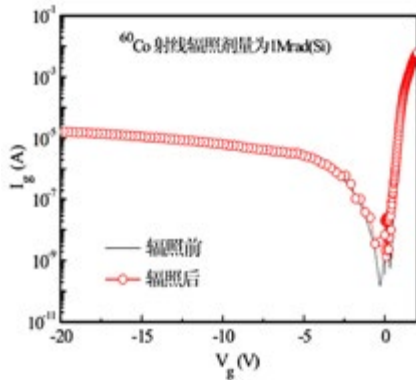


图5 文献[6]给出的⁶⁰Co γ射线辐照前后AlGaIn/GaN HEMTs肖特基正反向栅特性退化情况

Fig.5 Schottky characteristics of AlGaIn/GaN HEMTs after ⁶⁰Co γ irradiated in reference[6]

吕玲等人还对未钝化的AlGaIn/GaN HEMTs进行了⁶⁰Co γ射线辐照。图6给出了辐照前后该器件肖特基正反向栅特性的退化情况^[6],可以评估出未钝化的AlGaIn/GaN HEMT器件势垒高度和理想因子退化严重。文献认为,钝化层对AlGaIn/GaN HEMT抗γ射线辐照总剂量效应起到了很重要的作用。基于阈值电压未受到γ射线辐照的影响,即2DEG面密度不变,所未钝化器件的栅源和栅漏间隔区在γ射线辐照下产生了表面态负电荷,使得漏和源串联电阻增加。

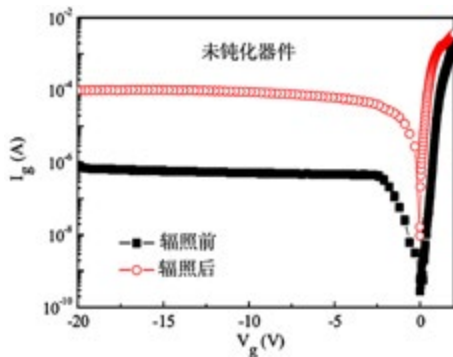


图6 文献[6]给出的⁶⁰Co γ射线辐照前后未钝化的AlGaIn/GaN HEMTs肖特基正反向栅特性退化情况

Fig.6 Schottky characteristics of AlGaIn/GaN HEMTs after ⁶⁰Co γ irradiated in reference[6]

Luo等人利用⁶⁰Co γ射线对AlGaIn/GaN HEMTs进行了辐照试验,直至辐照剂量达到600Mrad(Si)才发生栅泄露电流降低、反向击穿电压增加、阈值电压向负压方向漂移等现象^[7]。Aktas等人报道了600Mrad(Si)下AlGaIn/GaN HEMTs的阈值电压漂移仅为-0.1V^[8]。Murakin等人研究结果表明1Mrad(Si)辐照剂量下AlGaIn/GaN HEMTs的2DEG面密度基本保持不变^[9-11]。

3 重离子单粒子效应

单粒子效应机理和加固方法研究方面,从IEEE、NSREC、RADECS学术论文来看,GaN基HEMTs的单粒子效应及加固方法近几年是微波器件可靠性、辐射物理领域的研究热点。

2014年A Lidow等人对Microsemi公司产40V和200V击穿电压等级的MiGaIn HEMTs的单粒子效应安全工作区进行了研究^[12]。在LET为85MeV·cm²/mg的重离子辐照下,MiGaIn HEMTs没有出现单粒子效应,安全工作电压可以达到额定击穿电压等级。

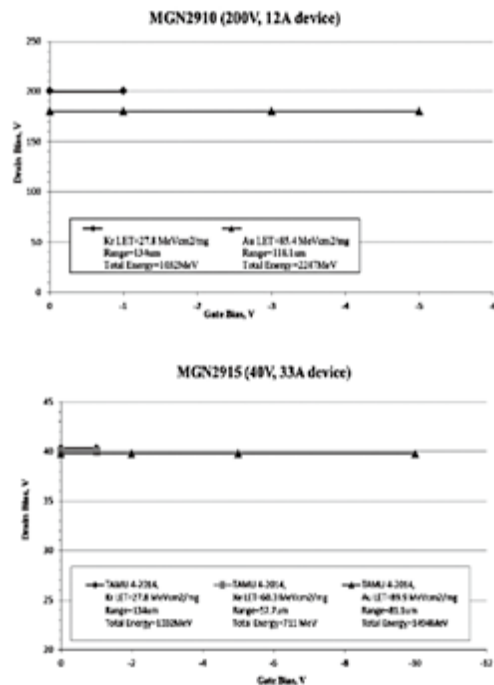


图7 文献[12]给出的MiGaIn HEMTs的单粒子效应安全工作区

Fig.7 SOA of MiGaIn HEMT in reference[12]

HARRIS R D等人报道了重离子辐照下部分商用GaN/AlGaN HEMTs的单粒子效应测试结果^[13]。其认为, 常态条件下商用GaN/AlGaN HEMTs的漏电流已经达到 μA 量级, 重离子辐照在器件内部电离产生的电子-空穴对所带来的瞬发电流远小于漏电流, 不足以诱发产生SEB、SEGR。

Leif Scheick等人对PANASONIC、GANSYSTEMS、Infineon等公司产GaN/AlGaN HEMTs的单粒子效应进行了研究^[14], 认为GaN/AlGaN HEMTs的单粒子效应主要表现为单粒子瞬态和单粒子烧毁。图8为文献[14]中给出的SET效应表现形式, 主要表现为漏源电压 V_{DS} 上出现波段, 但瞬态波形持续时间在ns量级。

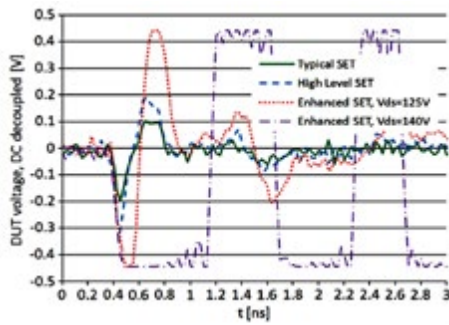


图8 文献[14]给出的GaN/AlGaN HEMTs单粒子瞬态效应表现形式

Fig.8 SET test results of GaN/AlGaN HEMTs in reference[14]

图9为文献[14]给出的重离子辐照下GaN/AlGaN HEMTs的漏极泄漏电流 I_{DSS} 随辐照注量的变化情况, 可以看到当单粒子效应发生时 I_{DSS} 出现了瞬间陡增的情况。

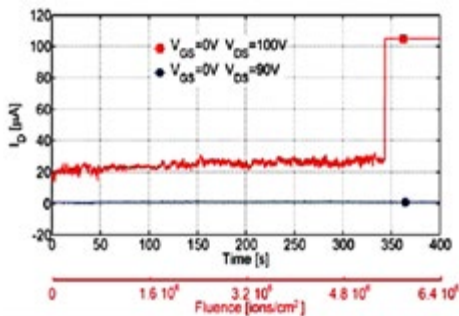


图9 文献[14]给出的重离子辐照下 I_{DSS} 变化情况

Fig.9 I_{DSS} irradiated to different ions fluence in reference[14]

Leif Scheick等人给出了PANASONIC公司PGA26E19BA型GaN基HEMTs的单粒子效应测试结果, 给出了其发生单粒子效应与否的 V_{DS} 临界电压与重离子LET值、入射角度、栅压的关系。试验结果表明, 重离子LET值越高、发生单粒子效应时的 V_{DS} 临界电压越低。另外栅压对发生单粒子效应时的 V_{DS} 临界电压的影响较小, 负栅压下PGA26E19BA出现单粒子效应时的 V_{DS} 临界电压相比于零栅压没有表现出明显的下降趋势(文献[14]认为该现象对于DC/DC中一般采用负压来关断GaN基HEMTs非常有帮助, 为保证增强型GaN基HEMTs能可靠关断, 有时会采用负栅压关断器件)。

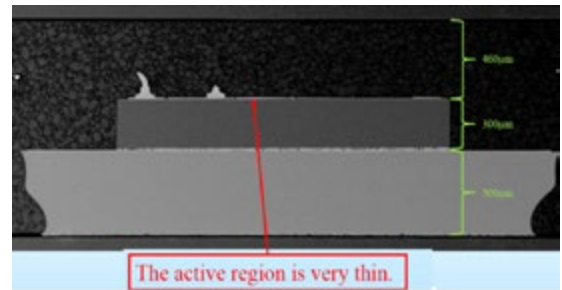


图10 文献[14]给出的PANASONIC公司PGA26E19BA型GaN/AlGaN HEMTs的剖面图

Fig.10 The schematic diagram of PGA26E19BA GaN/AlGaN HEMTs manufactured by PANASONIC in reference[14]

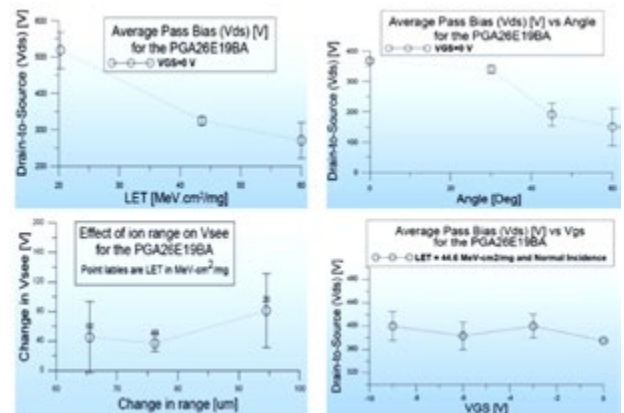


图11 文献[14]给出的PGA26E19BA单粒子效应发生时的临界电压与LET、入射角度、栅压的关系

Fig.11 The relationship between SEE occur voltage of PGA26E19BA and LET, incident angle and V_{GS} in reference[14]

国内中科院兰州近代物理所胡培培等人利用SRIM和TCAD软件对GaN/AlGa_N HEMTs的重离子辐照效应进行了模拟仿真,研究了重离子辐照引起电场分布的变化对器件电学参数退化的影响,仿真中采用的重离子LET值为23MeV·cm²/mg,注量率在小于1×10⁸ions/cm²·s^[4]。仿真结果表明,离子入射前沟道中电场均匀分布,离子入射后源漏电极下方电势明显降低,电荷扩散,电势分布由电极区域逐渐延伸到衬底,漏极影响区域较大,离子入射2ns以后电场分布逐渐恢复。由于短时间内的空穴累计导致电极区域电势比离子入射前提高了,但是变化极小,对电学参数的影响基本可以忽略,从纵截面图中可以看出电势沿器件纵向分布的变化,3ns后电场分布回到初始状。胡培培等人认为,重离子辐照对GaN/AlGa_N HEMTs瞬态电场分布产生了影响,但在辐照后极短时间内恢复,对阈值电压、漏电流等电学参数影响较小。

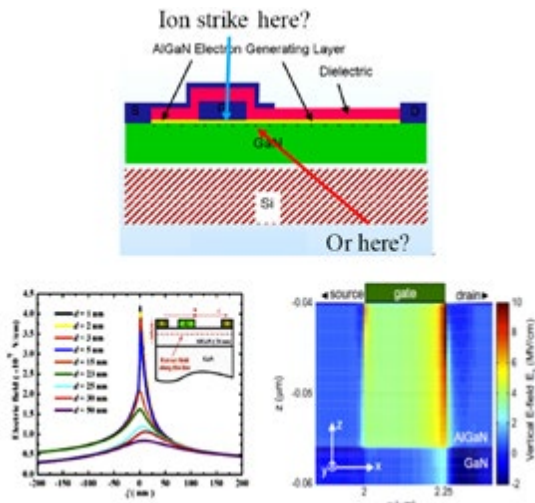


图12 文献[4]给出的GaN/AlGa_N HEMTs单粒子效应仿真结果

Fig.12 SEE simulation result of GaN/AlGa_N HEMTs in reference[4]

4 低能质子位移损伤效应

国外一些学者利用低能质子对Ga_N/AlGa_N HEMTs的辐照效应进行了研究。这些低能质子对电学参数所产生的影响与⁶⁰Co γ射线、重离子有较大区别。Wan Xin等人利用3.8MeV能量的质子对Ga_N/

AlGa_N HEMTs的辐照效应进行了研究^[15],如图13所示,低能质子辐照初期Ga_N/AlGa_N HEMTs的I-V特性曲线正向漂移,注量达到一定程度后继续增加,I-V特性曲线基本不再发生变化。

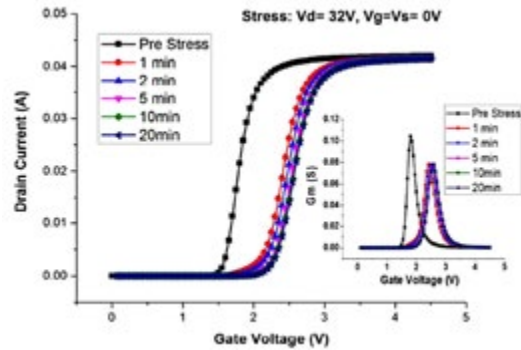


图13 文献[15]给出的低能质子辐照下GaN/AlGa_N HEMTs的I-V特性曲线随注量的变化情况

Fig.13 I-V characteristics of GaN/AlGa_N HEMTs irradiated to different fluence by low energy proton in reference[15]

Chen Jin等人利用1.8MeV能量质子对富Ga和富NH₃的Ga_N/AlGa_N HEMTs的辐照效应进行了研究^[16]。富Ga和富NH₃指采用分子束外延工艺生长AlGa_N/Ga_N异质结时是在富Ga和富NH₃环境中进行的。图14给出了相关试验结果。

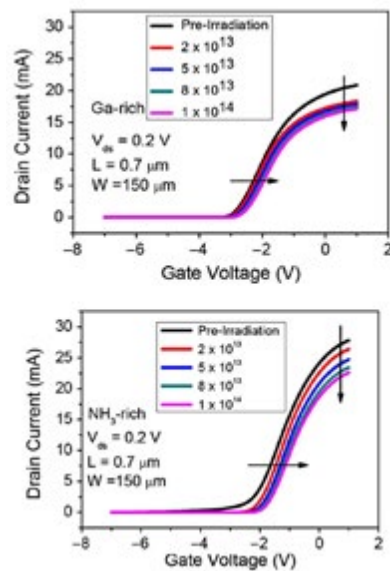


图14 文献[16]给出的富Ga和富NH₃的Ga_N/AlGa_N HEMTs低能质子辐照试验结果

Fig.14 I-V characteristics of Ga-rich (up) and NH₃-rich (down) GaN/AlGa_N HEMTs irradiated to different fluence by low energy proton in reference[16]

另外文献[16]还给出了富Ga和富NH₃的GaN/AlGaN HEMTs动态S参数随低能质子注量的变化情况,结果如图15所示,低能质子辐照对GaN/AlGaN HEMTs的动态参数基本没有影响。

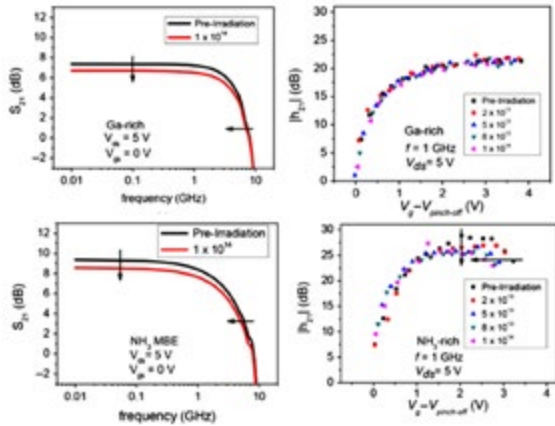


图15 文献[16]给出的富Ga和富NH₃的GaN/AlGaN HEMTs动态参数随质子注量变化情况

Fig.15 Dynamic parameter of Ga-rich and NH₃-rich GaN/AlGaN HEMTs irradiated to different fluence in reference[16]

Wan Xin等通过测试不同注量下GaN/AlGaN HEMTs的C-V特性曲线和分析AC等效电容模型,认为低能质子辐照会激活AlGaN/GaN界面处和AlGaN缓冲层中产生的施主型缺陷,这些缺陷会俘获电子、散射载流子等^[15]。其中,AlGaN缓冲层中的缺陷增加对C-V特性曲线影响较大,而p-GaN和AlGaN层中的缺陷增加对C-V特性曲线影响较大^[17, 18]。

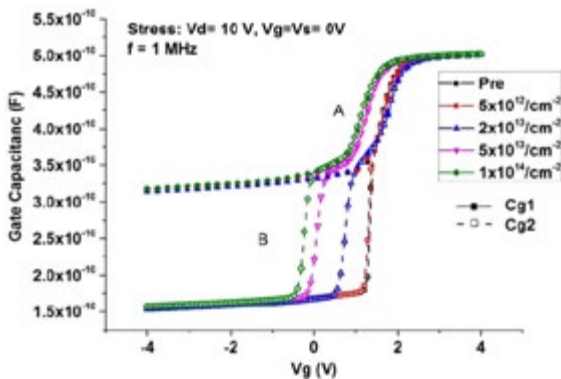


图16 文献[15]给出的C-V特性曲线随质子注量变化情况

Fig.16 C-V Response of GaN/AlGaN HEMTs irradiated to different fluence in reference[15]

5 结束语

本文对GaN基HEMTs空间辐射效应研究进展进行了综述,对国内外近来关于GaN基HEMTs ⁶⁰Co γ射线总剂量效应、重离子单粒子效应、低能质子位移损伤效应研究成果进行了分析,给出了辐照试验结果和相关机理分析等。后续我们将对典型国产GaN基HEMTs器件的辐照效应开展进一步测试,对辐射效应损伤机理、失效模式等进行研究。

参考文献 (References)

- [1] 毕克允, 胡先发, 王长河等. 微电子技术. 北京: 国防工业出版社, 2007: 12-13.
- [2] LEVINSHTEIN M E, RUMYANTSEV S L, SHUR M S, Properties of Advanced Semiconductor Materials: GaN, AlN, InN, BN, and SiGe. New York: John Wiley and Sons, 2001.
- [3] H SASAKI, T HISAKA, K KADOIWA, T OKU, S ONODA, T OHSHIMA, E TAGUCHI, H YASUDA, Ultra-high Voltage Electron Microscopy Investigation of Irradiation Induced Displacement Defects on AlGaIn/GaN HEMTs[J]. Microelectron Reliab, (2017) 312-319.
- [4] 胡培培. III-V族半导体材料及AlGaIn/GaN HEMT器件辐照效应研究[博士论文]. 北京: 中国科学院大学, 2019.
- [5] 范隆, 张进城, 李培成等. AlGaIn/GaN异质结辐射感生界面态电荷对二维电子气运输的影响[J]. 半导体学报, 2003, 24(9), 937-941.
- [6] 吕玲. GaN基半导体材料与HEMT器件辐照效应研究[博士论文]. 西安: 西安电子科技大学, 2013.
- [7] LUO B, JOHNSON J W, REN F, et al. Influence of ⁶⁰Co γ-ray on DC Performance of AlGaIn/GaN High Electron Mobility Transistors[J]. Applied Physics Letters, 2002, 80(4), 604.
- [8] Aktas O, Kuliev A, Kumar V, et al. ⁶⁰Co Gamma Radiation Effects on DC, RF, And Pulsed I-V Characteristics of AlGaIn/GaN HEMTs[J]. Solid-State Electronics, 2014, 48, 471.
- [9] KURAKIN A M, VITUSEVICH S A, DANYLYUK S V, et al. Mechanism of Mobility Increase of The Two-Dimensional Electron Gas in AlGaIn/GaN Heterostructures Under Small Dose Gamma Irradiation[J]. Journal of Applied Physics, 2008, 103, 083707.
- [10] XIAO SUN, OMAIR I SAADAT, JIN CHEN, et al.

- Total-Ionizing-Dose Radiation Effects in AlGaIn/GaN HEMTs and MOS-HEMTs[J]. IEEE Tran. Nucl. Sci. 2013, 60(6): 4074-4079.
- [11] GU W P, Chen C, DUAN H T. ^{60}Co γ -ray Irradiation Effect in DC Performance of AlGaIn/GaN High Electron Mobility Transistors, Journal of semiconductors, 2009, 30(4), 044002.
- [12] LIDOW A, NAKATA A, REARWIN M, et al. Single Event and Radiation Effect on Enhancement Mode Gallium Nitride FETs[C]. IEEE Radiation Effect Data Workshop. Paris, 2014: 1-7.
- [13] HARRIS R D, SCHEICK L Z, HOFFMAN J P, et al. Radiation Characterization of Commercial GaN devices[C] // 2011 Radiation Effects Data Workshop. Las Vegas, 2011.
- [14] LEIF SCHEICK, et al. Status of the Gallium Nitride High Electron Mobility Transistor Radiation Testing for the NEPP Program[J]. The 7th NASA Electronic Parts and Packaging (NEPP) Program Electronic Technology Workshop June 16, 2016, NASA GSFC, Greenbelt, MD.
- [15] XIN WAN, OLIVER K. BAKER, MICHAEL W et al. Low Energy Proton Irradiation Effects on Commercial Enhancement Mode GaN HEMTs[J]. IEEE Tran. Nucl. Sci. 2017, 64(1): 253-257.
- [16] JIN CHEN, EN XIA ZHANG, CHE XUAN ZHANG et al. RF Performance of Proton-Irradiated AlGaIn/GaN HEMTs [J]. IEEE Tran. Nucl. Sci. 2014, 61(6): 2959-2964.
- [17] Z ZHANG et al. Correlation of Proton Irradiation Induced Threshold Voltage Shifts To Deep Level Traps in AlGaIn/GaN Heterostructures [J]. J Appl Phys, 2016, 119 (16): NO. 165704.
- [18] JIN CHEN. Effects of Applied Bias And High Field Stress on the Radiation Response of GaN/AlGaIn HEMTs [J]. IEEE Tran. Nucl. Sci. 2015, 62(6): 2423-2430.



作者简介:

刘伟鑫(1984—),男,江苏省常州金坛人,硕士研究生,高级工程师,主要从事半导体器件空间辐射效应评估技术和应用验证技术研究。

基于乒乓缓存的卷积神经网络加速器

秦智勇, 于立新, 庄伟, 孟晓, 杨雪, 陈雷

(北京微电子技术研究所, 北京 100076)

摘要: 卷积神经网络算法因其突出的性能已在图像分类、目标识别以及自动驾驶等应用中广泛采用, 其同样适用于国内外军事航天领域包括导弹末制导、深空探测等应用, 但卷积神经网络算法计算负载重、带宽需求高, 通用处理器无法满足需求, 需针对卷积神经网络算法设计专用加速器。该工作基于乒乓缓存结构设计了卷积神经网络加速器, 提高了计算资源利用率, 并在FPGA上进行了原型系统设计与性能评估, 运行主频200MHz, 实测性能达22.1GOPS。

关键词: 卷积神经网络; 加速器; 乒乓缓存

中图分类号: TP183 **文献标识码:** A

Convolutional Neural Network Accelerator based on Ping-Pong Buffer

Qin Zhiyong, Yu Lixing, Zhuang Wei, Meng Xiao, Yang Xue, Chen Lei

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

Abstract: In recent years, the convolutional neural network algorithm has been widely used in image classification, target recognition and ADAS because of its outstanding performance. In the field of military spaceflight, neural network is also applied to missile terminal guidance and deep space probe, but the convolutional neural network algorithm is computing and bandwidth sensitive. The general purpose processor does not meet the demand, so a dedicated accelerator is designed for the convolutional neural network algorithm. This paper designs a convolutional neural network accelerator based on the ping-pong buffer, improving the utilization of computing resources. We design a prototype system which is running at 200MHz on the FPGA and evaluate our actual performance which is 22.1GOPS.

Keywords: convolutional neural network; accelerator; ping-pong buffer

0 引言

卷积神经网络于2012年在ImageNet图像识别竞赛中获得冠军后, 得到了人们的广泛认可并被大量应用, 随后在目标识别、图像分割、语音语义处理等领域的应用中也逐渐占据主流地位。

近年来, 深度神经网络在航天领域已逐渐开始应用。NASA与谷歌AI合作利用开普勒望远镜的大量历史观测数据训练神经网络模型, 并通过模型再处理望远镜拍下的数据实现高效分析, 辅助科学家发现了开普勒90星系。DARPA在图像识别方面、自然语言处理方面、决策辅助方面和大数据处理与深度学习融合方面均展开了研究。

卷积神经网络算法效果突出, 但对计算力和存储带宽要求很高, 2012年的ImageNet冠军网络AlexNet的卷积和全连接操作约为720M, 参数量约为58M, 大约需要232MB的存储空间, 这对计算力提出了极高的要求, 因此针对卷积神经网络的加速器研究自2014年开始成为研究热点, 包括中科院的“DiaoNao”系列, 即DianNao^[1], DaDianNao^[2], ShiDianNao^[3], PuDianNao^[4]以及韩科院^[5]和MIT^[6]所做的大小核结构探索。

本文第一节简述了卷积神经网络算法; 第二节介绍了相关的国内外现状; 第三节详述了卷积神经网络加速器的整体结构以及各单元的工作过程; 第四节介

绍了FPGA原型系统的设计以及评估结果；第五节进行了总结。

1 卷积神经网络算法

典型的卷积神经网络由多种计算层组成，包括卷积、激活函数以及池化等操作。卷积层用于特征提取和维度扩展，激活函数实现非线性变换，池化完成了空间或特征类型的聚合。

1.1 全连接层

全连接层一般位于卷积神经网络的最后几层，主要用于进行最后的分类。全连接层的数学表达如式(1)所示：

$$Y = WX + B \quad (1)$$

全连接层的输出等于所有的输入乘以相应的权重加上对应的偏移。

1.2 卷积层

卷积神经网络的计算过程如图1所示，卷积层输入包括N个特征图，每个特征图与一个K*K的卷积核滑动进行卷积计算，产生一个输出结果。卷积层的计算公式如式(2)所示：

$$Y^l(m, n) = X^k(m, n) \otimes H^{kl}(m, n) = \sum_{k=0}^{K-1} \sum_{i=0}^{l-1} \sum_{j=0}^{l-1} X^k(m+i, n+j) H^{kl}(i, j) \quad (2)$$

其中卷积层有L个输出通道和K个输入通道， X^k 表示第k ($0 \leq k < K$) 个输入通道的二维特征图， Y^l 表示第 ($0 \leq l < L$) 个输出通道的二维特征图， H^{kl} 表示第L列、第k行二维卷积核。

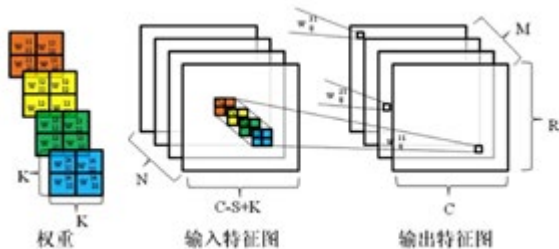


图1 卷积计算示意图

Fig.1 Schematic diagram of convolution calculation

卷积处理后一般进行激活操作，增加非线性可以提高模型对特征的鲁棒性。激活函数现在广泛使用的是ReLU函数，如式(3)所示：

$$f(x) = \max(0, x) \quad (3)$$

ReLU解决了训练过程中梯度消失的问题，计算代价低，收敛速度快，自2012年AlexNet首次使用ReLU后就成为了主流的激活函数。

1.3 池化层

池化层的主要作用是降低卷积层输出信息。图像输入维度一般比较大，需要池化层简化输出信息，便于后续处理，其计算过程如图2所示。

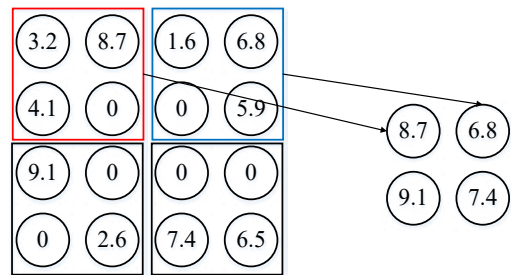


图2 池化层计算示意图

Fig.2 Schematic diagram of pool layer calculation

上图的最大池化操作将输入信息缩减为原来的四分之一。池化操作除了最大池化，还有最小值池化和平均池化等方法。

2 国内外发展现状

针对移动设备包括手机等应用，三星电子提出了用于移动产品的高能效神经网络处理单元，包括1024个MAC单元，工艺制程为8nm CMOS，能耗比达到11.5TOPS/W^[7]。中科院计算所在2014、2015年提出了DianNao、DaDianNao、PuDianNao和ShiDianNao。

面向自动驾驶应用，东芝推出了包括深度学习加速单元和图像信号处理器的多核SoC，包括10个处理器、4个DSP和8个不同类型的加速器^[8]。NVIDIA开发了Tesla V100，新增Tensor Core单元，Tensor性能可达120TOPS。地平线公司推出了征程和旭日两

款自动驾驶芯片，可以处理自动驾驶图像识别以及自动决策任务，功耗小于500mW，支持1080p图像30帧处理。

面向航天应用的卷积神经网络加速器目前在国内外仍为空白，航天应用需求迫切，需结合具体应用尽快进行适应航天特点的卷积神经网络加速器设计。

3 卷积神经网络加速器结构设计

卷积神经网络加速器是一款针对卷积神经网络推理操作的硬件加速器，为卷积神经网络计算包括卷积层、全连接层、激活函数层以及池化层等计算提供硬件加速。本加速器可以灵活支持不同输入尺度、不同卷积核尺寸的网络结构。整体框架如图3所示。

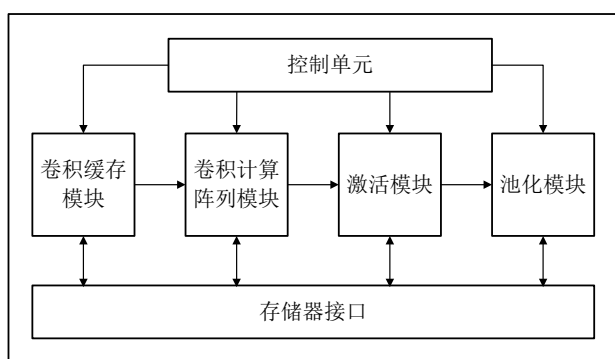


图3 卷积神经网络加速器整体结构

Fig.3 Convolution neural network accelerator overall structure

控制单元接收主控处理器发送的寄存器配置信息从而调度整个加速器，卷积缓存从DDR读取数据存入内部缓存，为卷积计算阵列模块提供高带宽的数据，卷积计算阵列做完卷积操作后可进行激活或池化处理。激活模块仅支持RELU操作，面向单个数据点操作；池化模块内部包括缓存以及比较单元，支持最大最小池化操作，面向二维数据操作；存储器接口为标准AXI接口，可直接与外部DDR控制器进行连接。卷积神经网络加速器的工作流程为，主控CPU将一次处理的配置信息发送给加速器并发送动作指令，如果前后处理的数据不存在依赖关系则可以继续发送处理信息，这得益于每个模块的配置寄存器都是双缓冲结构，后文详述。当硬件完成本次处理时会触发一

个中断，主控处理器处理中断并开始下一次处理。

加速器有两种工作模式：独立模式和联合模式。独立模式是指每个模块都可以被配置执行的时间和任务，各自按照相应的任务完成操作。独立模式各模块开始和结束的标志是存储器操作。联合模式与独立模式不同在于数据可以在模块间传递，减少了各模块对存储器的操作，节省了访问外存的功耗和时间。

3.1 卷积缓存

卷积缓存主要包括特征图和权重DMA、特征图和权重缓存以及特征图和权重加载器三部分，结构框图如图4所示。

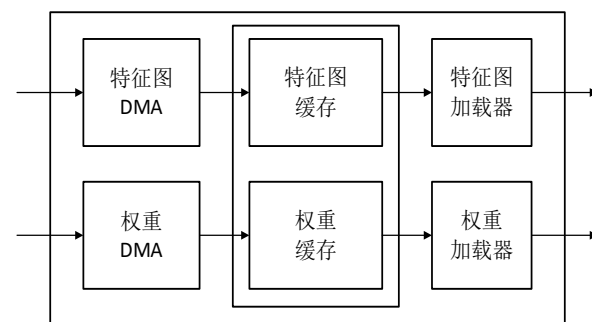


图4 卷积缓存结构图

Fig.4 Convolution cache structure diagram

3.1.1 DMA模块

DMA模块从SRAM/DRAM读取卷积操作的数据，并将其按照卷积引擎的顺序存储到特征图缓存或权重缓存。DMA模块在读取数据前先检查卷积缓存是否包含足够的空间存储数据，如果空间足够则生成读访问请求，缓存读入特征图或权重数据并对特征图或权重数据重排序，当数据接收完成后，生成相应缓存的写地址并将特征图或权重数据写入缓存，写入完成后更新相应缓存状态。

3.1.2 缓存模块

特征图和权重缓存包括128KB的SRAM，SRAM接收DMA传输的图像、特征图和权重数据。特征图缓存和权重缓存各包含16个bank，每个bank大小为4KB。每个缓存都按照环形缓存动作。新的特征图和权重数据使用增量的入口地址，如果地址已达最大则

返回零地址并继续递增。

3.1.3 加载器模块

加载器模块分为特征图加载器和权重加载器，本模块从缓存加载输入特征数据、图像数据以及权重数据并将其发送到卷积计算阵列单元。加载器首先检查缓存中是否包含足够的特征图和权重，若数据满足条件则生成权重和特征图载入序列，并将两个序列缓存在FIFO当中，检查卷积计算阵列模块工作状态，如果计算模块可以接收新数据则按照相应载入序列加载特征图和权重。

3.2 卷积计算阵列

卷积计算阵列包含256个乘法器以及加法器树，从卷积缓存接收输入数据和权重，当卷积计算阵列工作在独立模式时会将处理结果送回内存；当卷积计算阵列工作在联合模式时将发送给激活模块处理。卷积计算阵列的结构如图5所示。

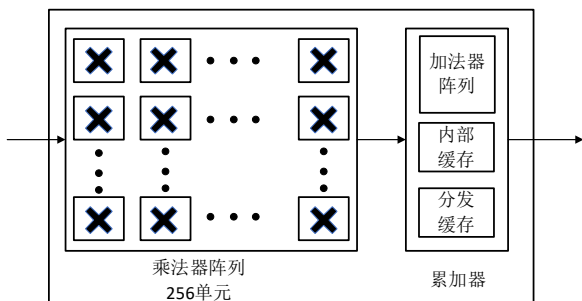


图5 卷积计算阵列模块结构图

Fig.5 Convolution calculation array knot module composition

卷积计算阵列工作流程如下：首先对输入的特征图和权重数据进行初步乘加操作得到部分和，并存入FIFO当中，FIFO中的部分和与累加和一起送进加法器阵列，如果部分和来自第一次操作，累加和应为0。加法器阵列的输出端收集新的累加和并存入模块内的缓存当中，重复上述步骤直到一次操作结束。当操作结束时，加法器阵列的输出结果会被截短，将这些结果收集起来并存储到分发缓存当中，分发缓存根据工作模式将结果发送到SDP或内存。

3.3 乒乓配置寄存器

在传统硬件编程流程中需要首先通过CPU配置硬件的寄存器，设置硬件的使能位，等待硬件产生“done”中断，再使用一套新的寄存器值做下一轮处理。在两次处理之间硬件是闲置的，非常浪费硬件资源，因此本加速器采用乒乓寄存器结构，最大限度利用硬件资源，寄存器结构如图6所示。

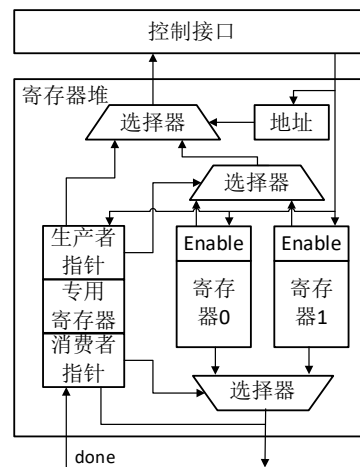


图6 乒乓配置寄存器结构框图

Fig.6 Ping-Pong configuration register structure diagram

每个配置寄存器都包含三个寄存器，两个乒乓寄存器分享同一地址，第三个寄存器是专用寄存器。生产者指针指示了当前处理器接口访问的乒乓寄存器，消费者指针指示了寄存器的数据来源。Enable位由软件配置，CPU将所有区域配置完并使能，硬件处理后会清除enable。当enable置位时对寄存器的写操作会被直接丢弃。消费者指针是只读的，用于检查是哪一个乒乓寄存器在数据通路当中，生产者指针完全由CPU控制，在编程之前应设置为相应的寄存器。对乒乓寄存器的配置流程如下：

- a. 加速器复位之后，寄存器0和寄存器1都处于空闲状态。CPU应当读取相应单元的指针寄存器并设置生产者指针等于消费者指针。
- b. CPU将第一次操作的硬件参数配置到寄存器0，配置完成后，CPU使能该组寄存器enable

- 位，并使能处理操作。
- c. 硬件开始处理第一次操作。
 - d. CPU读状态寄存器确保寄存器1处于空闲状态。
 - e. CPU设置生产者指针为1并将第二次操作的硬件参数写入寄存器1，这些寄存器被编程后，使能寄存器1的enable位。
 - f. CPU通过读取状态寄存器检测寄存器0的工作状态；如果仍在运行，CPU等待中断。
 - g. 硬件完成第一次操作后设置寄存器0在状态寄存器中的状态为空闲，并清除处理操作的使能位。
 - h. 硬件将消费者指针的值变为寄存器1，并检测新组的enable位是否设置，如果使能则马上处理下次操作，否则等待寄存器1的使能。
 - i. 硬件为第一次操作结束触发“done”中断，如果CPU在等待“done”中断信号，则此时可以继续写入下一寄存器值。

4 FPGA原型系统设计及评估结果

为了评估卷积神经网络加速器的性能，我们基于FPGA设计了卷积神经网络处理的基础系统，其基本结构如图7所示。

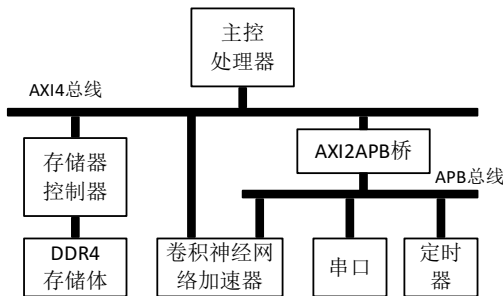


图7 FPGA原型系统结构图

Fig.7 FPGA prototype system structure diagram

本系统由主控处理器、卷积神经网络加速器、DDR4外部存储器以及串口、定时器等模块构成。系统的互联总线采用了SoC设计当中常用的AXI4总线，AXI4是AMBA总线的第四代总线协议，提供了

更高的带宽和更低的设计延迟，采用了独立的读通道与写通道、独立的控制地址通道与数据通道，从而获得了更好的性能。卷积神经网络加速器的数据通路通过AXI4总线与DDR4控制器相连，卷积神经网络加速器与主控处理器共享一部分外存空间从而实现模块间的通讯；卷积神经网络加速器的控制通路符合APB接口，通过AXI2APB桥实现主控处理器与卷积神经网络加速器控制单元的连接。串口用于上位机与FPGA板的通信和调试，定时器用于提供基础的程序性能评估。

在FPGA原型系统当中，我们使用FPGA的内嵌处理器作为主控处理器，卷积神经网络加速器部署在可编程逻辑部分，原型系统的工作频率为200MHz，FPGA开发板如图8所示。



图8 FPGA开发板实物图

Fig.8 FPGA development board

我们基于FPGA的开发环境设计了软件程序，评估了基础卷积、AlexNet第五层卷积以及GoogleNet第二层卷积的运行时间，评估结果如表1所示。

表1 卷积层性能评估结果

Tab.1 Performance evaluation results of convolution layer

特征图(W, H, C)	卷积(C, N)	操作数(MACs)	延时
特征图(8, 8, 32)	卷积(32, 16)	0.3M	0.35ms
特征图(13, 13, 384)	卷积(384, 256)	142M	6.41ms
特征图(19, 19, 64)	卷积(64, 192)	38M	1.98ms

其中特征图 (W, H, C) 分别代表特征图的宽度、高度以及通道数, 卷积 (C, N) 分别代表卷积输入、输出通道数。从结果可以看出我们的实测性能达到22.1GOPS。乒乓缓存结构会增加额外的控制逻辑, 并且配置寄存器所需资源加倍, 这对于配置周期占比很小的网络层并不适用。由于FPGA开发板的可用资源限制以及频率限制, 卷积神经网络原型系统的性能仍可以提高, 下一步我们计划扩展MAC阵列至2048个, 提高系统主频至1GHz, 预计性能可以提高两个数量级。

5 总结

本文设计了基于乒乓缓存的卷积神经网络加速器, 详述了卷积缓存、卷积计算阵列模块以及乒乓寄存器结构, 为卷积神经网络的运行提供了高带宽、高性能、低延迟的专用硬件引擎, 并在FPGA开发板进行了原型验证和评估, 运行频率为200MHz, 实测性能达22.1GOPS。

参考文献 (References)

- [1] Chen T, Du Z, Sun N, et al. Diannao: A small-footprint high-throughput accelerator for ubiquitous machine-learning[C] // ACM Sigplan Notices. ACM, 2014, 49(4): 269–284.
- [2] Chen Y, Luo T, Liu S, et al. Dadiannao: A machine-learning supercomputer[C] // Proceedings of the 47th Annual IEEE/ACM International Symposium on Microarchitecture. IEEE Computer Society, 2014: 609–622.
- [3] Du Z, Fasthuber R, Chen T, et al. ShiDianNao: Shifting vision processing closer to the sensor[C] // ACM SIGARCH Computer Architecture News. ACM, 2015, 43(3): 92–104.
- [4] Liu D, Chen T, Liu S, et al. Pudiannao: A polyvalent machine learning accelerator[C] // ACM SIGARCH Computer Architecture News. ACM, 2015, 43(1): 369–381.
- [5] Sim J, Park J S, Kim M, et al. 14.6 a 1.42 tops/w deep convolutional neural network recognition processor for intelligent ioe systems[C] // Solid-State Circuits Conference (ISSCC), 2016 IEEE International. IEEE, 2016: 264–265.
- [6] Chen Y H, Krishna T, Emer J S, et al. Eyeriss: An energy-efficient reconfigurable accelerator for deep convolutional neural networks[J]. IEEE Journal of Solid-State Circuits, 2016.
- [7] Song J, Cho Y, Park J S, et al. 7.1 An 11.5 TOPS/W 1024-MAC Butterfly Structure Dual-Core Sparsity-Aware Neural Processing Unit in 8nm Flagship Mobile SoC[C] // 2019 IEEE International Solid-State Circuits Conference-(ISSCC). IEEE, 2019: 130–132.
- [8] Yamada Y, Sano T, Tanabe Y, et al. 7.2 A 20.5 TOPS and 217.3 GOPS/mm² Multicore SoC with DNN Accelerator and Image Signal Processor Complying with ISO26262 for Automotive Applications[C] // 2019 IEEE International Solid-State Circuits Conference-(ISSCC). IEEE, 2019: 132–134.



作者简介:

秦智勇 (1992—), 男, 黑龙江省齐齐哈尔市克山县, 硕士研究生, 工程师, 主要从事深度学习加速器研究。

环栅晶体管锗硅沟道输运特性

孙炳奇, 俞少峰, 徐敏, 张卫

(复旦大学微电子学院, 上海 200433)

摘要: 晶体管作为集成电路最小功能单元的器件, 几十年来在按摩尔定律缩微的过程中从平面金属氧化物晶体管发展到今天的鳍型晶体管。在3nm及更先进技术工艺节点下, 环栅晶体管因为栅控能力更好和鳍型宽度可调等优点, 被业界普遍认为将是取代鳍型器件结构的最佳选择。同时, 锗硅化合物作为传统硅基器件的潜在沟道替代材料, 长期受到业界关注。基于Si/SiGe超晶格的环栅工艺制程为引入p-型锗硅沟道晶体管提供便利。本文利用先进的物理数值方法对锗硅沟道器件电学性能进行仿真, 研究了堆叠型环栅晶体管锗硅沟道在量子束缚效应影响下的静电特性及超短沟道的输运特性, 探究了锗硅沟道在3nm及更先进技术节点的应用前景和技术挑战。

关键词: 环栅晶体管; 锗硅; 输运特性

中图分类号: TN43 **文献标识码:** A

Transport Property of Silicon Germanium Channel for Gate-all-around Field-effect Transistor

Sun Bingqi, Yu Shaofeng, Xu Min, Zhang Wei

(School of Microelectronics, Fudan University, Shanghai, 200433, China)

Abstract: As a fundamental building block of integrated circuits, field effect transistor has evolved from planar structure to 3D FinFET architecture during the last decades of Moore's Law scaling. At 3nm technology node or beyond, Gate-All-Around Field Effect Transistor (GAAFET) is widely anticipated as the most likely replacement of FinFET due to its superior gate controllability and flexible width adjustment. For long time, SiGe has been a subject of intensive study as a potential channel material substitution for Si. The GAAFET fabrication process starting from a Si/SiGe superlattice provides a convenient way to integrate SiGe p-channel FET. This paper investigates the electrical characteristics of SiGe channel GAAFET using advanced physical and numerical simulation methods. The focus is on the effects of quantum confinement on device electrostatic and transport behaviors at extremely short channel length, as well as the opportunity and challenges of SiGe channel application at 3nm technology node and beyond.

Keywords: gate-all-around field-effect transistor; silicon germanium; transport property

0 引言

随着集成电路的发展, 器件结构逐渐从二维平面转向三维立体。当工艺节点逼近3nm技术节点时, 由Intel在22nm技术节点推出的鳍型器件 (FinFET) 结构将无法满足不同应用的需求^[1,2], 环栅场效应晶体管 (Gate-All-Around Field Effect Transistor, GAAFET) 结构被认为是未来先进集成电路工艺中最有希望替代FinFET的器件结构^[3-5]。随着器件结构从三面包围转变为四面包围, 量子效应在GAAFET中也显得与FinFET有所不同。同时, 3nm器件的沟道长度预计将会缩短至20nm以下, 载流子从源极到

漏极的输运过程中散射的几率大大下降。在极限情况下, 输运过程不发生任何散射, 即所谓的弹道输运现象。因此GAAFET器件性能的模拟仿真需要使用与FinFET不同的输运模型。GAAFET工艺制程通常首先生长Si/SiGe超晶格, 然后在后续工艺中选择性地去除SiGe层而形成悬空的纳米线或纳米面器件沟道。这种工艺稍加修改, 便可同时产生Si和SiGe不同的沟道, 给Si NMOS和SiGe PMOS异质沟道CMOS技术带来便利。

本文主要通过求解子带玻尔兹曼输运方程

(Sub-bands Boltzmann Transport Equation, sBTE) 的方式进行了Si与SiGe在GAAFET结构下的输运研究。此外, 由于sBTE模型需要求解2D薛定谔方程, sBTE求解效率相较于广泛应用的扩散-漂移(DD)模型要低很多, 因此, 本文还讨论了运用KVM模型对DD模型的修正。KVM模型在原来的迁移率模型基础上, 引入一个表达弹道输运程度的k参数, 通过修正拟合k参数与饱和速率 V_{sat} , 可以很好地复制sBTE结果, 从而从物理原理角度证明了KVM模型可以在DD模型的基础上, 有效地表达在GAAFET结构中载流子输运的情况。从另一方面, 本文选取sBTE作为量子输运的研究手段, 而没有使用物理上更为基本的非平衡态格林函数(Non-Equilibrium Green's Function, NEGF)方法, 主要原因是sBTE仅需对2D薛定谔方程进行求解, 而NEGF需要求解3D薛定谔方程。3/5nm技术节点GAAFET的沟道厚度一般在6nm~7nm之间, 沟道宽度则在十几纳米以上, 这个尺度量级对于NEGF来说需要很高的算力。并且sBTE的计算结果可以与传统的DD模型很好的耦合, 可以为3/5nm技术节点的预研提供良好的物理原理性支持。本文中所使用的TCAD为Synopsys公司的Sentaurus软件^[6]。

1 物理模型及模拟过程

1.1 子带玻尔兹曼方程

对于GAAFET和小尺寸FinFET而言, 电子在输运过程中会通过多个一维的子带, 子带的波函数主要由截面的形状决定。量子扩散法和第一性原理是研究GAAFET沟道中电子输运的两种先进方法, 然而在室温条件下, 半经验多子带玻尔兹曼输运方程(sBTE)和非平衡状态格林函数(NEGF)方法则是更有效的仿真手段。与sBTE相比NEGF是理论上更加先进的方法, 因为NEGF考虑了电子作为波的属性。但在纳米级尺寸的GAAFET器件的仿真中, 选用sBTE更加合适, 原因主要有: 首先, sBTE与NEGF相比需要的算力更小, 因为NEGF需要计算器件中电子波包在器件中的输运过程; 其次, 微观的散射机制与电子声子作用不同, 需要对空间中非局部方

程进行计算, 较难在NEGF中实现。电子的量子输运主要在沟道长度小于10nm情况下比较显著, 因此半经验的多子带玻尔兹曼方程可以与三维泊松方程和二维薛定谔方程结合, 从而比较准确的得到GAAFET结构自连续的子带能量和波方程。sBTE方法求解电子输运, 对算力的需求主要来自于在不同的子带和能量下的微观散射机制与分布函数的计算处理。此外, sBTE方法还可以对栅介质的界面粗糙散射和杂质离子散射机制进行计算。多子带玻尔兹曼方程求解过程中, 子带的能带通过求解三维条件下垂直于沟道的二维截面的泊松方程来得到。在此能带基础上, 根据玻尔兹曼方程求解得到每个子带的载流子分布, 与薛定谔方程求解得到的波函数一起, 作为泊松方程中的载流子浓度。在求解过程中, 电压的每一次变动, 都需要求解一次薛定谔方程、玻尔兹曼方程以及泊松方程, 直到结果收敛, 如图1所示。

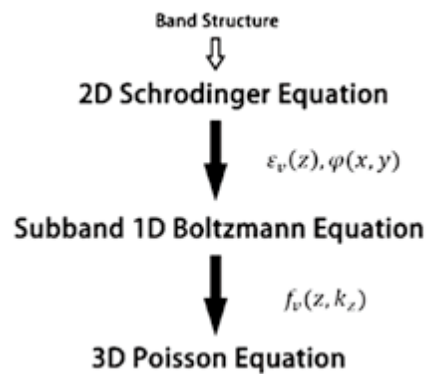


图1 sBTE求解过程

Fig.1 Solution path in sBTE method

在纳米线量子束缚效应下, 通过求解每个截面的2D薛定谔方程, 可以得到这个纳米线结构每个截面的能级和波函数。在一个固定位置z的势能下, 沿着电流的传输方向在能带v里面的电荷为一维传输, 在这一点能量可以表述为。在这个一维的传输沟道上, 电荷的分布函数可以表示为, 其中z为实空间位置, k_z 为k空间沿着沟道方向的波矢。在稳态情况下, 这一波函数需要满足一维玻尔兹曼方程(BTE)^[7], 在沟道方向的表达式为公式(1):

$$\left. \frac{\partial f_V}{\partial t} \right|_c = \frac{1}{h} \frac{\partial \varepsilon_k}{\partial k_z} \frac{\partial f_V(z, k_z)}{\partial z} - \frac{1}{h} \frac{\partial \varepsilon_V}{\partial z} \frac{\partial f_V(z, k_z)}{\partial k_z} \quad (1)$$

其中, $\frac{\partial f_V}{\partial t}$ 是在不同微观散射机制的作用下波函数的变化率, ε_k 是动能。

1.2 模拟有效性验证

为了降低对算力的需求, 本文器件主要使用单一沟道结构进行计算, 在理想状态下多个沟道的输运与单一沟道的输运成倍数关系, 故此使用单一结构能够分析各种GAAFET的器件性能特点, 具体结构如图2所示。此外, 在计算过程中考虑了界面粗糙散射、声子光子散射以及库伦散射对于输运的影响。在sBTE模型中, 除需要考虑散射机制对于输运的影响, 也需要同时考虑电荷屏蔽对于载流子输运的影响。

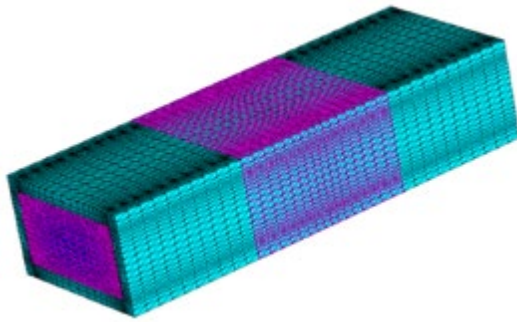


图2 环栅晶体管几何结构及网格
Fig.2 GAAFET structure and mesh

在通过求解sBTE方法分析载流子输运情况之前, 先将sBTE模型的输运结果与已发表的实验结果进行比对^[8], 以证明模拟方法的有效性, 使用的结构如图2所示。为了节省算力, 选取沟道截面为6nm × 10nm的GAAFET器件, 其中栅长12nm与实验所用的尺寸相同, 其他参数与表1中的数值相同。拟合结果如图3所示, 在线性和对数两种坐标表象中, sBTE的结果与实验结果在线性区和饱和区都能很好的吻合。实验结果很好地验证了sBTE所使用的物理模型, 说明基于薛定谔方程、玻尔兹曼方程以及泊松方程的计算体系可以用来预测量子束缚效应比较显著的器件输运。

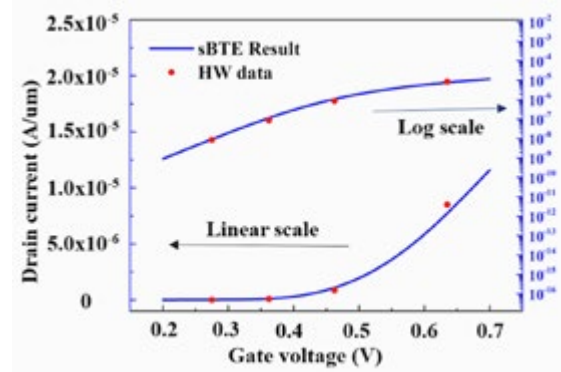


图3 模拟结果与实验数据的对比

Fig.3 Comparison of simulation results with the experimental data

2 锗硅沟道材料仿真结果

2.1 模拟参数

完成了基本模型与实验数据的校准验证后, 本文主要针对纳米片型GAAFET进行计算。器件结构如图2所示, 沟道材料分别为硅和锗硅。沟道截面高度为6nm, 宽度为20nm, 与3nm技术节点器件的沟道尺寸相接近。沟道采用与FinFET技术相同的掺杂, 而源漏的掺杂浓度设置为 $1 \times 10^{20} \text{cm}^{-3}$, 氧化层等效厚度为1nm, 不考虑Nit对于量子输运的影响。表1为本文所使用的参数汇总。

表1 结构及物理参数

Tab.1 Geometric and physical parameters

栅长 (Lg)	13nm, 15nm, 17nm
沟道截面宽度 (Wwire)	20nm
沟道截面高度 (Hwire)	6nm
源漏掺杂	$1 \times 10^{20} \text{cm}^{-3}$
沟道掺杂	无 ($5 \times 10^{15} \text{cm}^{-3}$)
等效氧化层 (EOT)	1nm
电荷屏蔽效应 (Screening effect)	Linard
界面电荷 (Nit)	0
散射机制 (Scattering effect)	界面粗糙散射, 声子光子散射, 库伦散射

2.2 模拟仿真结果

本文主要针对Si、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 和 $\text{Si}_{0.5}\text{Ge}_{0.5}$ PMOS进行研究。栅长分别选取为13nm、15nm和17nm;

V_{dd}设置为0.5V。对于SiGe沟道的GAAFET，功函数选取为4.55eV、4.65eV和4.75eV。

图4展示了沟道材料不同的情况下，器件的开态电流 (I_{ON}) 和关态漏电 (I_{OFF}) 的关系。将同一条件不同栅长的三组器件 I_{ON} - I_{OFF} 结果用线连接在一起，可以看出，在相同的 I_{OFF} 的情况下，SiGe器件展示出了比Si器件更好的 I_{ON} 。这说明在GAAFET结构中，在不考虑Nit影响的情况下，由于较强的量子束缚效应，SiGe在 I_{OFF} 的性能上可以与Si相比拟；而就 I_{ON} 来讲，SiGe作为PMOS具有更高的迁移率，因此具有更高的驱动电流。

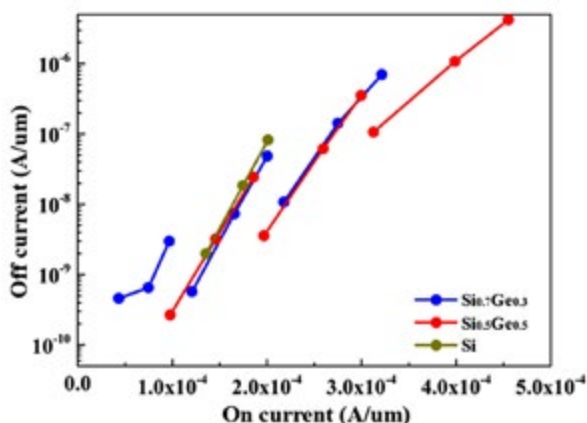


图4 不同栅长与锗百分比下的 I_{ON} - I_{OFF} 曲线

Fig.4 Lgate based I_{ON} - I_{OFF} curves for Si and SiGe of different Ge fractions

此外，从图4还可看出，为了获得相同的 I_{ON} 和 I_{OFF} ，所需要的金属功函数的值随着Ge摩尔百分比的增加而有所降低。这说明使用SiGe沟道不仅会有更好的 I_{ON} - I_{OFF} 性质，还可能在金属栅功函数的要求上具有更高的灵活性。

如图5所示，通过调节功函数，将Si、Si_{0.7}Ge_{0.3}和Si_{0.5}Ge_{0.5}的曲线调制在可以相比较的区域内，可以看出Si_{0.5}Ge_{0.5}在低功耗应用区域相比于Si和Si_{0.7}Ge_{0.3}不具有优势，而在低阈值电压的应用区域相比于另外两种器件情况则具有更大的 I_{ON} ，主要原因是随着Ge摩尔百分比的增加，SiGe材料体系的禁带会变小，因此在低功耗应用区域Si_{0.5}Ge_{0.5}不具有优势。

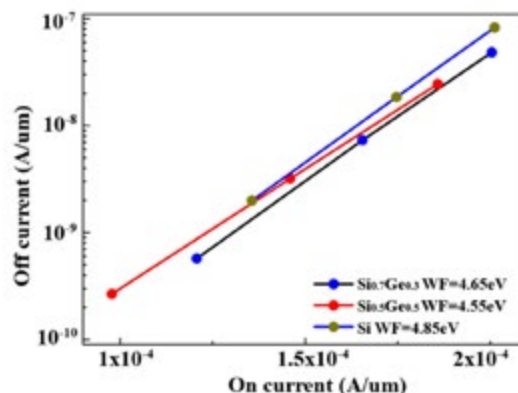


图5 不同功函数与锗百分比情况下 I_{ON} - I_{OFF} 曲线

Fig.5 Work-function adjusted I_{ON} - I_{OFF} comparison for Si and SiGe of different Ge fractions

3 结论

本文通过成熟的TCAD仿真软件，基于sBTE的输运求解方法，针对SiGe PMOS在不同Ge百分比的情况下的输运特点，分析了环栅晶体管结构中SiGe作为高迁移率沟道材料的应用。在低功耗应用领域，较低的Ge百分比具有优势，主要原因在于禁带宽度的变化。虽然量子束缚效应会增加禁带宽度，进而减小漏电流，但是随着Ge的摩尔百分比增加，禁带宽度减小，使漏电流增加，所以在低功耗应用中可以选用Ge摩尔百分比小的SiGe或者Si作为沟道材料；而在高性能的应用中，较大的Ge浓度会增加晶体管的驱动电流。由于在同一Si与Ge的超晶格结构中，不同区域采取不同摩尔百分比比较难，因此较好的PMOS组合为低功耗Si PMOS以及高性能Si_{0.5}Ge_{0.5} PMOS。具体应用中Ge的摩尔百分比还需要结合应力工程、功函数调制以及其他工艺的影响综合考虑。

参考文献 (References)

- [1] AUTH C, ALLEN C, BLATTNER A, et al. 2012. A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors [C] // IEEE; 2012 Symposium on VLSI Technology (VLSIT). 131-132.
- [2] AUTH C, ALIYARUKUNJU A, ASORO M, et al.

2017. A 10nm high performance and low-power CMOS technology featuring 3rd generation FinFET transistors, Self-Aligned Quad Patterning, contact over active gate and cobalt local interconnects [C] // IEEE; 2017 IEEE International Electron Devices Meeting (IEDM), 29.21.21–29.21.24.
- [3] MERTENS H, RITZENTHALER R, CHASIN A, et al. 2016. Vertically stacked gate-all-around Si nanowire CMOS transistors with dual work function metal gates [C] // IEEE; Electron Devices Meeting (IEDM), 2016 IEEE International. 19.17.11–19.17.14.
- [4] MERTENS H, RITZENTHALER R, PENA V, et al. 2017. Vertically stacked gate-all-around Si nanowire transistors: Key Process Optimizations and Ring Oscillator Demonstration [C] // IEEE; Electron Devices Meeting (IEDM), 2017 IEEE International. 37.34.31–37.34.34.
- [5] RITZENTHALER R, MERTENS H, PENA V, et al. 2018. Vertically Stacked Gate-All-Around Si Nanowire CMOS Transistors with Reduced Vertical Nanowires Separation, New Work Function Metal Gate Solutions, and DC/AC Performance Optimization [C] // IEEE; 2018 IEEE International Electron Devices Meeting (IEDM). 21.25.21–21.25.24.
- [6] www.synopsys.com/silicon/tcad/device-simulation/sentaurus-device.html
- [7] H. U. Baranger and J. W. Wilkins, Ballistic electrons in an inhomogeneous submicron structure: Thermal and contact effects, Phys. Rev. B, vol. 30, no. 12, pp. 7349–7351, Dec. 1984.
- [8] N. Loubet et al., Stacked nanosheet gate-all-around transistor to enable scaling beyond FinFET, 2017 Symposium on VLSI Technology, Kyoto, 2017, pp. T230–T231, doi: 10.23919/VLSIT.2017.7998183.

**作者简介：**

孙炳奇（1990—），男，上海市人，硕士研究生，主要研究方向为3/5nm环栅晶体管的器件结构及工艺流程。

磁随机存储器及其辐射效应研究现状分析

王碧, 王昭昊, 赵巍胜

(北京航空航天大学 集成电路科学与工程学院, 北京 100191)

摘要: 磁随机存储器依赖自旋电子存储数据, 具有很强的抗辐射能力及巨大的空间应用潜力。随着工艺尺寸的降低, 面临低功耗、高集成度的需求, 新的磁存储机理及结构不断被提出。磁存储单元的结构也越来越复杂, 纳米尺寸器件的辐射效应研究不容忽视。本文从磁随机存储器发展现状、磁存储单元辐射效应及磁随机存储器产品的辐射效应研究三个方面进行评述, 为磁随机存储器在航天领域的应用提供数据参考。

关键词: 磁随机存储器; 辐射效应; 总剂量效应; 单粒子效应

中图分类号: TN43

文献标识码: A

Research Progress of Magnetic Random Access Memory and Its Radiation Effects

Wang Bi, Wang Zhaohao, Zhao Weisheng

(School of Integrated Circuit Science and Engineering, Beihang University, Beijing, 100191, China)

Abstract: Magnetic random access memory relies on spin electron to store data, which has strong radiation resistance and great space application potential. With the decreasing process, new magnetic storage mechanism and structure are constantly proposed in order to satisfy demands of low power consumption and high integration. As magnetic storage units are becoming more and more complex, radiation effects of nanoscale devices should not be neglected. In this paper, the development of magnetic random access memory, its radiation effect and the radiation effect of products are reviewed. It provides data reference for the application of magnetic random access memory in aerospace.

Key words: magnetic random access memory; radiation effects; total dose effect; single event effect

0 引言

随着航空航天技术的发展以及对深空领域的探测, 存储器作为在轨卫星的重要部件, 需要具有大容量、高性能、抗辐照等特点^[1]。然而, 随着半导体工艺尺寸的微缩, 传统存储器面临漏电流增大、可靠性降低、易受空间高能粒子干扰等问题, 无法满足航天需求。与传统存储器不同, 新型存储技术不依赖于电荷存储, 因此对于空间辐射效应具有更强的抗辐射能力, 更适合应用于航天领域。特别是, 磁随机存储器 (Magnetic Random Access Memory, MRAM) 利用自旋电子存储数据, 具有非易失、读写速度快、耐用性强以及零静态功耗等优势, 已经在航空航天领域有所应用。2008年, 日本卫星SpriteSat首次将Freescale公司的4Mb MRAM应用于航天领域, 可同

时代替Flash和电池供电的SRAM。2013年欧洲空客A350飞机开始采用自旋芯片控制系统。2016年, 美国Honeywell公司的抗辐照MRAM产品通过美国国防后勤局的质量体系认证。此外, 2018年美国国家航空航天局 (NASA) 推出的MURI计划, 明确新器件及新工艺超小器件的辐射效应为主要研究内容^[2]。

随着磁存储技术的不断发展, 新的磁存储机理及结构不断被提出, 纳米级尺寸的器件结构也越来越复杂, 空间辐射效应对其影响不容忽视。

1 MRAM发展现状

1.1 磁隧道结的研究进展

MRAM是基于隧穿磁阻效应 (Tunnel Magnetoresistance, TMR), 利用自旋电子实现

数据存储。TMR是一种磁阻效应,存在于磁隧道结(Magnetic Tunnel Junction, MTJ)中。MTJ是由自由层、绝缘层及固定层组成的三明治结构。TMR效应使得自由层的磁化方向发生变化,当自由层的磁化方向平行于固定层时,MTJ呈现低阻态,代表存储数据“0”。反之,则为高阻态,存储数据“1”。

根据稳定状态下磁化方向的不同,MTJ可分为面内MTJ(In-plane MTJ, IMTJ)和垂直MTJ(Perpendicular MTJ, PMTJ)^[3],如图1所示。其中,IMTJ稳定状态下自由层和固定层的磁化方向是在薄膜平面内,即呈现面内磁各向异性(In-plane Magnetic Anisotropy, IMA);而PMTJ稳定状态下自由层和固定层的磁化方向垂直于薄膜平面,即呈现垂直磁各向异性(Perpendicular Magnetic Anisotropy, PMA)。



图1 MTJ结构图 (a) IMTJ (b) PMTJ

Fig.1 Structure of MTJs (a) IMTJ (b) PMTJ

早期的MRAM均采用IMTJ,主要的优势在于工艺易于实现。IMTJ的存储寿命取决于热稳定性势垒和磁各向异性场。IMTJ的热稳定性势垒取决于自由层的形状各向异性(Shape Anisotropy)。但是,IMTJ存在以下问题:首先,器件结构通常采用椭圆形来获得足够的热稳定性势垒,无法满足高集成度的需求。其次,有效退磁场会导致临界翻转电流增大,增加功耗。这些问题严重地限制了IMTJ在高容量、低功耗存储领域应用。

为了解决IMTJ系列问题,研究人员开始寻求可代替技术来满足小型化的需求,PMA受到广泛关注。其自由层的磁各向异性来自于体磁各向异性或者

界面磁各向异性,因此不需要较大的长宽比来维持热稳定性势垒。通常PMTJ采用圆形而不是椭圆形。当器件尺寸较小时,圆形结构的MTJ远比椭圆形结构更容易制备。因此,基于PMTJ的MRAM具有实现更高集成度的潜力。

1.2 MRAM的研究进展

按照不同的写入方式,MRAM可以分为三类,分别为磁场写入、自旋转移矩(Spin Transfer Torque, STT)写入以及自旋轨道矩(Spin Orbit Torque, SOT)写入。下面分别介绍这三种写入方式的特点。

1.2.1 磁场写入MRAM

第一代MRAM利用导线通入电流感生的磁场使得磁存储单元的存储状态发生改变,实现“0”和“1”存储。所以在写入时需要在字线(word line)和位线(bit line)通入电流。但是,磁场写入的MRAM存在半选干扰(Half-selectivity Disturbance)问题,即当选中某一存储单元时,其所连接的字线和位线均通入电流,使得其交叉处的MTJ被写入。这个写入电流要足够大以保证能够正确写入数据,然而,如果过大会导致与该存储单元在同一字线(位线)的MTJ状态被改写。所以,对于磁场写入的MRAM其可靠性是主要问题,并且为了完成写入,需要足够的电流,导致字/位过长,影响可集成度,功耗也比较大。

1.2.2 STT写入MRAM

第二代MRAM是利用STT写入方式,通过改变注入电流方向,使得MTJ的自旋方向发生变化,从而实现数据存储,如图2所示。与磁场写入相比,STT避免了对长导线的需求,结构简单,有效缩减了芯片面积,提高集成度,同时解决了临近单元的串扰问题^[4],有望成为真正意义上的“通用存储器”。国外工艺厂商及半导体公司相继投入STT-MRAM的制造。2005年,首款4Kb的STT-MRAM测试片由日本索尼公司制备成功^[5]。2012年11月,首个工业级STT-MRAM存储器芯片由Everspin公司发布,容量

达到64Mbit。2013年12月，在IEDM会议上，东芝公开了只采用STT-MRAM一种存储器代替传统存储器的新计算架构，使得数据处理速度及写入功耗都有明显改善^[6]。2017年8月，Everspin公司对外宣布首款容量为1Gb的STT-MRAM样片研制成功，并且与DDR4接口兼容，有效提高了器件的可靠性及性能，无需使用超级电容或电池进行掉电保护。

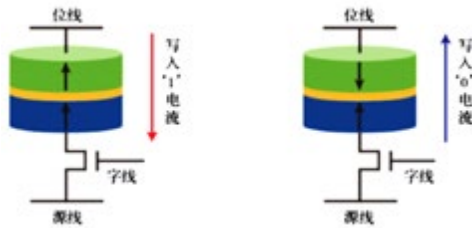


图2 STT写入方式示意图

Fig.2 Schematic diagram of STT writing

截至目前，虽然采用STT写入为MRAM主流写入方式，但是STT-MRAM仍然面临巨大的挑战。与其他新型存储技术相比，STT写入电流相对较小，但是随着工艺尺寸进入纳米级，导致其写入功耗急剧增大。此外，由于热波动引起的写入错误以及过大的写入电流引起势垒层击穿问题，严重影响了STT-MRAM的可靠性。加上读写干扰和写入延迟问题都限制了STT-MRAM的进一步应用和发展。因此，可替代STT存储技术的第三代MRAM被提出。

1.2.3 SOT写入MRAM

2011年Miron^[7]和Liu^[8]等人先后利用拉什巴效应 (Rashba Effect) 和自旋霍尔效应实现SOT快速而可靠的磁化翻转，有望解决STT的瓶颈。

如图3所示，SOT写入技术是在MTJ的自由层下方增加一条重金属层 (Heavy Metal, HM)，可选择铂、钽、钨等金属，流经重金属薄膜的电流能够引发强自旋轨道耦合 (Spin Orbit Coupling, SOC) 作用，以驱动自由层的磁化翻转。当电流流经重金属层时，由于SOC作用导致不同方向的自旋电子发生偏转，使得自旋向上和自旋向下的电子重新排布，沿垂直方向等量上下分布，即产生纯自旋电流。

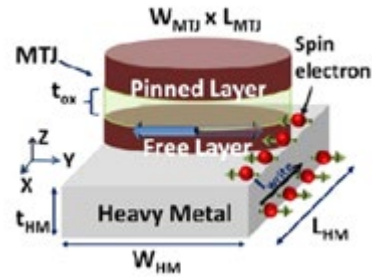


图3 SOT写入方式示意图

Fig.3 Schematic diagram of SOT writing

更重要的是，SOT写入电流不流经MTJ，可以有效避免读电流对MTJ存储状态的影响，同时可以提高MTJ的使用寿命，避免写入电流过大而造成的击穿威胁。此外，由于TMR与绝缘层厚度成正比关系，可以适当增加绝缘层的厚度，有益于降低读错误率，并且增加绝缘层厚度可以降低工艺难度。2018年，IMEC研究中心利用CMOS工艺，在尺寸为300mm的圆片成功研制了SOT-MRAM器件。但是，目前SOT-MRAM仍正处在原型验证阶段，物理机理及芯片制备方面尚存大量的挑战。

2 磁存储单元辐射效应研究现状

随着MTJ的写入方式不断被优化，新材料的引入使得MTJ器件结构越来越复杂，特别是势垒层厚度仅为1~2nm，界面效应决定了器件的存储性能。而空间的高能粒子对界面效应的影响不可忽视，因此，针对不同类型的MTJ开展辐射效应研究十分必要，受到学术界广泛关注。其中包括法国的SPINTEC^[9]，美国的海军研究试验室 (NRL)^[10]、俄勒冈州大学^[11]、加利福尼亚大学^[12]，日本的宇宙航天研究开发机构 (JAXA)^[13]，韩国科学技术研究院 (KAIST)^[14]、^[15]以及北京航空航天大学^[16,17]等高校科研机构。

2.1 国外研究情况

2003年，Conraux等人^[9]对势垒层为Al₂O₃的MTJ进行了快速重离子辐照效应研究。发现随着离子注量的增大，TMR随之减小，损伤不可恢复。其原因是高能离子与势垒层发生混合，产生化学计量修正。另

外也说明了快速重离子束对MTJ性能产生影响。

2012年, Ren等人^[11]对磁场写入的IMTJ进行了辐射效应研究, 包括总剂量效应和中子辐射效应。MTJ的结构为Si/Ru(6)/IrMn(11)/CoFeB(6)/MgO(1.4)/CoFeB(5) (括号内的数字代表厚度, 单位为nm)。总剂量为10Mrad(Si), 研究发现, 辐照后其高低阻态及TMR不受影响。此外, 在中子辐照试验中, 其能量范围为0.1~10MeV, 最高注量达到 $2.9 \times 10^{15}/\text{cm}^2$, 辐照后并未发现磁性和电学特性的变化。同年, Hughes等人^[10]对STT-PMTJ进行了辐射效应研究。总剂量为1Mrad(Si)和10Mrad(Si), 无论是磁学特性还是电学参数均没有变化, 具有较强的抗总剂量性能。另外, 该团队还进行了质子辐照试验, 能量为2MeV和220MeV, 注量最高为 $1 \times 10^{12}/\text{cm}^2$ 。辐照后, PMTJ的翻转特性并未改变。该团队得出的结论是, 在研究中使用的剂量和质子通量值所涵盖的环境中, STT技术具有很强的抗辐射能力, 而应该提高其外围电路的抗辐射性能。

2014年, Kobayashi等人^[13]对PMTJ进行了重离子效应研究, 注入离子为15MeV的Si离子剂量。辐照后, 电阻有1%的减小, 但是热稳定性势垒没有明显改变。

2019年, Park等人^[15]分别对IMA-和PMA-MTJ进行了20MeV质子和20keV Cr离子效应研究, 注量均为 $1 \times 10^{14}/\text{cm}^2$ 。由于质子对MTJ的位移损伤较小, 所以其磁性没有发生变化。但是, 对于Cr离子辐照, IMA-和PMA-MTJ呈现出不同程度的辐照损伤, 与MTJ多层薄膜结构相关。同年, Montoya等人^[12]针对纳米尺寸的PMA-MTJ进行了总剂量试验, 剂量为14.7Mrad(SiO₂)。研究表明, 辐照后纳米器件的TMR、磁化翻转均未发生明显变化, 适合应用于抗辐射神经网络计算领域。

2.2 国内研究情况

2019年, 北京航空航天大学赵巍胜团队^[16,17]针对STT-PMTJ进行了总剂量效应及快速重离子辐照损伤研究。采用的样品为双界面CoFeB-MgO结构, 这

种结构与单界面相比, 可以有效提高热稳定势垒。总剂量辐照范围为5~20Mrad(Si), 辐照后发现矫顽力随着剂量的增大而增大趋势。此外, 当剂量超过247Mrad(Si), 发现其磁性基本消失, 归因于内部应力和热应力的释放破坏了磁性膜层的结构。另一方面, 针对快速重离子辐照效应的研究发现, 能量为1907MeV, 注量为 $1 \times 10^{11}/\text{cm}^2$ 的Ta离子主要影响PMTJ的界面粗糙度。辐照后, 由于界面粗糙度的下降, 导致矫顽力减小。而能量为2060MeV, 注量为 $5 \times 10^{11}/\text{cm}^2$ 的Kr离子主要影响器件的体质量, 辐照后导致饱和磁矩下降, 并且随着注量的增大, 固定层产生柱状多晶态越多, 导致饱和磁矩下降得越显著。但是, 双界面PMTJ器件的电学特性并未受到快速Kr离子的影响。

综上所述, 不同磁性材料对辐射的响应不同, 一般不能预测。即使在相同的辐照条件下, 不同器件结构及类型的MTJ呈现出的抗辐射能力也是不尽相同。

3 MRAM产品辐射效应研究现状

3.1 国外研究情况

2007年, Nguyen等人^[18]利用Freescale公司的磁场写入的MRAM产品进行了总剂量效应和单粒子效应的评估试验。产品型号为MR2A16A, 采用90nm CMOS工艺。研究发现, 样品在辐照剂量为40krad(Si)时, 能够正确地完成动态读、写操作。当剂量大于45krad(Si)时, 器件开始出现读错误。此后通过室温退火720h, 所有器件的读功能均恢复。此外, 对该型号的MRAM还进行了单粒子门锁(Single Event Latchup, SEL)试验。利用不同LET的粒子辐照器件, 其中包括Ne、Ar、Cu和Ag离子束。试验结果表明, 该产品对SEL敏感, 当LET仅为 $7\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ 时便观测到了SEL。因此, 为了提高MRAM的抗SEL能力, 可以考虑SOI工艺。

2009年, Katti等人^[19]针对Honeywell公司容量为1Mb MRAM进行了总剂量效应和重离子效应评估。此款产品采用SOI工艺, 相比体硅工艺具有更强的抗

辐射性能。试验表明芯片无论是在读、写操作还是数据保持，其抗总剂量能力可以达到1Mrad(Si)。此外，当LET为 $69\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ 时，芯片的电学特性仍没有明显漂移。如果继续增大辐照强度，LET为 $78\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ ，芯片出现硬错误，其原因是MTJ的绝缘层受到位移损伤。

2010年，Heidecker等人^[20]利用Everspin公司的1MbMRAM产品进行了总剂量效应和单粒子效应研究。研究表明，该产品在总剂量达到75krad(Si)时可以正常工作，但是剂量继续增大后开始出现错误位。此外，采用不同注量的离子Kr、Xe和Au进行了单粒子效应研究。当LET小于 $84\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ 时，该款芯片对SEU和SEL都不敏感。

2012年，Hafer等人^[21]对一款型号为UT8MR8M8产品进行了总剂量效应和单粒子效应的研究。采用错误纠错码(Error Correction Code, ECC)进行加固，保证MRAM阵列写入时的正确性。研究表明，其抗总剂量和抗SEL分别可以达到1Mrad(Si)和 $112\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ 。在读数据时仅发生了一次功能中断。可以推算，如果该产品完成一个15年的航天任务，容量为64Mb的UT8MR8M8，发生SEFI的概率仅有0.0048%。

2013年，Tsiligiannis等人^[22]利用中子和 α 粒子辐照MRAM商用器件。相比静态模式，此款产品在读数据时更加敏感，因为读电流的幅值与辐射粒子所引起的寄生电流为同一量级。此外，静态模式具有更高的辐射鲁棒性，这是因为MTJ利用磁场写入，需同时保证字线和位线的电流同步才能MTJ的状态改变。而辐射电流仅影响一个支路的电流，不足以使得MTJ的磁化方向改变。此款芯片能够容忍80MeV的中子辐照，不会引起任何错误。

2017年，Katti等人^[23]针对Honeywell公司的16Mb MRAM进行了单粒子效应的研究。此款产品采用抗辐射加固技术及150nm的SOI工艺实现。通过不同LET的Ne、Ar、Kr、Xe、He、Ta和Au离子辐照样品，发现MTJ的阻态发生不可恢复的变化。表明MTJ本身并不是对重离子效应不敏感，重离子效应

的能量传递仍然可能对MTJ造成损坏。

3.2 国内研究情况

国内对MRAM产品辐照效应研究起步较晚。2016年中国科学院微电子研究所的研究人员针对两种不同工艺尺寸的MRAM进行总剂量效应研究。试验结果表明，由于MTJ的自由层受到了磁康普顿散射的影响，导致数据读取错误^[24,25]。随后，中国科学院新疆理化技术研究所的研究人员对Everspin公司的MRAM(型号MR25H10)进行 ^{60}Co γ 射线和电子束辐照，研究发现，剂量为40krad(Si)的辐照条件下，MRAM产生功能性错误，此错误归因于外围CMOS控制电路的损伤^[26]。2019年中国科学院近代物理研究所的研究人员针对工艺尺寸为180nm的MRAM存储单元开展重离子效应损伤研究，发现硬错误的产生是由于MTJ势垒层发生位移损伤^[27]。

总之，虽然商用MRAM与传统存储器相比，抗辐射性更强。但是，其外围电路仍基于CMOS工艺实现，一定程度限制了商用产品的抗辐射能力。

4 结束语

虽然MRAM的抗辐射性能与传统存储器相比具有显著优势，但是随着CMOS工艺尺寸微缩，除了考虑外围CMOS电路易受空间粒子的干扰，纳米级尺寸的MTJ器件同样具有辐射敏感性，不容忽视。研究表明，辐射类型、粒子能量和注量、合金成分和结构、固有结构的有序和无序程度以及材料系统的尺寸对MTJ的器件磁性均有影响。MTJ在总剂量效应及高能量、高注量的重离子效应的影响下，其电学特性和磁学特性均存在漂移现象。特别是，不同写入方式、不同结构类型的MTJ抗辐射性能不同，对MTJ器件辐射效应研究具有重要研究意义。但是，目前辐射效应研究通常针对宏观磁性及电学参数测试分析，对辐照试验现象的解释仍处于定性阶段，缺少微观理论分析。因此，需要从微观方面探究MTJ辐照损伤机理，才能有效地解决航空航天领域抗辐射加固的关键基础科学问题。

致谢: 感谢航天科技九院科技委赵元富研究员对本论文的指导, 感谢北京微电子技术研究所王亮研究员、郑宏超、毕潇、穆里隆以及中科院近代物理研究所翟鹏飞等人协助完成辐照效应试验。

参考文献 (References)

- [1] Li P, Dang W, Qin T. A Competing Risk Model of Reliability Analysis for NAND-Based SSDs in Space Application[J]. IEEE Access, 2019, 7: 23430–23441.
- [2] 陈伟, 杨海亮, 郭晓强, et al. 空间辐射物理及应用研究现状与挑战[J]. 科学通报, 2017, 62(10):18–29.
- [3] Peng S, Zhang Y, Wang M, et al. Magnetic Tunnel Junctions for Spintronics: Principles and Applications, 2014, DOI: 10.1002/047134608X.W8231.
- [4] Bhatti S, Sbiaa R, Hirohata A, et al. Spintronics based random access memory: a review[J]. Materials Today, 2017, 20(9): 530–548.
- [5] Nam K T, Oh S C, Lee J E, et al. Switching Properties in Spin Transfer Torque MRAM with sub-50nm MTJ size[C] // Non-Volatile Memory Technology Symposium, 2006. NVMTS 2006. 7th Annual. IEEE, 2006.
- [6] Hosomi M, Yamagishi H, Yamamoto T, et al. A novel nonvolatile memory with spin torque transfer magnetization switching: Spin-RAM[C] // In: Proceedings of IEEE International Electron Devices Meeting. Washington, 2005: 459–462.
- [7] Mihai M I, Gaudin G, Auffret, St é phane, et al. Current-driven spin torque induced by the Rashba effect in a ferromagnetic metal layer[J]. Nature Materials, 2010, 9: 4–4.
- [8] Liu L, Lee O J, Gudmundsen T J, et al. Current-Induced Switching of Perpendicularly Magnetized Magnetic Layers Using Spin Torque from the Spin Hall Effect[J]. Physical Review Letters, 2012, 109(9): 096602.
- [9] Conraux Y, Ye L X, Wu T H et al. Effects of swift heavy ion bombardment on magnetic tunnel junction functional properties[J]. Journal of Applied Physics, 2003, 93(10):7301.
- [10] Hughes H, Bussmann K, McMarr P J, et al. Radiation Studies of Spin-Transfer Torque Materials and Devices[J]. IEEE Transactions on Nuclear Science, 2012, 59(6):3027–3033.
- [11] Ren F, Jander A, Dhagat P, et al. Radiation Tolerance of Magnetic Tunnel Junctions with MgO Tunnel Barriers[J]. IEEE Transactions on Nuclear Science, 2012, 59(6):3034–3038.
- [12] Montoya E A, Chen J R, Ngelale R, et al. Immunity of nanoscale magnetic tunnel junctions to ionizing radiation[J]. 2019, arXiv:1909.11360.
- [13] Kobayashi D, Kakehashi Y, Hirose K, et al. Influence of heavy ion irradiation on perpendicular-anisotropy CoFeB/MgO magnetic tunnel junctions[C] // IEEE 14th European Conference on Radiation and Its Effects on Components and Systems (RADECS), 2014.
- [14] D.-J. Kim, J.-S. Park, H.-J. Ryu, J.-R. Jeong, C.-K. Chung, and B.-G. Park, Effect of proton irradiation on the magnetic properties of antiferromagnet/ferromagnet structures[J]. Journal of Magnetism, 2016, 21 (2): 159–163.
- [15] Park J Y, Kim J M, Ryu J, et al. Effects of proton and ion beam radiation on magnetic tunnel junctions[J]. Thin Solid Films, 2019, 686 (0040–6090):137432.
- [16] Wang B, Wang Z H, Cao K H, et al. Effects of Gamma Irradiation on Magnetic Properties of Double-Interface CoFeB/MgO Multilayers [J]. IEEE Transactions on Nuclear Science, 2019, 66(1):77–81.
- [17] Wang B, Wang Z H, Du A, et al. Radiation impact of swift heavy ion beams on double-interface CoFeB/MgO magnetic tunnel junctions[J]. Apply Physics Letter, 2020, 116: 172401.
- [18] Nguyen D N, Irom F. Radiation effects on MRAM[C] // European Conference on Radiation & Its Effects on Components & Systems. IEEE, 2009.
- [19] Katti R R, Lintz J, Sundstrom L, et al. Heavy-ion and Total Ionizing Dose (TID) performance of a 1 Mbit Magnetoresistive Random Access Memory (MRAM)[C] // IEEE Radiation Effects Data Workshop. IEEE, 2009.
- [20] Heidecker J, Allen G, Sheldon D. Single Event Latchup (SEL) and Total Ionizing Dose (TID) of a 1 Mbit Magnetoresistive Random Access Memory (MRAM)[J]. 2010.
- [21] Hafer C, Thun M V, Mundie M, et al. SEU, SET, and SEFI Test Results of a Hardened 16Mbit MRAM Device[C] // Radiation Effects Data Workshop. IEEE, 2012.

- [22] Tsiliogiannis G, Dilillo L, Bosio A, et al. Testing a Commercial MRAM Under Neutron and Alpha Radiation in Dynamic Mode[J]. IEEE Transactions on Nuclear Science, 2013, 60(4): 2617–2622.
- [23] Katti R R. Heavy-Ion Device Cross-Section Response in Magnetic Tunnel Junctions for a Radiation Hardened 16Mb Magnetoresistive Random Access Memory (MRAM) [C] // Radiation Effects Data Workshop. 2017.
- [24] Zhang H, Bi J, Wang H, et al. Study of total ionizing dose induced read bit errors in magneto-resistive random access memory[J]. Microelectronics Reliability, 2016, 67:104–110.
- [25] Cui Y, Yang L, Gao T, et al. Total ionizing radiation-induced read bit-errors in toggle magnetoresistive random-access memory devices[J]. Chinese Physics B, 2017, 26(8):087501
- [26] Zhang X Y, Guo Q, Li Y D, et al. Total ionizing dose and synergistic effects of magnetoresistive random-access memory[J]. Nuclear Science and Techniques, 2018, 29(08):32–36.
- [27] Zhao P X, Liu T Q, Cai C, et al. Heavy ion irradiation induced hard error in MTJ of the MRAM memory array[J]. Microelectronics Reliability, 2019, 100(101):113347.



作者简介:

王碧(1989—),女,黑龙江省鸡西市人,博士,主要研究方向:自旋器件辐射效应研究及非易失自旋存储器抗辐射加固电路设计。

高压SOI pLDMOS电离辐射总剂量效应研究

王钊, 周 鑫, 师锐鑫, 乔 明, 张 波

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 本文对高压SOI pLDMOS器件总剂量辐射效应进行了研究。分析了不同偏置条件On态与Off态下器件的阈值电压、导通电阻和击穿电压的退化机理, 并使用Sentaurus TCAD通过在不同氧化层界面引入固定陷阱电荷进行电离辐射总剂量效应模拟仿真。分析结果表明, 在总剂量为300krad(Si)时, On态下器件导通电阻增大30%, 相比Off态退化更为严重; Off态下器件阈值电压增加0.25V, 击穿电压下降36%, 相比On态退化更为严重。On态下辐射陷阱电荷主要产生在栅氧化层, Off态下辐射陷阱电荷主要产生在埋氧化层和场氧化层, 因此导致了两种偏置态下器件特性辐射退化程度不同。

关键词: 高压SOI pLDMOS; 耐压; 总剂量效应; 多界面损伤

中图分类号: TN386.1 **文献标识码:** A

Research on the Total Ionizing Dose Effect of High Voltage SOI pLDMOS

Wang Zhao, Zhou Xin, Shi Ruixin, Qiao Ming, Zhang Bo

(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu, 610054, China)

Abstract: In this paper, the total dose radiation effect of high voltage SOI pLDMOS devices is studied. The degradation mechanism of threshold voltage, on-state resistance and breakdown voltage of devices under different bias conditions is analyzed. And the total dose effect is simulated by introducing fixed trap charges at different oxide interfaces using Sentaurus TCAD. The analysis results show that when the total dose is 300krad(Si), the on-resistance of the device increases by 30% while total dose is 300krad, more serious than that for the off-state. For the Off-state, the threshold voltage increases by 0.25V, and the breakdown voltage decreases by 36%, which is more serious than that for the On-state. Radiation trap charges are mainly generated in gate oxide layer for the On- state and in the buried oxide layer and the field oxide layer for the Off state, which leads to different degradation degrees of device characteristics.

Key words: high voltage SOI pLDMOS; breakdown voltage; total ionizing dose effect; multiple interface damage

0 引言

LDMOS晶体管具有开关速度快、易于集成等优点, 被广泛应用在航空航天功率集成电路中^[1]。总剂量电离辐射效应 (Total-ionizing-dose, TID) 是常见的导致功率半导体器件损伤的辐射原因之一^[2-7]。相比于传统的MOS器件和VDMOS器件, SOI LDMOS器件存在三种不同的Si/SiO₂界面^[8], 且占据着版图中大量的面积, 因此面临更为严重的可靠性问题。

目前关于开关器件辐射损伤效应的研究, nLDMOS器件报道较多^[9-11], pLDMOS器件研究鲜有报道。由于pLDMOS工作在负压偏置条件下, 其辐

射电荷密度分布及辐射损伤程度与nLDMOS差异较大。本文通过电离辐射总剂量实验, 分析了不同偏置条件下, 不同辐射剂量对高压SOI pLDMOS器件的阈值电压、导通电阻和击穿电压的影响及其机理, 提取了相关辐射陷阱电荷密度, 并通过TCAD仿真软件进行了验证。

1 器件结构和实验条件

本文设计的SOI pLDMOS器件如图1所示。其中图1(a)是器件的二维结构示意图。此结构采用薄层双阱结构设计, 源极场板延伸至漂移区上方来优化表面电场分布, 提高器件初始的击穿电压, 并把源电极和体电极进行短接。图1(b)是通过扫描电子显微镜

(SEM) 观测到的器件表面结构图。

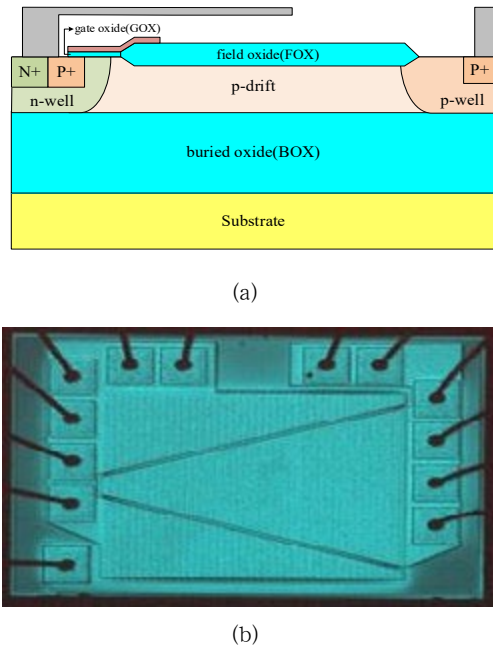


图1 SOI pLDMOS (a) 二维结构示意图 (b) SEM 图

Fig.1 SOI pLDMOS (a) Two-dimensional structure diagram and (b) SEM diagram

实验采用的辐射源为⁶⁰Co γ射线，剂量率为50rad(Si)/s。实验分为两组偏置条件进行：On态和Off态，具体偏置条件电位大小如表1所示，两组辐射实验的最高累积量为300krad(Si)。

表1 辐射实验时器件偏置条件

Tab.1 Bias conditions of devices in radiation experiment

电极电压	漏极电压	栅极电压	源极电压	衬底电压
	V_d/V	V_g/V	V_s/V	V_{sub}/V
On 态	0	-20	0	0
Off 态	-40	0	0	0

2 辐射机理和器件工艺优化

图2为SOI pLDMOS器件多界面辐射损伤机理示意图。电离辐射总剂量效应产生的陷阱电荷主要包括 ΔQ_{GOX} 、 ΔQ_{BOX} 和 ΔQ_{FOX} ，分别分布在栅氧化层(GOX)、埋氧化层(BOX)和场氧化层(FOX)内。带正电的氧化层陷阱电荷在体内产生相同密度的

镜像负电荷，通过影响器件的表面电场和纵向电场分布以及载流子浓度，导致阈值电压、导通电阻和击穿电压退化。

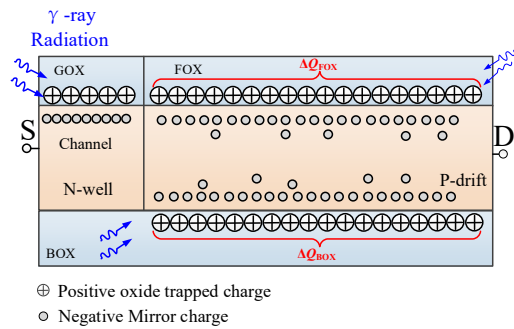


图2 SOI pLDMOS总剂量辐射损伤机理示意图

Fig.2 Schematic of TID damage mechanism for SOI pLDMOS

在对器件进行工艺优化时，针对不同漂移区长度改变漂移区的p型杂质离子注入剂量，目的在于获得SOI pLDMOS器件的最优击穿电压值，确保器件表面电场分布均匀。

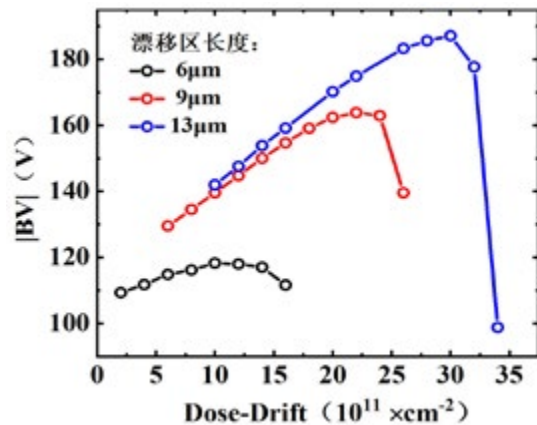


图3 不同漂移区长度下耐压和漂移区掺杂浓度关系仿真图
Fig.3 Simulated breakdown voltage versus the doping concentration of drift region

图3给出了不同漂移区长度下耐压随漂移区掺杂浓度变化的仿真结果，器件的击穿电压随着杂质浓度的增加先升高后降低。当漂移区掺杂浓度较低，器件漂移区由于耗尽过快而提前击穿；当漂移区掺杂浓度过高，器件漂移区未发生全耗尽而导致器件耐压降低。本文总剂量辐射实验选取的器件漂移区长度为9μm，最优的击穿电压的绝对值为163V。

3 辐射实验结果和分析

图4为不同辐射偏置条件下器件的转移特性曲线, 其中图4(a)为On态情况, 图4(b)为Off态情况。在On态, 100krad(Si)时器件的阈值电压负向漂移小于0.05V, 300krad(Si)时阈值电压负向漂移0.07V; 在Off态, 100krad(Si)器件的阈值电压负向漂移0.18V, 300krad(Si)时阈值电压负向漂移0.25V。通过对比可知, 辐射偏置条件为On态时, 器件的阈值电压漂移更小, On态条件下, GOX内的电场分布是由器件表面指向栅极场板, 辐射产生的空穴不易在界面处被捕获, 产生陷阱电荷较少。Off态条件下, GOX内的电场分布与On态相反, 辐射产生的陷阱电荷更多, 因此阈值电压漂移情况更严重。

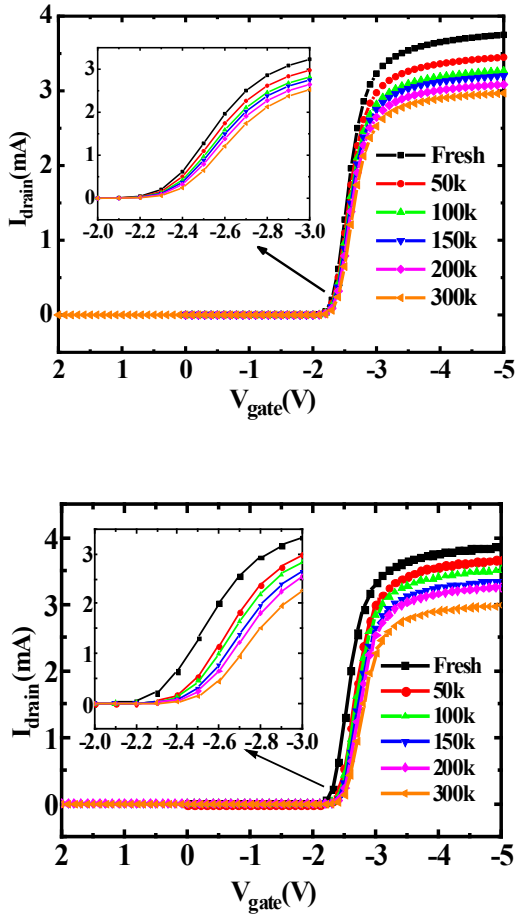


图4 测试的不同辐射剂量下的转移特性曲线 (a) On态 (b) Off态
Fig.4 Measured transfer characteristic curves under different TID for (a) On state and (b) Off state

图5显示了On态条件下测量的阈值电压 V_{th} 及提取的 $\Delta Q_{GOX}/q$ 与TID的关系。GOX陷阱电荷 ΔQ_{GOX} 和阈值电压漂移量 ΔV_{th} 的关系如公式(1)所示。

$$\Delta Q_{GOX} = \Delta V_{th} \cdot C_{GOX} \quad (1)$$

其中GOX电容 C_{GOX} 为 $6.9 \times 10^{-8} \text{F}/\text{cm}^2$ 。当器件辐射累积量从50krad(Si)增加到300krad(Si)时, 阈值电压负向漂移量从0.016V增大到0.073V。可以求得GOX陷阱电荷密度 $\Delta Q_{GOX}/q$ 在50krad(Si)时为 $6.90 \times 10^9 \text{cm}^{-2}$; 在300krad(Si)时为 $3.15 \times 10^{10} \text{cm}^{-2}$, GOX陷阱电荷增加了4.6倍。

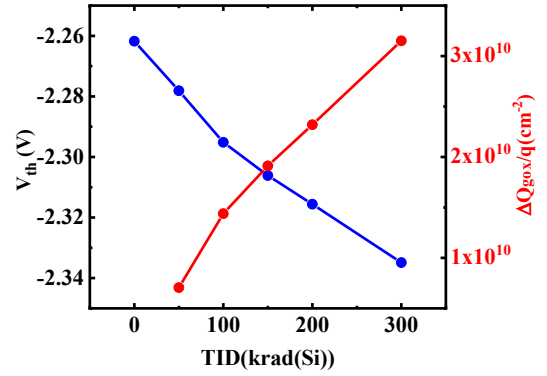


图5 阈值电压 V_{th} 及 $\Delta Q_{GOX}/q$ 与TID的关系

Fig.5 Threshold voltage V_{th} and $\Delta Q_{GOX}/q$ versus TID

公式(2)^[12]给出了GOX等效空穴俘获效率 f_{ot} 与 ΔQ_{GOX} 的关系, 联立公式(1)得到 f_{ot} 与阈值电压漂移量 ΔV_{th} 关系式(3)。

$$\Delta Q_{GOX} = q \cdot g_0 \cdot TID \cdot f_{ot} \cdot \left[\frac{|E_r| + E_0}{|E_r| + E_1} \right]^m \cdot t \quad (2)$$

$$\Delta V_{th} = q \cdot g_0 \cdot TID \cdot f_{ot} \cdot \left[\frac{|E_r| + E_0}{|E_r| + E_1} \right]^m \cdot t^2 / \epsilon \quad (3)$$

其中 q 为电子电荷量, g_0 为电子空穴对产生率, TID为辐射总剂量, E_r 为GOX的纵向电场大小, f_{ot} 为GOX的空穴俘获率, t 为GOX厚度, ϵ 为氧化层的介电常数。对于 ^{60}Co γ 射线, $E_0=0.14 \text{V}/\text{cm}$, $E_1=0.55 \text{MV}/\text{cm}$, $m=0.7$ 。

因此通过计算可得到 f_{ot} , 来评估实验所使用器件的GOX质量^[13]。图6显示了不同厚度栅氧化层的 f_{ot}

与TID的关系，可以看到本文实验器件的 f_{ot} 值小于0.01，氧化层质量较好。

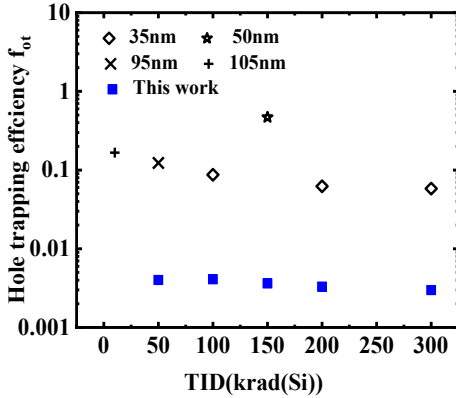


图6 不同氧化层的 f_{ot} 与TID的关系

Fig.6 The f_{ot} of different oxide layers versus TID

电离辐射总剂量实验后，FOX和BOX界面处由辐射陷阱电荷产生的镜像负电荷将影响漂移区载流子浓度，从而改变器件的导通电阻。图7显示了不同偏置条件下器件导通电阻 R_{on} 退化量与TID的关系。器件辐射后测试条件栅极电压为-10V，漏极电压为-0.1V，初始器件的导通电阻 $R_{on}=7.1m\Omega$ 。100krad(Si)后，On态条件下器件导通电阻增加了15%，Off条件下器件的导通电阻增加了10%；300krad(Si)后On态下导通电阻增加30%，Off态导通电阻增加了26%。辐射偏置条件为On态时，器件导通电阻退化更大，辐射损伤更为严重。

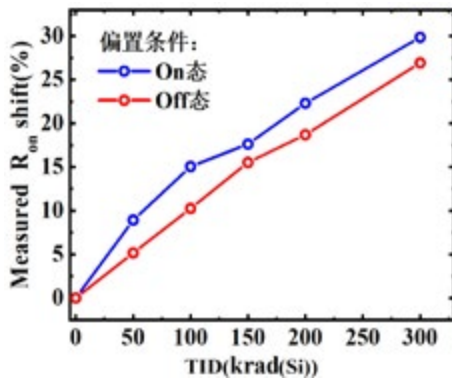


图7 测试的 R_{on} 退化量与TID的关系

Fig.7 Measured R_{on} degradation versus TID

图8显示了不同偏置条件下击穿电压退化量与TID的关系。在100krad(Si)时，On态条件下器件的击穿电压退化了5%，Off态条件下器件的击穿电压退化了10%；300krad(Si)时，On态条件下器件的击穿电压退化了10%而Off态退化了36%。当辐射偏置条件为Off态时，器件整个漂移区的电场分布自上而下，而On态条件下器件的电场主要分布在GOX，漂移区并没有电场分布，因此Off态条件下，FOX和BOX产生的辐射陷阱电荷更多，对导通电阻影响更大。

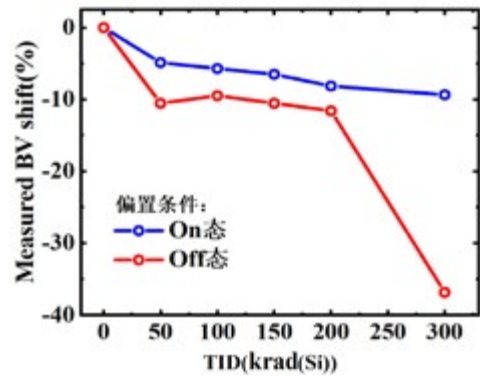


图8 击穿电压退化量与TID的关系

Fig.8 Breakdown voltage degradation versus TID

初步分析可知，总剂量辐射后器件FOX和BOX产生带正电的陷阱电荷，并在漂移区内产生同等密度的镜像负电荷。镜像负电荷通过调制漂移区载流子浓度改变器件表面电场分布，使器件耐压退化。使用TCAD软件自带的固定电荷模型进行仿真验证，同时在栅氧、场氧、埋氧界面引入均匀正陷阱电荷 $Q_{ot} = \Delta Q_{FOX} = \Delta Q_{GOX} = \Delta Q_{BOX}$ （仿真暂未考虑氧化层厚度、电场带来的陷阱电荷不均匀分布），获得不同多界面辐射电荷密度条件下电势场分布变化。从图9仿真结果可以看到，随着辐射陷阱电荷密度增加，器件表面电场发生变化，源端电场峰值逐渐增大，漏端电场峰值逐渐减小，器件耐压随之降低。

4 结论

本文研究了电离辐射总剂量效应对高压SOI pLDMOS器件的影响，通过设置不同的辐射偏置条件进行实验，结果表明SOI pLDMOS的导通电阻在

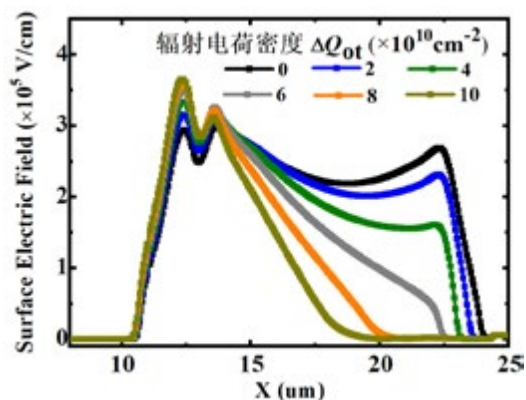


图9 不同辐射电荷密度下的器件表面电场仿真图

Fig.9 Simulated surface electric field with different radiation charge density

On态退化更严重, 阈值电压和击穿电压在Off态退化更严重。对器件的阈值电压、导通电阻和击穿电压的退化机理进行了分析, 并基于TCAD仿真软件在不同氧化层界面添加固定陷阱电荷来模拟电离辐射总剂量效应, 验证了实验结果。

参考文献 (References)

- [1] Shea P M, Shen Z J, et al. Numerical and Experimental Investigation of Single Event Effects in SOI Lateral Power MOSFETs[J]. IEEE Transactions on Nuclear Science, 2011,58(6): 2739–2747.
- [2] Barnaby H J, Barnaby, Total-ionizing-dose effects in modern CMOS technologies[J].IEEE Transactions on Nuclear Science, 2006,53(6): 3103–3121.
- [3] Oldham T R and McLean F B, Total ionizing dose effects in MOS oxides and devices[J], IEEE Transactions on Nuclear Science, Jun. 2003,55(3): 483–499
- [4] Wang Z J, Cheng X H, Xiao C et al, Total ionizing dose effects in high breakdown voltage SOI devices[J], 2014 20th International Conference on Ion Implantation Technology (IIT), 2014,61(6), 1–4.
- [5] Alles M L, Hughes, H, Dennis R B. Total-Ionizing-Dose Response of Narrow, Long Channel 45 nm PDSOI Transistors[J]. IEEE Transactions on Nuclear Science, 2014,61(6), 2945–2950.
- [6] 王丹辉, 赵元富, 岳素格, 等. 高压LDMOS总剂量辐射效应研究[J].微电子学与计算机, 2015, (10): 82–86.
- [7] 刘文平. 硅半导体器件辐射效应及加固技术[M]. 科学出版社, 2013: 44–105.
- [8] Eleni C, Katrina M, Kees C H, Total Ionizing Dose Hardened and Mitigation Strategies in Deep Submicrometer CMOS and Beyond, Electron Devices[J] IEEE Transactions on electron devices, 2018,65(3): 808–819.
- [9] Zhou X, Yuan Z, Shu L, et al. Total-Ionizing-Dose Irradiation-Induced Dielectric Field Enhancement for High-Voltage SOI LDMOS[J]. IEEE Electron Device Letters, 2019, 40(4): 593–596.
- [10] Shu L, Chen W P, Qiao M, et al. TID-Induced Off-State Leakage Current in Partially Radiation-Hardened SOI LDMOS[J]. IEEE Transactions on Nuclear Science, 2020,99: 1–1.
- [11] Zhou X, Zhang L, Qiao M, et al. Investigation on total-ionizing-dose radiation response for high voltage ultra-thin layer SOI LDMOS[C]. IEEE International Symposium on Power Semiconductor Devices & Ics. IEEE, 2018: 64–67.
- [12] Diez, S, Ullan. M, Pellegrini. G, et al. Radiation Studies of Power LDMOS Devices for High Energy Physics Applications[J]. IEEE Transactions on Nuclear Science, 2010,57(6), 3322–3328.
- [13] Brady F T, Maimon J D, and Hurt M J et al, A scaleable, radiation hardened shallow trench isolation[J], IEEE Transactions on Nuclear Science, 1999,46(6): 1836–1840.



作者简介:

王钊 (1996—), 男, 安阳市人, 硕士研究生, 研究方向为功率半导体器件抗辐射加固设计。

陶封倒装焊器件百微米焊点极限应力评估

文惠东, 吕晓瑞, 张代刚, 谢晓辰, 林鹏荣, 王 勇

(北京微电子技术研究所, 北京 100076)

摘 要: 高密度陶封倒装焊器件焊点尺寸已降低至100微米以下, 带来了一系列的可靠性问题, 为了满足其在复杂热/潮湿环境下的应用需求, 必须开展全面互连的可靠性评估。本文以菊花链器件为研究对象, 开展温度循环、高温存储、强加速稳态湿热试验, 通过电连接、超声扫描、扫描电镜等手段对底部填充胶以及焊点界面进行分析。结果表明: 1000次温度循环、384小时强加速稳态湿热后电连接异常, 焊点在近芯片侧发生开裂, 2600小时高温存储后电连接及超声扫描合格。以上结果对于促进百微米焊点的陶封倒装焊器件的应用具有显著的意义。

关键词: 倒装焊; 极限应力评估; 温度循环; 高温存储; 强加速稳态湿热

中图分类号: TN405.96 文献标识码: A

Limit Stress Assessment of 100 μ m Solder Joints of Ceramic Flip Chip Devices

Wen Huidong, Lv Xiaorui, Zhang Daigang, Xie Xiaochen, Lin Pengrong, Wang Yong

(Beijing Microelectronics Technology Institution, Beijing, 100076, China)

Abstract: Solder joint size of high-density ceramic flip-chip devices has reduced to below 100 μ m, which brings a series of reliability problems. In order to meet the application requirements in complex hot/humid environment, a thorough evaluation must be conducted. In this paper, daisy chain flip-chip devices were taken as subjects, and temperature-cycling, high-temperature storage, HAST were adopted, and electric connection, C-SAM and SEM were used to analyze the underfill and solder joints interface. The results show that: devices failed at electric connection after 1000 temperature cycles and 384 hours of HAST, and cracks were observed in solder joints on side of the chip, while devices after 2600 hours of high temperature storage passed continuity test and C-SAM. The results have significant meaning for promoting the application of ceramic flip-chip devices with 100 μ m solder joints.

Key words: flip-chip; limit stress assessment; temperature-cycling; high-temperature storage; HAST

0 引言

倒装焊封装技术采用芯片上阵列排布的凸点实现芯片与外壳的机械与电气互连, 具有信号传输距离短、互连密度大、可靠性高等优点, 迎合了微电子封装技术更高密度、更小尺寸、更快处理速度、更高可靠性和更经济的发展趋势, 是实现高性能、高可靠器件封装的有效手段^[1-3], 在军用和宇航用电子元器件领域得到了越来越广泛的应用。

倒装焊封装结构及工艺极为复杂, 涉及多种金属、非金属材料, 不同材料的力学性能和热学性能差异极大, 其结构不合理或工艺存在缺陷都会导致器件

的可靠性下降, 易造成焊点微裂纹、电化学腐蚀、材料分层等可靠性缺陷, 严重影响倒装焊器件的可靠性及其使用寿命, 因此如何提高其可靠性就成为了研究重点。

在倒装焊器件可靠性研究方面, 我国近几年在评价方法、仿真分析、失效检测, 机理研究等方面已取得了一系列的研究成果。在可靠性评价方法方面, 张永华等人^[4]提出了基于温度、湿度和机械等环境应力的可靠性试验方法, 详尽分析了各种评价测试方法能够暴露的可靠性问题及其评价标准; 在仿真分析方面, 肖小清等人^[5]采用塑性形变模型、蠕变形变模型

等四种模型对焊点的疲劳寿命进行了计算分析,认为焊点的可靠性和寿命与芯片的几何模型和材料参数有着直接的关系;在失效检测方面,李含等人^[6]制定了一套从非破坏性到破坏性的试验方案,通过时域反射计(TDR)测试、X射线(X-ray)检测、超声扫描显微镜(SAM)和光学显微分析等手段实现了失效焊点的准确定位。刘俊超^[7]提出了一种基于模态分析的焊点缺陷检测方法,通过仿真分析和实验研究对倒装焊焊点开裂缺陷进行了研究,研究表明焊点开裂会引起样片模态振型的变化和共振频率的下降,证明了倒装焊焊点开裂缺陷可以通过样片的模态特征如模态振型、共振频率等来识别,为焊点的缺陷检测提供了一种新思路和新方法;在机理研究方面,例如文献[8]对陶封倒装焊器件的可靠性进行了评估与研究,试验项目包括温度循环、高温存储以及HAST等,该文献对比分析了底部填充工艺对焊点互连可靠性的影响,但该文中涉及的器件存在焊点尺寸较大、数量较少的问题,评估结果无法适用于更高性能的倒装焊器件;文献[9]和[10]研究了焊点成分和焊点中金属间化合物(IMC)比例对焊点热疲劳可靠性的影响,构建了细间距倒装芯片组装的有限元模型,探讨热循环条件下微焊点的累积损伤与疲劳寿命。

以上研究均是围绕大尺寸焊点倒装焊器件,并不适用于100 μm 焊点的倒装焊器件。因此,为保证100 μm 倒装焊器件的可靠性,急需对倒装焊器件进行极限应力评估,明确器件正常工作状态时所能承受的最大应力,分析其失效机理与失效模式,以指导倒装焊封装工艺的质量提升。

1 试验方法及材料准备

1.1 样品准备

样品准备需要的原材料包括菊花链陶瓷外壳、菊花链芯片、倒装焊焊球、助焊剂、底部填充胶等。设计了一款菊花链验证陶瓷外壳,外引出端的数量是1764,在倒装焊区域包含35条链路,倒装焊盘的直径为105 μm ,焊盘的数量为4586个;菊花链芯片的厚度为775 μm ,包含4586个UBM,UBM的位置与外壳的焊盘位置一一对应,UBM采用Ti-Cu-Ni结构,每

层结构的厚度分别是0.1 μm /5 μm /2 μm ,UBM的直径是90 μm ;倒装焊焊球采用90Pb10Sn成分(液相线温度为302 $^{\circ}\text{C}$),焊球的直径为100 μm ;助焊剂为水溶性助焊剂,可以承受300 $^{\circ}\text{C}$ 以上高温;选用某款环氧基底部填充胶,填充有SiO₂颗粒。

1.2 试验方法

首先在菊花链芯片上进行凸点制备,实现90Pb10Sn焊球与芯片UBM的互连,然后将植有凸点的芯片蘸取助焊剂,采用贴装设备倒装在菊花链外壳上,并采用热风回流焊的方式进行焊接。为了保证焊点互连接头的焊接质量,回流焊的峰值温度达到330 $^{\circ}\text{C}$ 以上,超过90Pb10Sn液相线温度30 $^{\circ}\text{C}$,并在液相线温度以上保持90s以上。回流之后进行清洗,将助焊剂残留清洗干净,并对器件进行底部填充工艺,填充之后即可进行极限应力评估试验。每个试验项目包含5只器件,每个试验节点后将器件取出,进行链路电阻值测试以及超声扫描,若链路电阻值变化率超过10%或底部填充胶出现分层情况,认为该只电路出现异常,则通过SEM手段进行进一步分析,极限应力评估的条件如表1所示。

表1 极限应力评估试验条件

Tab.1 Ultimate stress assessment

试验项目	试验方法	试验条件
温度循环	GJB 548B-2005 方法1010	1. 试验条件C, -65 $^{\circ}\text{C}$ ~150 $^{\circ}\text{C}$, 100次 2. 如未发生失效,继续上一项试验,直至失效
高温存储	GJB 548B-2005 方法1008	1. 试验条件C, 150 $^{\circ}\text{C}$, 100h 2. 如未发生失效,继续上一项试验,直至失效
HAST	GB/T 4937.4-2012	1. 试验条件A, (130 \pm 2) $^{\circ}\text{C}$ 干球, (85 \pm 5)%相对湿度, 124 $^{\circ}\text{C}$ 湿球, 230kPa, 持续96h 2. 如未发生失效,继续上一项试验,直至失效

2 试验结果及分析

2.1 封装后样品分析

为了便于与应力施加后的器件做对比分析,对封装后的样品进行超扫检测和切片分析,超声检测结果如图1所示,焊点剖面SEM如图2所示。

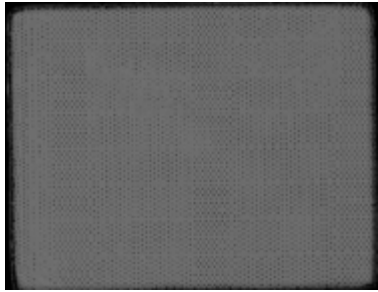


图1 封装后超扫示意图

Fig.1 C-SAM after package

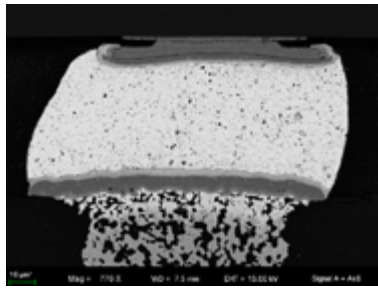


图2 封装后焊点SEM示意图

Fig.2 SEM of solder joints after package

由图1和图2可以看出,封装后器件的超声扫描检测和SEM未见任何异常。底部填充区域无空洞分层现象,表明底部填充工艺质量良好,焊点SEM图中焊点形态正常,焊点与UBM和基板焊盘侧IMC厚度适中,未观察到界面裂纹、焊接不良等现象。

2.2 极限温度循环

倒装焊器件在组装及运行过程中不可避免的经历高低温热循环,由于外壳与芯片间、焊点与外壳或芯片间的热膨胀系数不同,在热循环环境中焊点承受周期性机械应力与应变,会使焊料中形成大量晶体缺陷,并形成回复与再结晶,对焊点的微观组织产生重大影响,进而直接影响着焊点的可靠性。因此研究热循环条件下焊点微观组织的变化对研究焊点的可靠性

具有重要作用。

结果显示,当温循次数 ≤ 500 时,随着温循次数的增加,单个链条阻值变化较小;当温循次数 > 700 时,链条阻值呈现逐渐增大趋势,并且在温循次数 ≥ 1000 次时,阻值变化率超过10%。通过对菊花链条的分布进行分析,失效多位于芯片边缘,随着温循次数的增加,失效链路逐渐向芯片内部延伸。对1000次温循后的样品进行超扫检测,并未发现明显的底部填充胶分层或空洞现象,如图3所示。

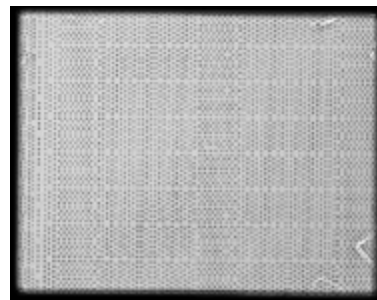


图3 1000次温循后超扫示意图

Fig.3 C-SAM after 1000 temperature cycles

对失效链路进行切片制样,失效焊点SEM如图4所示。

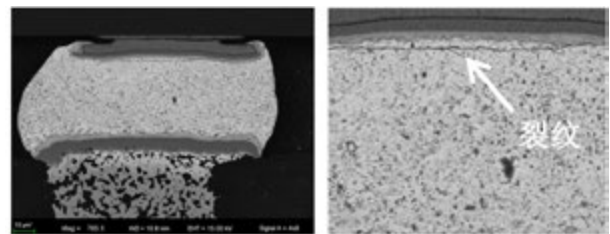


图4 1000次温循后失效焊点SEM示意图

Fig.4 SEM of solder joints after 1000 temperature cycles

由图4可以看出,裂纹整体位于焊点的近芯片一侧。裂纹在焊点最外侧焊料基体和IMC之间的界面上萌生,随后扩展进入IMC附近焊料中,沿着焊料与UBM平行的方向扩展,并同样在焊料基体和IMC界面处穿出焊点。通常而言,裂纹形成于累积塑性应变能密度最高的位置,并向低的位置扩散。由金属学原理相关理论知识分析可知,UBM界面处位错聚集以及附近焊料中易发生动态回复与再结晶是导致裂纹萌

生和扩展的主要原因。

对700次和1000次焊点界面的IMC进行测量，并与温循前IMC厚度进行对比，每种情况下测量10个点，并计算得到IMC厚度平均值，芯片侧IMC平均值柱状图见图5，外壳侧IMC平均值柱状图见图6。

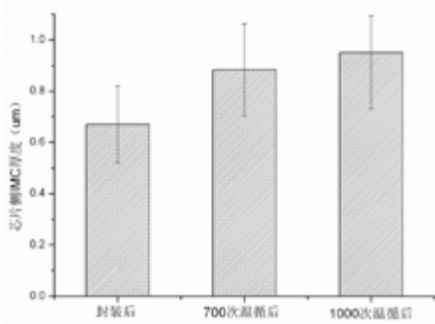


图5 温循试验芯片侧IMC变化趋势

Fig.5 Variation trend of chip-side IMC after temperature cycle

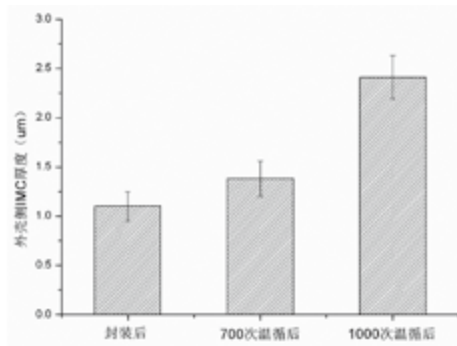


图6 温循试验外壳侧IMC变化趋势

Fig.6 Variation trend of substrate-side IMC after temperature cycle

由图5和图6可以看出，温度循环试验后，芯片侧与外壳侧IMC均出现明显增长，经计算IMC的厚度与温度和时间的平方根成线性增长。界面间的元素的扩散会导致IMC厚度增加，同时造成IMC成分和结构发生变化，过厚的IMC呈脆性，强度变差，为焊点内裂纹的萌生和扩展提供了通道。当处于温度循环载荷时，脆而硬的IMC层与焊料的变形量差值很大，导致IMC层与焊料的界面处产生剪切应力，焊料蠕变导致裂纹的产生。此外，随着焊点尺寸的减小，会导致焊点的高度降低，进一步缩短了原子的扩散距离，加剧

了IMC微观组织和成分的变化，使得焊点承受着更大的应力应变，加剧了焊点的失效。

作为对比，对另一款采用150μm焊点的菊花链器件进行温循可靠性对比分析，该器件同样采用90Pb10Sn焊球，在经历3000次温度循环后电通断测试仍合格，对边角处焊点进行切片SEM分析，其SEM如图7所示。

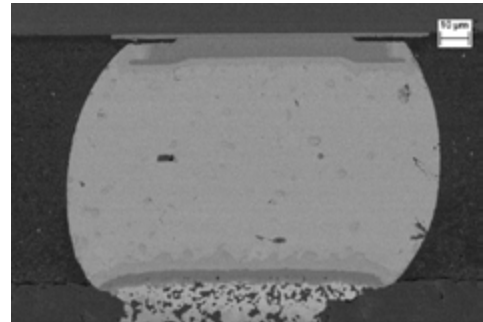


图7 3000次温循后150μm焊点SEM示意图

Fig.7 SEM of solder joints after 3000 temperature cycles

由图7可知，直径150μm的焊点在经历3000次温度循环后未出现失效异常，焊点与UBM以及基板焊盘侧未观察到任何裂纹，界面处IMC的厚度均明显增长，厚度达到5μm以上，经检测IMC成分为Ni₃Sn₄。结果表明直径150μm焊点的抗温度循环能力显著高于100μm的焊点，这与两种尺寸焊点的高度有直接关系，提高焊点高度可以降低焊点与UBM/焊盘接触处的应力水平，进而提高焊点的疲劳寿命。

2.3 极限高温存储

高温存储试验是应用于电子产品中最普遍的一种可靠性试验，主要模拟和评估产品在高温工作环境中的可靠性，并对产品在常温工作条件下的可靠性起到加速作用，可以在较短的时间内预测产品在常温工作条件下可能遇到的可靠性问题。

试验结果表明，随着存储时间的延长，链条的阻值变化较小，直到2600小时未出现阻值明显变化现象。选取2600小时存储样品，切片后制样，任选一个焊点进行SEM观察，如图8所示。

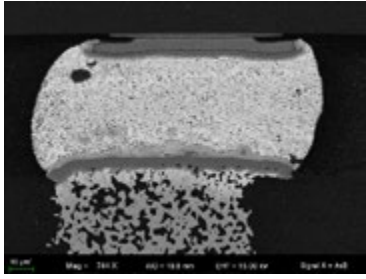


图8 2600小时高温存储后焊点SEM示意图

Fig.8 SEM of solder joints after 2600 hours of HTS

对1700小时和2600小时后焊点界面的IMC进行测量，并与存储前IMC厚度进行对比，每种情况下测量10个点，并计算得到IMC厚度平均值，芯片侧IMC厚度平均值及偏差柱状图见图9，外壳侧IMC厚度平均值及偏差柱状图见图10。

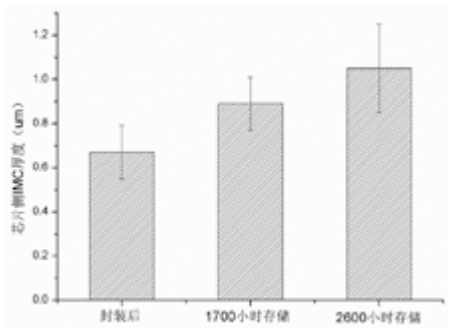


图9 高温存储芯片侧IMC变化趋势

Fig.9 Variation trend of chip-side IMC after HTS

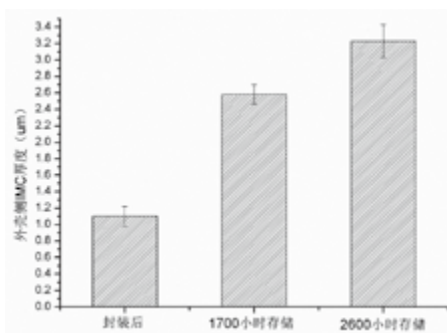


图10 高温存储外壳侧IMC变化趋势

Fig.10 Variation trend of substrate-side IMC after HTS

由图9和图10可知，高温存储试验后，芯片侧与外壳侧IMC均出现明显增长，相较于温度循环载荷，

IMC的生长速度更快，这是由于高温对金属元素的扩散起到了促进作用，但与温度循环载荷相比，焊点在高温存储条件下承受的应力与应变相对较小，焊料基体和初始界面的IMC中的缺陷也相对较少，因此在经历2600小时高温存储后仍未发生失效。

作为对比，对另一款采用150μm焊点的菊花链器件进行高温存储可靠性对比分析，该器件同样采用90Pb10Sn焊球，在经历2600小时高温存储后电通断测试同样合格，对边角处焊点进行切片SEM分析，其SEM如图11所示。

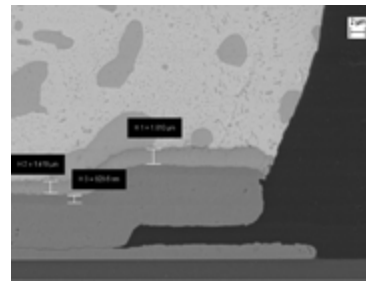


图11 2600小时高温后150μm焊点SEM示意图

Fig.11 SEM of 150μm solder joints after 2600 hours of HTS

由图11可知，直径150μm的焊点在经历2600小时高温存储后同样未出现失效异常，焊点与UBM以及基板焊盘侧的IMC的厚度均明显增长，厚度达到5.5μm以上，IMC成分为Ni₃Sn₄，此外在焊点内部可以观测到明显的聚Sn相。结果表明直径150μm焊点与100μm焊点的抗高温存储能力基本一致，这进一步说明了焊点在高温存储条件下承受的应力与应变相对较小，焊点的直径和高度等参数对器件的抗高温存储能力影响较小。

2.4 极限HAST

强加速稳态湿热试验(HAST)是通过施加严酷的温度、湿度和偏置条件来加速潮气穿透外部保护材料（灌装或密封）或外部保护材料和金属导体的交接面。此试验应力产生的失效机理通常与85℃，85%RH稳态湿热度偏置寿命试验相同。

结果显示，当HAST时间小于384小时，菊花链路的阻值未发生明显变化，仅表现为电路焊盘颜色变

化，而随着HAST时间达到384小时后，菊花链路阻值变化率超过10%。对384小时HAST后的样品进行超扫检测，并未发现明显的底部填充胶分层或空洞现象，这表明所选底部填充胶具有优良的耐湿性能，如图12所示。

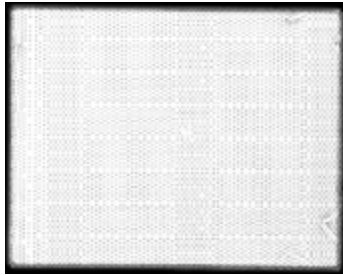


图12 384小时HAST后超扫示意图

Fig.12 C-SAM after 384 hours of HAST

对失效链路进行切片制样，失效焊点SEM如图13所示。

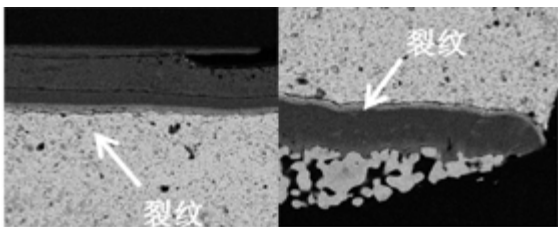
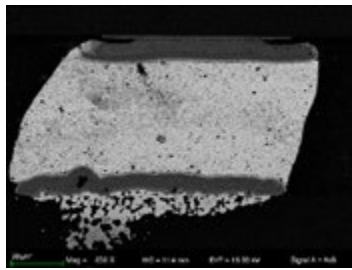


图13 384小时HAST后失效焊点SEM示意图

Fig.13 SEM of solder joints after 2600 hours of HTS

由上图可以看出，焊点失效的原因是在近芯片侧及近外壳侧均出现了裂纹，且裂纹均始于IMC位置，部分裂纹延伸至焊点内部，并在焊点另一侧的近界面处穿出。在HAST试验中，样品主要受到温度应力及湿气两方面的作用，由于各个材料的热膨胀系数不一致，在热应力作用下不同材料的连接处会产生应力集中现象，如果承受的应力水平超过其中任何一种材

料的屈服强度或断裂强度，便会导致裂纹的萌生和扩展，虽然底部填充胶未发生分层现象，但是这种应力现象仍然存在。相较于单纯的温度应力，在湿度应力加持下，封装体内部的水汽压力快速升高，膨胀加剧，因此即使在IMC生长相对不明显、脆性变化较弱的情况下，因IMC层与焊料的交界面处剪切应力而产生的微小裂纹仍会急剧生长，造成裂纹延展。

3 结论

本文主要研究了百微米焊点陶瓷封装倒装焊器件在极限温度循环、极限高温存储、极限HAST等环境下的可靠性，通过电通断测试、超声扫描、SEM等分析手段对电路的状态及失效情况进行了分析，得到如下结论：

对于极限温度循环，可靠应力设计极限为 $-65^{\circ}\text{C}\sim 150^{\circ}\text{C}$ ，器件在1000次循环后发生失效，失效模式为焊点在近芯片侧产生裂纹，主要是由于在温度应力下引起的疲劳失效，IMC脆化导致裂纹。

对于极限高温存储，可靠应力设计极限为 150°C ，器件在2600小时后测试均合格，与温度循环载荷相比，焊点在高温存储条件下承受的应力与应变相对较小，焊料基体和初始界面的IMC中的缺陷也相对较少，因此未发生失效。

对于极限HAST试验，可靠应力设计为 $(130\pm 2)^{\circ}\text{C}$ 干球， $(85\pm 5)\%$ 相对湿度， 124°C 湿球，230kPa，持续96小时。失效模式为焊点在近芯片侧及外壳侧产生裂纹，失效机理主要是由于在温度应力下引起的疲劳失效，IMC脆化导致裂纹或分层延展，同时湿度的加持，使得内部蒸汽压变大，加剧了IMC的生长和裂纹或分层的延展。

参考文献 (References)

- [1] 贾松良. 微电子封装的发展及封装标准[J]. 信息技术与标准化, 2003, (3): 35-37.
- [2] 高峰. Flip Chip技术在集成电路封装中的应用[J]. 电子世界, 2015, (24): 138-139.
- [3] 张文杰, 朱朋莉, 赵涛, 等. 倒装芯片封装技术概述[J]. 集成技术, 2014, 3(6): 84-91.

- [4] 张永华, 邬宁彪, 李小明. 倒装芯片封装可靠性评价方法[J]. 电子工艺技术, 2015, 36(6): 347-350.
- [5] 肖小清, 何小琦等. 倒装芯片焊点可靠性的有限元模拟法探讨[J]. 电子工艺技术, 2006, 27(4): 201-204.
- [6] 李含, 郑宏宇, 张靖君. 高密度陶瓷倒装焊封装可靠性试验开路后的失效定位[J]. 半导体技术, 2017, 42(9): 711-716.
- [7] 刘俊超. 基于模态分析的倒装焊焊点开裂缺陷检测方法研究[J]. 机械, 2016, 43(8): 17-22.
- [8] 文惠东, 黄颖卓等. 陶瓷封装倒装焊器件热学环境可靠性评估[J]. 半导体技术, 2019, 44(9): 723-727.
- [9] 朱红瑜, 张纪松等. IMC厚度对倒装芯片组装微焊点热疲劳寿命的影响[J]. 焊接技术, 2018, 47(10): 26-30.
- [10] 刘建松, 姚全斌, 林鹏荣等. 凸点材料的选择对器件疲劳特性的影响[J]. 半导体技术, 2017, 42(7): 544-550.



作者简介:

文惠东(1988-),
男, 山西吕梁, 硕士
研究生, 工程师, 主
要从事微电子封装。

宽频率可配置的宇航用SRAM型FPGA嵌入式锁相环设计研究

杨铭谦, 陈雷, 李学武, 孙华波, 祁逸, 朱志强

(北京微电子技术研究所, 北京 100076)

摘要: 锁相环是集成电路领域实现时钟相位对齐、频率合成等功能的重要电路。本文介绍了一种宇航用SRAM型FPGA嵌入式可配置电荷泵锁相环, 包含多个可配置模块, 具有动态重配置能力。该锁相环基于65nm CMOS标准工艺流片, 内嵌于国产BQR5V系列宇航用FPGA芯片中。经过功能性能测试以及与国外同类FPGA内嵌锁相环的对比测试, 该锁相环能够完全满足BQR5V系列FPGA芯片的应用需求, 并在输出时钟抖动等重要指标上比国外同类FPGA的内嵌锁相环更优, 有效提升了适应性、稳定性、灵活性和时钟质量, 对实现我国宇航用FPGA的自主发展具有重要意义。

关键词: 锁相环; 现场可编程门阵列; 可配置

中图分类号: TN437 文献标识码: A

Design and Research of a Configurable Wideband Phase-locked Loop embedded in SRAM-based FPGA for Space Application

Yang Mingqian, Chen Lei, Li Xuwu, Sun Huabo, Qi Yi, Zhu Zhiqiang

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

Abstract: Phase-locked loops (PLL) is broadly used in IC field for clock phase alignment and frequency synthesis. A configurable charge pump PLL embedded in SRAM-based FPGA for space application is proposed in this paper. The PLL includes several configurable modules and is reconfigurable. It is designed in 65 nm CMOS technology and embedded in domestic BQR5V series aerospace-used FPGA. The functional test, performance test and comparison test illustrate that the proposed PLL can meet the application requirements of BQR5V series FPGA, and its performance on clock jitter is better than the congeneric foreign FPGA, improving its flexibility, stability, flexibility and clock quality, which is of great significance to the autonomic development of aerospace electronic devices in our country.

Key words: phase-locked loop; field-programmable gate array; configurable

0 引言

锁相环已经被广泛应用于无线通信、微处理器、现场可编程门阵列(Field-programmable Gate Array, FPGA)等领域^[1], 其主要作用是为用户提供稳定、高质量的时钟信号。锁相环用于FPGA时, 作为FPGA内部重要的时钟管理电路, 需要为FPGA内嵌的多种功能模块提供时钟信号, 这就要求用于FPGA的嵌入式锁相环在具有低噪声、低功耗等特性的同时, 还要具备灵活的可配置能力。

用于FPGA的嵌入式可配置锁相环有3个主要的设计要点。第一, 此类锁相环的参考时钟既可能来源于FPGA器件之外, 也可能来源于FPGA内的其他电

路模块, 要求锁相环能够适应较宽的参考频率范围^[2]。第二, 此类锁相环作为FPGA中各类IP核的时钟源, 要具有宽范围频率合成的能力。第三, 此类锁相环需要有动态重配置能力。目前主流的FPGA类型是SRAM型FPGA, 它的主要缺点是仅能在上电时配置一次, 断电时配置信息会全部丢失, 因此如需重新配置, 必须重启FPGA^[3]。而具有动态重配置能力的锁相环能够在不重启FPGA、不影响FPGA内其他模块工作的前提下, 利用FPGA内的已有资源重新配置, 从而节省时间、减少功耗。

在测试与验证方面, FPGA的嵌入式锁相环也有其独特之处。与片上锁相环不同, FPGA内嵌锁相

环的配置由FPGA的专用配置电路实现，经FPGA开发软件写入配置码流即可实现对锁相环的编程。另外，锁相环测试验证所用的时钟来源更加灵活，既可以来自FPGA外部，也可以由FPGA的内部电路资源（如振荡器、延迟锁定环等）产生，而后者由于通过FPGA的专用布线资源传输，时钟质量往往更高，有利于锁相环的验证。

1 锁相环系统设计

本文设计的电荷泵锁相环整体结构如图1所示。锁相环主要由鉴频鉴相器（PFD）、电荷泵（CP）、环路滤波器（LF）、压控振荡器（VCO）、输入分频器（D）、反馈分频器（M）和输出分频器组（O₀~O₅）组成。除鉴频鉴相器和压控振荡器外，其余模块均可由配置模块配置。

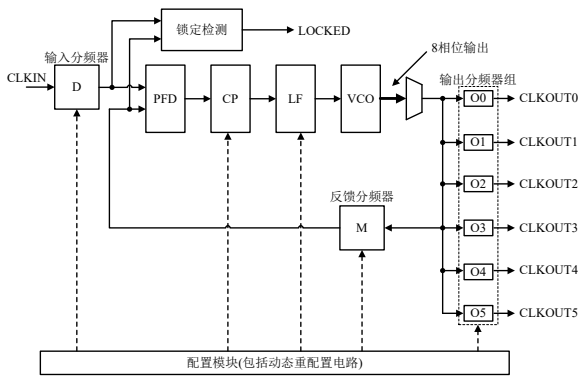


图1 锁相环整体结构

Fig.1 Main structure of the PLL

设锁相环通过输出分频器O₀输出频率为f_{OUT}的时钟信号，输入时钟频率为f_{IN}，二者之间的关系由(1)式给出：

$$f_{OUT} = f_{IN} \times \frac{M}{D \times O_0} \quad (1)$$

通过配置三类分频器，就能够精确调节输出时钟信号的分频比，大大提升频率调节的精度。

锁相环本质上是一个负反馈环路，其输入和输出均为相位值，开环传输函数由(2)式给出：

$$H_{open}(s) = \frac{I_{CP} K_{VCO}}{2\pi s M} F(s) \quad (2)$$

其中I_{CP}是电荷泵的输出电流，K_{VCO}是压控振荡器的调谐增益，F(s)是环路滤波器的传输函数。当反馈分频器的分频比M变化时，锁相环的环路带宽也会发生变化，影响到锁相环的噪声性能、锁定时间和环路稳定性。通过配置电荷泵电流和环路滤波器参数，可以使锁相环的带宽跟随参考时钟频率，或者调窄带宽提升滤波效果，也可采用较宽的带宽加快锁定速度，从而满足各类应用需求。

2 锁相环子模块电路设计

2.1 可配置低失配电荷泵

基本的电荷泵存在一些会使锁相环噪声性能恶化的不理想效应，如电荷共享和电流失配^[4]。本文采用了一种具有噪声抑制能力的可调电荷泵，其结构如图2所示。电荷泵的电流大小可经配置模块的配置由开关S1~S4控制。运算放大器A1用于消除输出电容和寄生电容带来的电荷共享。另外，电荷泵中还采用了复制技术，晶体管M1C、M2C、M4C、M6C和M7C分别是晶体管M1、M2、M4、M6、M7的复制管，配合运算放大器A2调节电流源管M1的偏置电压，使电荷泵的充电电流和放电电流大小保持一致，消除电流失配。图3是电荷泵15种配置下的输出电压-输出电流特性曲线，电荷泵的输出电压范围为0.2V~0.8V，电流失配小于1%。

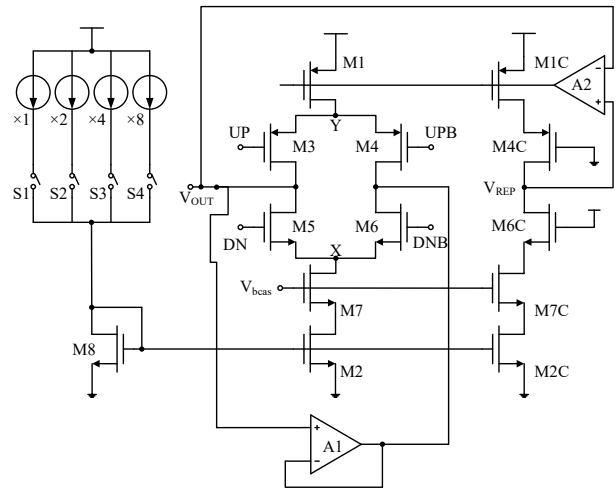


图2 电荷泵电路结构

Fig.2 Structure of the charge pump

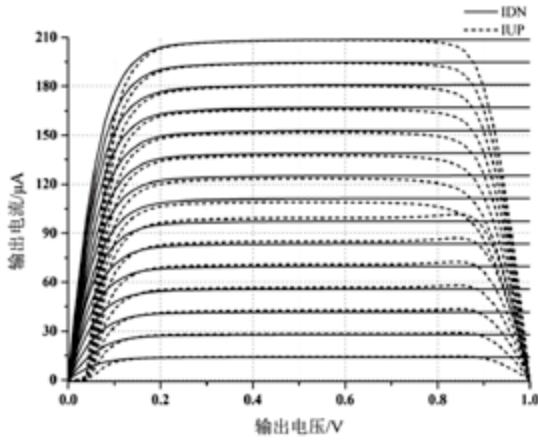


图3 电荷泵的输出电压-输出电流特性曲线

Fig.3 Output voltage-current curve of the charge pump

2.2 双路电压控制的压控振荡器

本文采用了一种双路电压控制的四级全差分压控环形振荡器，其结构如图4所示。

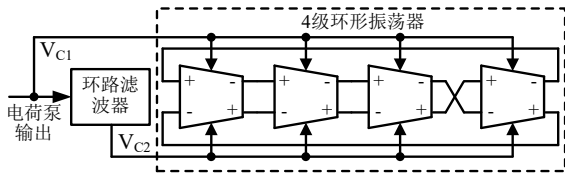


图4 压控振荡器结构

Fig.4 Structure of the VCO

与传统的环形振荡器不同，这种环形振荡器由2个偏置电压控制。第一个偏置电压 V_{C1} 直接来自电荷泵的输出，而第二个偏置电压 V_{C2} 则由 V_{C1} 经环路滤波器滤波后得到。 V_{C1} 能够根据鉴频鉴相器的鉴相结果快速变化，但受各种不理想因素影响，高频分量较多； V_{C2} 是传统的单电压控制环形振荡器采用的控制电压，它是更为理想纯净的直流电平，但在滤波器的作用下变化缓慢，会延缓锁相环的锁定过程。本文的压控振荡器则综合了这两种偏置电压的优点： V_{C1} 作为粗调电压，驱动压控振荡器的振荡频率快速变化并接近目标值，加快锁相环的锁定过程； V_{C2} 则用作细调电压，更精确地微调振荡频率，减小振荡信号的相位噪声，优化振荡信号的质量。在锁相环的锁定过程中， V_{C1} 和 V_{C2} 最终会收敛于同一个电压值，表征锁相

环锁定。

2.3 改进型三阶无源低通滤波器

在电荷泵锁相环中，常用的滤波器阶数为二阶和三阶。为进一步滤除杂散和积分噪声，本文采用三阶无源低通滤波器。由于2.2中所述的压控振荡器采用双路电压控制，为保证锁相环的稳定性，该滤波器在传统三阶无源低通滤波器的基础上进行了改进，如图5所示。

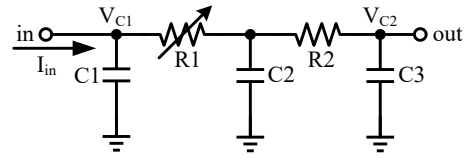


图5 本文采用的滤波器结构

Fig.5 Structure of the proposed filter

设滤波器输入电流 I_{in} 到第一路控制电压 V_{C1} 的传输函数为 $F_1(s)$ ， I_{in} 到第二路控制电压 V_{C2} 的传输函数为 $F_2(s)$ ，则锁相环的开环传输函数由(3)式给出：

$$H_{ol}(s) = \frac{I_{CP}K_{VCO}[As^2 + Bs + 2]}{2\pi Ms^2(Cs^2 + Ds + E)} \quad (3)$$

结合 $F_1(s)$ 和 $F_2(s)$ 的表达式得：

$$H_{ol}(s) = \frac{I_{CP}[F_1(s) + F_2(s)]K_{VCO}}{2\pi sM} \quad (4)$$

其中：

$$\begin{aligned} A &= R_1 R_2 C_2 C_3, \quad B = R_1 C_2 + R_1 C_3 + R_2 C_3, \\ C &= R_1 R_2 C_1 C_2 C_3, \quad D = R_1 C_1 (C_2 + C_3) + R_2 C_3 (C_1 + C_2), \\ E &= C_1 + C_2 + C_3. \end{aligned}$$

由(4)式可以看出，锁相环存在4个极点，其中2个位于原点，使锁相环在低频产生了 180° 的相移。另外，锁相环还存在2个零点。通过设置合适的电阻值和电容值，就可以利用零点补偿锁相环的相位，使锁相环具有充足的相位裕度。

环路滤波器中， $R1$ 为可配置电阻，通过与2.1中所述的可配置电荷泵配合，可以调节锁相环的环路带宽，从而优化锁相环的噪声、锁定速度等诸多性能。

2.4 可配置数字分频器

为实现输出时钟分频比、占空比、相移等属性的灵活配置，本文所设计的锁相环采用了一种状态机控制的新型数字分频器，其整体结构如图6所示。

分频器主要由高电平计数器、低电平计数器、相移计数器和输出模块组成，配置存储器为各模块提供配置信号，状态机控制各模块的工作状态。其中三个计数器每检测到一个输入时钟上升沿，其计数值加1，计数值达到最大计数值后重置为0。通过设置各计数器的最大计数值，可以同时控制分频器的分频比、输出时钟的占空比以及输出时钟相对于输入时钟的相移。

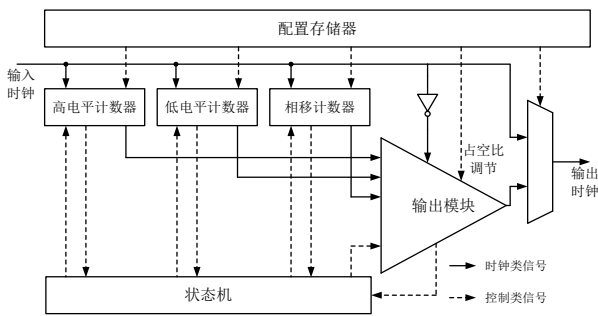


图6 数字分频器结构

Fig.6 Structure of the digital divider

设高电平计数器的计数值为 h ，低电平计数器的计数值为 l ，相移计数器的计数值为 p ，则分频比 $div=h+l$ ，占空比 $dc=h/(h+l)$ ，相移 $ps=(p \times 360^\circ)/(h+l)$ 。

占空比调节信号的作用是微调输出时钟的占空比。当该信号置为高电平时，输出时钟的占空比 $dc=(h+0.5)/(h+l)$ 。这样做除了可以获得更加精确的占空比外，还能够让分频器在任何分频比下都能输出占空比为50%的时钟信号，尤其在分频比为奇数时。图7是分频器在 $p=2$ 、 $h=3$ 、 $l=4$ 时的波形示意图。当占空比调节信号设置为低电平时，输出时钟占空比为 $3/7$ ；当占空比调节信号设置为高电平时，输出时钟占空比为50%。

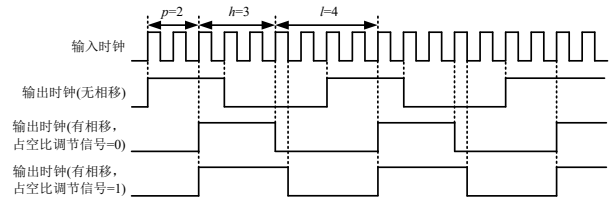


图7 分频器在 $p=2$ 、 $h=3$ 、 $l=4$ 时的波形

Fig.7 Output waveform of the divider when $p=2$, $h=3$ and $l=4$

2.5 动态重配置功能

动态重配置是指在不对FPGA重新上电配置的前提下，对FPGA内部的部分模块进行重新配置的技术。这一技术既能大大提升FPGA应用的灵活性，又能减少因FPGA重新上电配置而产生的大量功耗。实现SRAM型FPGA动态重配置的方式主要包括静态预取技术^[5]、混合启发策略^[6]和动态预取技术^[7]三种。

本文设计的锁相环具有类似于动态预取技术的动态重配置功能，电路结构如图8所示。在FPGA上电时，可将一组或多组动态重配置信息和对应的配置地址信息存储在FPGA内部的存储资源中。锁相环工作期间，可随时将其复位，并经动态重配置状态机控制，将动态重配置信息按照地址写入锁相环的配置SRAM中。锁相环的分频器属性、滤波器电阻和电荷泵电流等重要属性均可动态重配置，大大提升了锁相环在实际应用中的灵活性。

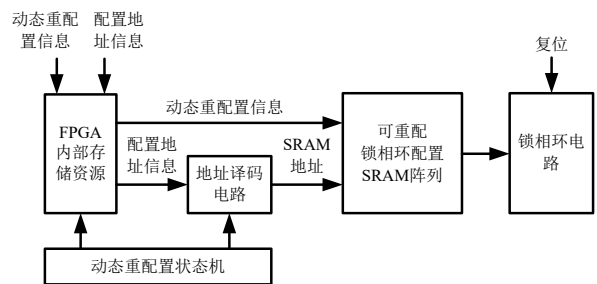


图8 实现动态重配置功能的电路结构

Fig.8 Structure of the reconfiguration circuit

3 板级评估验证测试

本文设计的锁相环基于65nm CMOS标准工艺流

片，作为国产BQR5V系列宇航用SRAM型FPGA的嵌入式时钟管理器。测试系统如图9所示。测试过程中，通过配置软件将配置码流写入FPGA芯片中，控制锁相环输出时钟信号。为提升锁相环输入时钟信号的质量，由FPGA内部的延迟锁定环资源接收外部信号发生器的时钟，并通过频率合成产生输出时钟，作为锁相环的输入时钟信号。

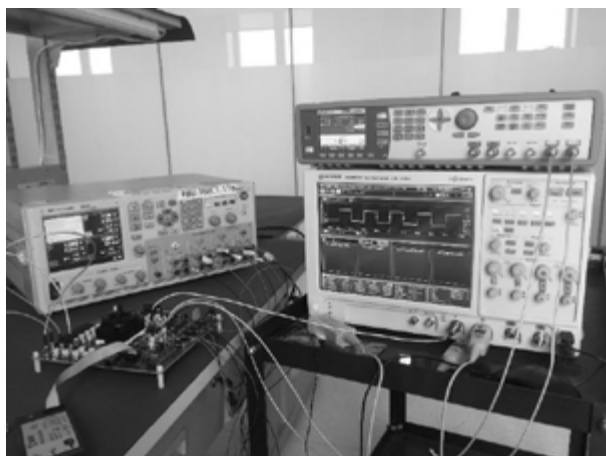


图9 BQR5V系列FPGA测试系统
Fig.9 Test system of BQR5V series FPGA

锁相环多路时钟输出功能测试的输出时钟波形如图10所示。锁相环的输入参考时钟频率为100 MHz，通过分频器O₀、O₁、O₂各输出一路时钟。第1路时钟频率50MHz、相移0°、占空比50%；第2路时钟频率50MHz、相移90°、占空比50%；第3路时钟频率100MHz、相移0°、占空比32.5%。

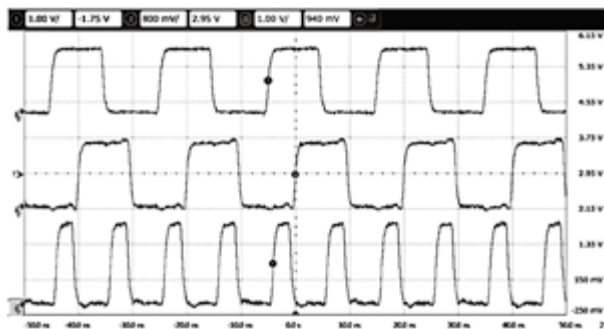


图10 锁相环多路输出时钟波形图
Fig.10 Multiple output clock waveform of PLL

锁相环在动态重配置前后输出时钟频率的变化

如图11所示。由于测试过程较长，故而从示波器中提取了一定时间范围内的数据并进行处理和图像绘制。在动态重配置之前，锁相环的输出时钟频率为80MHz。在第50μs时将锁相环复位，并利用FPGA内部电路资源开始对锁相环进行动态重配置，第52μs左右时动态重配置过程完成，锁相环重新开始工作，输出时钟频率变为275MHz。在此期间，FPGA内部的其他模块均正常工作，未受影响。

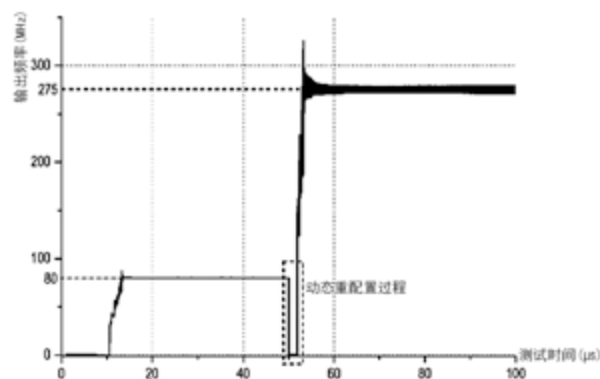


图11 动态重配置前后输出时钟的频率变化
Fig.11 The frequency of output clock before and after reconfiguration

将所设计的锁相环与国外公司同类FPGA芯片的内嵌锁相环进行了详细的对比测试。测试结果如表1和表2所示。

表1 锁相环频率指标与锁定时间指标极限值对比

Tab.1 Limit value comparison of PLL frequency and locking time

测试项	国外同类FPGA的内嵌锁相环	本文设计的锁相环
输入频率下限(MHz)	3.2	2.03
输入频率上限(MHz)	1800	1540
VCO振荡频率下限(MHz)	15.5	2.95
VCO振荡频率上限(MHz)	2990	2150
输出频率下限(MHz)	0.121	0.078
输出频率上限(MHz)	1110	1100
锁定时间上限(μs)	20.444	29.389

表2 锁相环输出时钟抖动 (total jitter) 测试结果对比
Tab.2 Test results comparison of PLL output jitter

输出时钟频率 (MHz)	国外同类FPGA的内嵌锁相环输出时钟抖动 (ps)	本文锁相环输出时钟抖动 (ps)
10	224.1	166.9
20	185.5	148.0
50	166.8	131.2
100	159.4	122.5
200	151.6	122.0
400	50.2	48.8

从以上测试结果可以看出, 本文设计的锁相环能够适应较宽的参考频率范围, 具有宽范围频率合成能力和动态重配置能力, 并且在输出时钟抖动等指标上优于国外成熟FPGA芯片的内嵌锁相环。

4 结论

本文设计了一种宇航用SRAM型FPGA内嵌的可配置电荷泵锁相环, 经对锁相环的功能与性能测试以及与国外公司同类成熟FPGA芯片内嵌锁相环的对比测试及数据分析, 锁相环在输出时钟抖动等重要指标上优于国外同类成熟产品, 可作为国产宇航用FPGA芯片的内嵌时钟管理器, 支撑我国宇航用新型FPGA的研发。后续需结合新型FPGA的应用表现, 进一步完善提升锁相环的设计及验证技术。

参考文献 (References)

[1] Roland E. Best. Phase-Locked Loops: Design, Simulation, and Applications[M]. New York: Mc-Graw

Hill Professional Publishing, 2007: 1-2.

- [2] Gardner F. Charge-Pump Phase-Lock Loops[J]. IEEE Transactions on Communications, 1980, 11(28): 1849-1858.
- [3] Hübner M. Fast Sequential FPGA Startup Based on Partial and Dynamic Reconfiguration[C] // 2010 IEEE Computer Society Annual Symposium on VLSI, Lixouri, Kefalonia, 2010: 190-194.
- [4] W. Rhee. Design of high-performance CMOS charge pumps in phase-locked loops. Proceedings of the 1999 IEEE International Symposium on, Orlando, FL, 1999, 545-548.
- [5] Lifa A, Eles P, Peng Z. Minimization of average execution time based on speculative FPGA configuration prefetch[C] // 2012 International Conference on Reconfigurable Computing and FPGAs, Cancun, 2012: 1-8.
- [6] Resano J, Mozos D, Catthoor F. A hybrid prefetch scheduling heuristic to minimize at run-time the reconfiguration overhead of dynamically reconfigurable hardware (multimedia applications)[C] // Design, Automation and Test in Europe, 2005: 106-111.
- [7] Huang C, Vahid F. Transmuting coprocessors: Dynamic loading of FPGA coprocessors[C] // 2009 46th ACM/IEEE Design Automation Conference, San Francisco, CA, 2009: 848-851.



作者简介:

杨铭谦 (1992—), 男, 宁夏银川, 硕士研究生, 工程师, 主要研究方向为超大规模FPGA设计与验证。

面向无人装备视觉感知的目标长时跟踪方法研究

杨若凌, 陆振林, 范少波, 荣金叶, 高冉冉

(北京微电子技术研究所, 北京 100076)

摘要: 无人装备和智能视觉的有机结合对军事智能化发展具有重要意义, 目标跟踪是智能视觉领域的重要研究内容之一。针对无人装备在战场信息获取和智能分析中时跟踪的需求, 在相关滤波框架下提出一种结合重检测的多尺度滤波跟踪方法。在目标中心位置定位和尺度估计后引入可靠性判定, 在目标框发生漂移时, 采用以快速匹配方法为基础的重检测模块重新获取目标, 并控制模板自适应更新。实验结果表明, 该方法避免了跟踪错误结果的累积导致的失败, 有效提升了长时视觉跟踪的准确性和稳健性, 能够更好地满足无人装备长时跟踪的作战需求。

关键词: 智能视觉; 长时跟踪; 相关滤波器; 重检测

中图分类号: TP391

文献标识码: A

Research on Long-term Target Tracking for Visual Perception Technology on Unmanned Equipment

Yang Ruoling, Lu Zhenlin, Fan Shaobo, Rong Jinye, Gao Ranran

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

Abstract: The organic combination of unmanned equipment and intelligent vision technology is of great significance to the development of military intelligent. Target tracking is one of the important research contents in intelligent vision. Aiming at the requirement of long-term tracking in battlefield information analysis, we have proposed a multi-scale filter tracking algorithm with re-detection mechanism. The algorithm locates the center position of the target in the relevant filtering framework, and solves the scaling problem through an estimation method constructed by the scaling pyramid. In order to achieve long-term target tracking, we use a discriminator to determine the reliability of the target tracking result of each frame. When the confidence of the discriminator is lower than the set threshold, the algorithm determines that the target frame has drifted, and the tracking re-detection module based on the fast-match method will be used to obtain the target again. Finally, the results obtained by re-detection are screened to avoid tracking failure caused by algorithm detection errors, which improves the accuracy of the algorithm. Experimental results show that our method avoids the failure caused by the accumulation of tracking error results, effectively improves the accuracy and robustness in long-term tracking, and can better meet the operational requirements of unmanned equipment.

Key words: intelligent vision; long-term tracking; correlation filter; re-detection

0 引言

在未来信息化、智能化的战争环境中, 无人装备是其中不可或缺的中坚力量。无人装备具有机动性高、隐蔽性好、环境适应性强和全天候工作等特点, 将无人装备和智能视觉有机结合, 能够有效提升装备的战场分析能力, 完成复杂的作战任务。利用具有高精度目标跟踪能力的无人装备进行战场监视、

精准避障及远程打击, 已成为一种重要的研究方向和发展趋势。

早期应用的经典跟踪方法如卡尔曼滤波^[1]、粒子滤波^[2]以及基于特征点的光流法^[3]等, 大多是基于运动模型的, 近年来基于检测的判别式跟踪逐渐流行。Henriques提出了基于循环结构的CSK跟踪方法^[4], 奠定了相关滤波跟踪在跟踪技术中的地位。该方法利

用循环矩阵的性质来增加正样本数和负样本数，解决了密集采样的问题；同时利用核函数的快速傅里叶变换简化计算，提高了检测的速度，帧率达到100fps以上。后来又出现了基于颜色特征的CN方法^[5]和基于梯度直方图HOG特征的KCF方法^[6]。Li等人提出SAMF方法^[7]，通过在多尺度缩放的图像块上平移滤波器进行目标检测，响应最大的图像块对应的就是平移位置和目标尺度。Danelljan等人提出了SRDCF方法^[8]，通过添加空间正则项约束，惩罚边界区域的滤波器系数，抑制偏离中心的特征点对滤波器的影响。随着硬件计算水平的不断提高，基于深度学习的目标跟踪方法也发展迅猛，但在移动平台等资源有限的条件下很难应用。尽管目标跟踪技术在不断进步，然而在实际应用场景中，往往存在尺度变化、光照变化、快速运动、遮挡等干扰，影响目标跟踪结果。尤其在长时跟踪过程中，微小的误差会产生不可逆的误差累积，导致跟踪结果漂移。

考虑到无人装备平台的硬件情况，本文选用相关滤波框架实现长时目标跟踪。首先在候选区域中提取目标特征构成特征空间训练滤波器模型，然后通过位置滤波器实现目标中心定位，通过由尺度空间构建的尺度滤波器解决尺度缩放问题；然后利用置信度对跟踪结果进行判定，当低于阈值时激活目标重检测模块重新获取目标；最后根据跟踪结果对滤波器进行训练与更新。整体流程如图1所示。

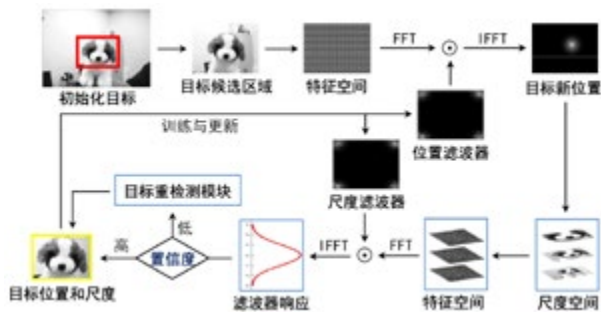


图1 跟踪方法流程图

Fig.1 Flow chart of tracking method

本文第一节详述了多尺度滤波器的实现方式；第二节介绍了以快速匹配方法为基础的重检测模块；第

三节阐述了置信度计算和模型更新方法；第四节给出了在标准数据集上的定性和定量评估结果；第五节进行了总结。

1 多尺度相关滤波器

在跟踪过程中，跟踪目标的大小形状总是在不断变化的。为了提高跟踪器对目标尺度变化的适应性，通过位置滤波器 W_p 和尺度滤波器 W_s 分别对目标的中心位置和尺度进行预测。两个滤波器互相独立，可使用不同的目标特征作为输入，分别训练与更新。

1.1 滤波器模型训练

通过训练可以获得最佳的相关滤波器 $W_{p,s}$ ，即找到一个以滤波器 W 为权重系数的线性回归函数，使得所有训练样本 D_0 通过回归函数后的输出与回归标签 y 之间的误差函数最小。使用平方误差函数作为损失函数，可以定义目标模型：

$$\min_w \|D_0 w - y\|_2^2 + \lambda \|w\|_2^2 \quad (1)$$

其中，矩阵 D_0 是由向量化图像块 d_0 经循环移位后生成的，回归目标 y 是二维高斯型的矢量化图像。 λ 为正则项的惩罚系数，防止出现模型过拟合问题。对于由循环移位生成的训练样本，公式1的求解过程可以根据循环矩阵和傅里叶对角化的性质进行化简，大大节省求解岭回归问题的时间。

由于目标函数是一个凸函数，可以通过求导操作最小化：

$$w = (D_0^T D_0 + \lambda I)^{-1} D_0^T y \quad (2)$$

通过循环矩阵在傅里叶域中的性质，可以有效地求解公式2的封闭解：

$$\hat{w} = (\hat{d}_0 \odot y) / (\hat{d}_0 \odot \hat{d}_0 + \lambda) \quad (3)$$

其中， \hat{w} 表示滤波器的 W 离散傅里叶变换，分数形式表示对矩阵中的元素做除法。在下一帧中通过将学习的滤波器与搜索区域图像块进行相关运算，即可得到置信图进行目标位置估计。

对于给定的图像块 z ，输出响应如下：

$$y(z) = w \otimes z = F^{-1}(\hat{w}^* \odot \hat{z}) \quad (4)$$

其中, F^{-1} 表示离散傅里叶逆变换。通过位置滤波器 W_p 进行输出响应计算, 同时利用离散傅里叶逆变换可以轻松恢复出空间域中的响应图, 响应最高的位置即为预测的目标中心位置。

1.2 尺度自适应

得到目标中心位置后, 采用构建图像金字塔的方法组成尺度检测模块。假设帧 t 中目标的大小为 $P \times R$, 中心位置为 (u^t, v^t) 。如果待选尺度的数量为 N , 尺度检测器为 S , 尺度比例因子为 p , 则尺度的值可以表示如下:

$$S = \{p^\mu | \mu = -\frac{N-1}{2}, -\frac{N-3}{2}, \dots, \frac{N-1}{2}\}, \quad (5)$$

$$\{N-1, N-3, \dots\} \geq 0$$

其中, 比例因子 $p > 0$ 且 $p \neq 1$ 。相邻帧之间的比例差通常很小, 因此在通过位置过滤器获得目标的中心位置之后, 可以在中心附近收集样本, 再通过尺度滤波器检测目标缩放比例。

以目标为中心选择大小为 $m \times n$ 的图像块作为样本, 其中 $m = p^u P$, $n = p^v R$ 。通过线性插值的方法将图像块的大小恢复为目标大小 $P \times R$ 。对于每个尺度图像块, 可以获得相应的尺度滤波器响应, 最大响应对应的图像块大小即为当前帧的目标尺度。尺度金字塔构建出的样本图像块不是线性关系, 而是由精到粗 (从中心向外) 的提取过程, 这有助于减小搜索范围并同时提高准确性, 实现小范围内的尺度自适应。

2 重检测模块

重检测通常需要考虑所有可能的平移、旋转、缩放等变换, 有时会导致计算过程过于复杂。由于绝对差值和 (Sum-of-Absolute-Difference, SAD)^[9] 计算方法简单, 对于广泛搜索是非常有效的, 因此采用基于仿射变换矩阵的快速模板匹配方法实现目标的重检测模块。

设有模板 I_1 , 目标图像为 I_2 , 首先初始化仿射变换参数网络, 包含六个参数 $(t_x, t_y, r_2, s_x, s_y, r_1)$, 分别对应于平移、旋转和缩放。旋转变换矩阵 R_1 、 R_2 和缩放变换矩阵 S 如下:

$$R_i = \begin{bmatrix} \cos(r_i) & -\sin(r_i) \\ \sin(r_i) & \cos(r_i) \end{bmatrix}, \quad i = 1, 2 \quad (6)$$

$$S = \begin{bmatrix} s_x & 0 \\ 0 & s_y \end{bmatrix} \quad (7)$$

根据该参数网络, 可以获得对应的仿射变换矩阵 A :

$$A = \begin{bmatrix} R_1 * S * R_2 & R_1 * S * R_2 & 0 \\ R_1 * S * R_2 & R_1 * S * R_2 & 0 \\ t_x & t_y & 1 \end{bmatrix} \quad (8)$$

以正方形图像为例, 给定灰度图像 I_1 和目标图像 I_2 , 尺寸分别为 $n_1 \times n_1$ 和 $n_2 \times n_2$, 并且灰度值在 $[0, 1]$ 之间。 $\Delta_T(I_1, I_2)$ 被定义为相对于特定仿射变换的归一化 SAD 距离:

$$\Delta_T(I_1, I_2) = \frac{1}{n_1^2} \sum_{p \in I_1} |I_1(p) - I_2(T(p))| \quad (9)$$

在公式 9 中, 如果 I_1 中的像素 p 通过仿射变换后超出图像 I_2 的范围, 则该像素处的差值为:

$$|I_1(p) - I_2(T(p))| = 1 \quad (10)$$

基本思想是找到一个仿射变换矩阵 T 使 $\Delta_T(I_1, I_2)$ 最小, $\Delta_T(I_1, I_2)$ 表示集合中某一仿射变换的误差距离:

$$\Delta(I_1, I_2) = \min_{T \in \Psi} \Delta_T(I_1, I_2) \quad (11)$$

给定仿射变换参数步长 $\epsilon > 0$, 可以在 Ψ 中找到变换 T^* , 使得:

$$|\Delta(I_1, I_2) - \Delta_{T^*}(I_1, I_2)| < \delta \quad (12)$$

基于快速匹配方法的重检测模块首先初始化采样步长、阈值和仿射变换参数网络, 并转换出仿射变换矩阵。采用随机算法估计每个仿射变换矩阵的 SAD, 即通过随机选取的模板中的点和经过仿射变换矩阵后对应目标图像位置的点的像素差值和估计 $\Delta_T(I_1, I_2)$, 并保留 SAD 在阈值范围内的仿射变换参数网络和相应的矩阵。SAD 越小, 说明模板匹配的效果越好。

然后使用分支定界 (Branch-and-Bound Scheme) 的方法加速求解^[10], 重新初始化二维仿射变换网络并重新计算 $\Delta_T(I_1, I_2)$, 直到满足最小迭代次

数为止。最后解得近似全局最优的仿射变换矩阵，从而获得目标在待搜索图像中的近似全局最佳位置。

3 自适应模型更新

相关跟踪主要通过滤波器输出响应结果获得目标位置，理想情况下，相关滤波器的输出在目标位置处具有很强的峰值，并且背景区域的响应均接近于零。

然而，在实际场景的应用中，由于背景杂乱、目标形变或遮挡等问题，在最终的响应图中会产生噪声干扰，因此利用单帧响应图对目标位置的判断有时是不可靠的。因此，利用Wang等人提出的平均峰值相关能量（APCE）作为判断响应图振荡程度的依据^[11]：

$$APCE = \frac{|F_{max} - F_{min}|^2}{mean(\sum_{w,h}(F_{w,h} - F_{min})^2)} \quad (13)$$

其中 F_{max} 、 F_{min} 和 $F_{w,h}$ 分别代表响应的峰值、谷值和对应位置的响应值。当滤波器响应的APCE值较大时，表明响应的峰值突出，震荡程度较低，说明此时目标与模型的匹配度较高。当APCE突然减小时，表明响应的震荡程度增加，说明此时存在遮挡物或者目标丢失情况。通过计算输出响应图的置信度就能实时评估相关滤波跟踪结果。

挑选高可靠的跟踪结果并根据通过一定的学习率对滤波器模型进行更新，当前帧的模型更新方式如下：

$$A_t = (1 - \eta)A_{t-1} + \eta(\hat{d}_0 \odot \hat{y}) \quad (14)$$

$$B_t = (1 - \eta)B_{t-1} + \eta(\hat{d}_0 \odot \hat{d}_0^*) \quad (15)$$

$$w_{p,s} = A_t / (B_t + \lambda) \quad (16)$$

其中，表示相关滤波器模型公式中分子的更新方式，表示分母中非正则项部分的参数更新。下标代表位置滤波器相关运算参数，下标代表尺度滤波器相关运算参数。

4 实验结果与分析

为了评估目标跟踪方法的性能，选取多个具有挑战性的序列进行实验。实验在操作系统为64位Windows10的台式机上执行，CPU芯片为Intel Core i5，主频3.2GHz，内存为8GB RAM，程序在Matlab 2017中执行。

选用九个跟踪器用于比较，分别为VTD^[12]、ASLA^[13]、SCM^[14]、CXT^[15]、Struck^[16]、CSK^[4]、KCF^[6]、DSST^[17]和TLD^[18]。实验以OTB-2013数据集的51个视频序列中的目标真值为基准，采用一次性通过评估OPE（One-Pass-Evaluation）的方法进行性能分析。跟踪器依据视频序列中初始帧的目标位置真值进行跟踪初始化，储存每一帧视频的目标跟踪结果。除本文方法外，其他跟踪器的结果均来自于数据集给出的公开结果。

4.1 定性分析

定性分析选取了OTB-2013数据集中比较有代表性序列，如图2所示。尽管这些视频中存在尺度变化、光照变化、遮挡、快速运动、面外旋转和出视野等多种具有挑战性的干扰因素，本文提出的跟踪方法在经过千帧后仍能准确地跟踪目标，如图中红色矩形框所示，取得了令人满意的结果。



(a) Coke视频序列截图
(a) Screenshot of Coke



(b) Deer视频序列截图
(b) Screenshot of Deer



(c) Liquor视频序列截图
(c) Screenshot of Liquor

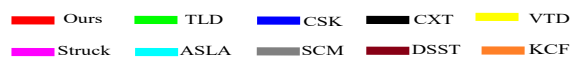


图2 与其他九个跟踪器的跟踪结果对比

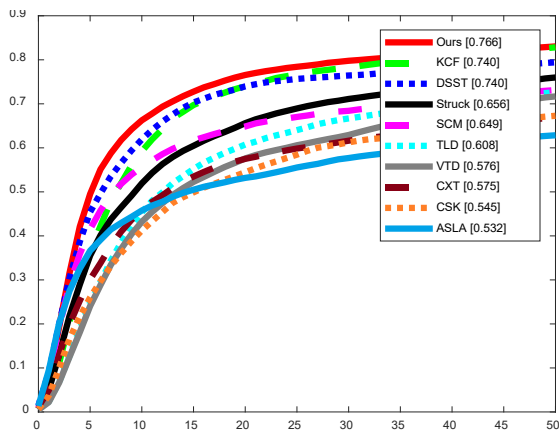
Fig.2 Comparisons of our approach with nine trackers

从图2(c)的跟踪结果图中可以看出，包括长时目

标跟踪方法TLD在内的多种跟踪器，均在最终丢失了目标。而本文提出的方法在Liquor中玻璃瓶的一部分离开视野或是被遮挡时，或是玻璃瓶因为快速运动移出搜索框时，仍能及时判断跟踪中心位置。实验结果验证了本文方法准确性和稳健性。

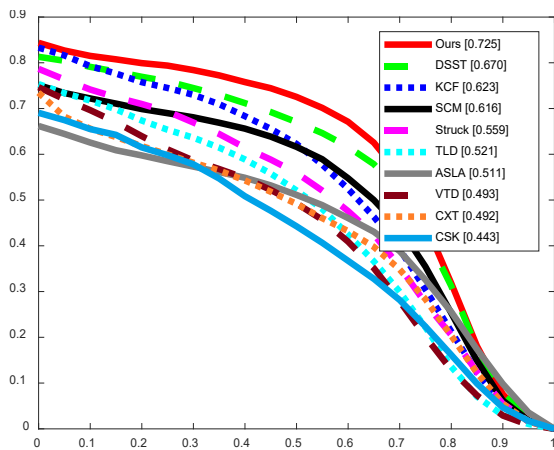
4.2 定量分析

通过在OTB-2013的所有51个视频上与九个不同的最新跟踪器相比，得到各个跟踪器的精度图如图3(a)所示，成功率图如图3(b)所示，其中最佳结果以红色线条显示。



(a) 采用一次性通过评估的精度图

(a) Precision plots of OPE



(b) 采用一次性通过评估的成功率图

(b) Success plots of OPE

图3 在OTB-2013上的实验结果曲线图

Fig.3 Plots of experimental results on OTB-2013

从图3(a)可以看出，本文方法在OTB-2013的整个数据集上取得了76.6%的准确率，与跟踪器DSST和KCF相比，显著提高了2.6%的精度。从图3(b)可以看出，本文方法取得了72.5%的成功率，优于DSST 5.5%，优于KCF 10.2%。结果表明，本文提出的跟踪方法能够较好地适应目标形变、遮挡、背景杂乱等复杂场景，综合性能表现优异。

5 结束语

针对无人装备战场信息获取和智能分析的需求，本文提出了一种面向无人装备视觉感知的目标长时跟踪方法。首先，构建位置和多尺度滤波器作为短时跟踪的基础，并用可靠的置信度计算方法判断可靠性。然后，通过以快速匹配方法为基础的重检测模块找回目标，减少由于快速运动、出视野等情况导致的跟踪失败问题。最后，筛选出可靠的跟踪结果在线训练目标外观模型，提高跟踪器对目标外观变化的适应能力。通过标准数据集进行了广泛的实验，结果表明本文方法优于多种典型的跟踪方法，并在长时跟踪情况中表现出较好的准确性和鲁棒性。但当相似目标出现时，跟踪器性能会受到较大影响，有待将来进一步研究。

参考文献 (References)

- [1] Li P, Zhang T, Ma B. Unscented Kalman filter for visual curve tracking[J]. Image and Vision Computing, 2003, 22(2): 157-164.
- [2] 李远征, 卢朝阳, 高全学, 等. 基于多特征融合的均值迁移粒子滤波跟踪算法[J]. 电子与信息学报, 2010, 32(002):411-415.
- [3] Decarlo D, Metaxas D. Optical Flow Constraints on Deformable Models with Applications to Face Tracking[J]. International Journal of Computer Vision, 2000, 38(2): 99-127.
- [4] Henriques J F, Caseiro R, Martins P, et al. Exploiting the Circulant Structure of Tracking-by-Detection with Kernels[C]. Proceedings of the European Conference on Computer Vision, Springer, 2012: 702-715.
- [5] Danelljan M, Khan F S, Felsberg M, et al. Adaptive Color Attributes for Real-Time Visual Tracking[C].

- Proceedings of the IEEE Conference on Computer Vision and Pattern Recognition, IEEE, 2014: 1090–1097.
- [6] Henriques J F, Caseiro R, Martins P, et al. High-Speed Tracking with Kernelized Correlation Filters[J]. IEEE transactions on pattern analysis and machine intelligence, 2015, 37(3): 583–596.
- [7] Yang L, Zhu J. A Scale Adaptive Kernel Correlation Filter Tracker with Feature Integration[C]. Proceedings of the European Conference on Computer Vision, Springer, 2014: 254–265.
- [8] Danelljan M, Hager G, Khan F S, et al. Learning Spatially Regularized Correlation Filters for Visual Tracking[C]. Proceedings of the IEEE International Conference on Computer Vision, IEEE, 2015: 4310–4318.
- [9] 张丽红, 何树成. 基于差值绝对值之和和置信传播的快速收敛立体匹配算法[J]. 计算机应用, 2014(03):216–219.
- [10] 杨夷梅, 杨玉军. 分支定界算法优化研究[J]. 中国科技信息, 2008(21):42–43.
- [11] Wang M, Liu Y, Huang Z. Large Margin Object Tracking with Circulant Feature Maps[C]. Proceedings of the IEEE Conference on Computer Vision and Pattern Recognition, IEEE, 2017:4021–4029.
- [12] Kwon J, Lee K M. Visual Tracking Decomposition[C]. Proceedings of the IEEE Conference on Computer Vision and Pattern Recognition, IEEE, 2010:1269–1276.
- [13] Xu J, Lu H, Yang M H. Visual tracking via adaptive structural local sparse appearance model[C]. Proceedings of the IEEE Conference on Computer Vision and Pattern Recognition, IEEE, 2012: 1822–1829.
- [14] Zhong W, Lu H, Yang M H. Robust Object Tracking via Sparse Collaborative Appearance Model[J]. IEEE Transactions on Image Processing, 2014, 23(5): 2356–2368.
- [15] Dinh T B, Vo N, Medioni G G. Context tracker: Exploring supporters and distracters in unconstrained environments[C]. Proceedings of the IEEE Conference on Computer Vision and Pattern Recognition, IEEE, 2011: 1177–1184.
- [16] Hare S, Golodetz S, Saffari A, et al. Struck: Structured Output Tracking with Kernels[J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 2016, 38(10): 2096–2109.
- [17] Danelljan M, Hger G, Khan F S, et al. Discriminative Scale Space Tracking[J]. IEEE Transactions on Pattern Analysis & Machine Intelligence, 2016, 39(8): 1561–1575.
- [18] Kalal Z, Mikolajczyk K, Matas J. Tracking–Learning–Detection[J]. IEEE Trans Pattern Anal Mach Intell, 2011, 34(7): 1409–1422.



作者简介:

杨若凌(1995—),女,硕士,助理工程师,研究方向为图像处理、目标跟踪与检测。

微处理器电路瞬时剂量率效应的仿真与试验研究

于春青, 李同德, 郑宏超, 王亮

(北京微电子技术研究所, 北京 100076)

摘要: 本文针对一款百万门级 $0.18\mu\text{m}$ CMOS工艺抗辐射加固的32位SPARC V8架构微处理器, 开展了瞬时剂量率效应的仿真与试验研究。利用TCAD仿真工具获取了NMOS和PMOS的电流变化规律, 在“强光一号”上开展了瞬时剂量率试验, 获得了瞬时光电流等试验数据, 与仿真数据进行了对比, 结果表明仿真结果与试验结果具有较好的一致性。

关键词: 微处理器; 剂量率仿真; 剂量率闩锁; 剂量率扰动

中图分类号: TN402 文献标识码: A

Simulation and Experiment Studies on Transient Dose Rate Effect of Microprocessor

Yu Chunqing, Li Tongde, Zheng Hongchao, Wang Liang

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

Abstract: A radiation-hardened 32-bit SPARC V8 microprocessor with a million gate level of $0.18\mu\text{m}$ CMOS technology is studied in this paper. The simulation and experimental analysis of transient dose rate effect are carried out. The transient dose rate current change rules of NMOS and PMOS are obtained by TCAD. The transient dose rate effect test is carried out with the “QiangGuang-1” accelerator, and the test data of transient photocurrent is obtained, which is compared with the simulation data to verify that they are in good agreement with each other.

Key words: microprocessor; dose rate simulation; dose rate latchup; dose rate disturbance

0 引言

抗辐射加固CMOS微处理器在空间、军事领域用途广泛, 是宇航/装备型号系统的关键核心器件。对于超深亚微米CMOS集成电路, 瞬时剂量率效应是众多辐射效应中, 影响最为复杂、加固难度最大的效应。微处理器对瞬时剂量率辐射十分敏感, 在不同剂量率辐射下, 会产生扰动、翻转、闩锁甚至烧毁等各种问题。开展微处理器的剂量率辐射效应研究具有重要意义, 也是当前国内外抗辐射加固技术研究的重点和难点之一。

目前, 国内科研人员对不同工艺的单管和集成电路的瞬时剂量率效应损伤机理和变化规律开展了一定的研究工作, 西北核技术研究所、北京微电子技术研究所等单位开展了CMOS、LDMOS、SiGe HBT、LDO、MCU、SRAM、EEPROM等电路的瞬时剂量

率仿真研究和辐射试验研究, 测试了电路的瞬时剂量率辐射效应变化规律并获取了闩锁效应和翻转效应阈值^[1-7]; 中国工程物理研究院对SOI器件瞬时剂量率效应的激光模拟技术进行了研究, 通过激光实验数据与器件TCAD仿真结果的对比表明, 激光模拟技术可用于半导体SOI器件瞬时剂量率效应研究^[8]。此外国外相关单位也开展了器件级二极管瞬时剂量率仿真与试验对比研究并给出了仿真准确度^[9]。目前, 国内外对于大规模集成电路的瞬时剂量率效应仿真与试验的相关性研究还未开展。

本文选取一款 $0.18\mu\text{m}$ 百万门级抗辐射加固微处理器作为目标电路, 利用TCAD仿真工具对最基本的组成单元PMOS、NMOS管进行了瞬时剂量率辐射效应建模仿真, 获得了MOS管瞬时剂量率瞬时光电流

变化数据，并在“强光一号”装置上开展了瞬时剂量率辐射试验。

1 微处理器电路概述

本文采用的 $0.18\mu\text{m}$ CMOS工艺微处理器是基于SPARC V8的32位抗辐射加固微处理器，电路的I/O电源电压3.3V，内核电压1.8V，采用5级流水线，支持硬件乘法，具有8个寄存器堆窗口、16K字节的数据Cache、32K字节的指令Cache，具有整数和浮点处理单元。具有支持PROM、SRAM、SDRAM等存储器控制器，工作主频为100MHz。通过加上存储器等相关外围电路，就可以构成完整的单板计算机系统。

由于瞬时剂量率辐射会造成CMOS电路发生闩锁和扰动，抗辐射加固微处理器电路进行了抗辐射设计加固。CMOS工艺下高瞬时剂量率辐射效应会在半导体器件中产生很强的瞬时光电流，由于电路中存在的寄生结构，将会降低阱的电位，使寄生三极管处于开启状态，放大瞬时光电流，给电路造成严重影响，导致电路发生闩锁^[10]。保护环结构在版图布局中对PMOS和NMOS也有广泛的应用，当电路受到瞬时剂量率辐射时，产生大量的光电流，由于保护环的存在，使得阱电阻降低，光电流流过阱形成的电压降减小，存在于MOS中的寄生三极管的发射结不能处于正偏状态，从而对初级光电流不产生放大作用。因此，通过设计保护环布局结构，能够减弱由瞬时剂量率效应导致的阱电位扰动，从而提高寄生三极管开启的阈值。微处理器电路设计的部分版图如图1所示。

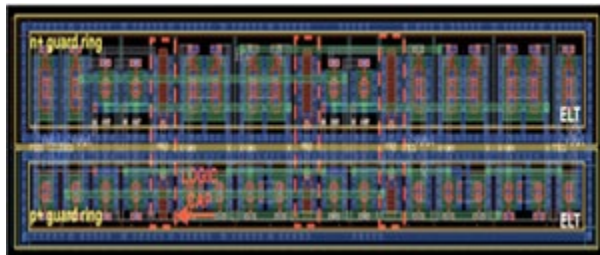


图1 微处理器版图结构（部分）

Fig.1 Layout structure of microprocessor (portion)

在瞬时剂量率辐射下，所有的处于反偏的寄生

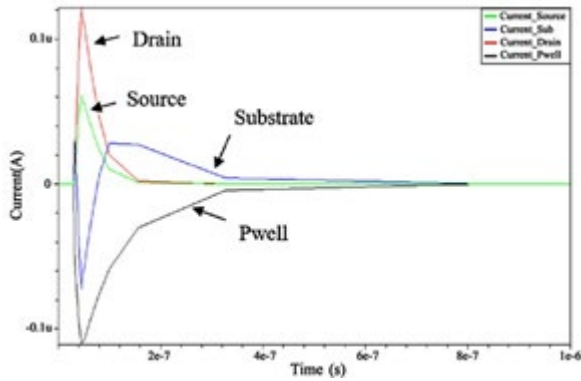
二极管和保护二极管都要产生初始光电流，从而使CMOS电路的输出电平发生变化，产生扰动，严重者，导致电平翻转。微处理器的瞬时剂量率翻转效应比较敏感，采用系统级加固方法提高微处理器电路抗瞬时剂量率扰动的能力，通过实时将微处理器运行状态保存在外部非易失存储器的方式，在瞬时剂量率扰动发生时，实现了微处理器在中断时刻程序自动恢复运行，提高了系统在发生瞬时剂量率扰动后自动恢复运行的能力，从而有效降低微处理器的瞬时剂量率翻转阈值。

2 瞬时剂量率效应仿真

本文使用TCAD仿真软件，对微处理器中最基本的MOS管结构进行了器件仿真建模及剂量率效应仿真，其基本策略是将所建立的全三维器件进行网格划分，计算每个网格的物理参数，建立器件的精确物理模型，利用TCAD中的SDE工具，进行三维建模、掺杂情况和网格划分，利用SDEVICE工具进行电学参数、辐射参数、混仿参数的解算，最终获得瞬时光电流和电压随时间的波形变化，以及器件内部载流子的变化情况。

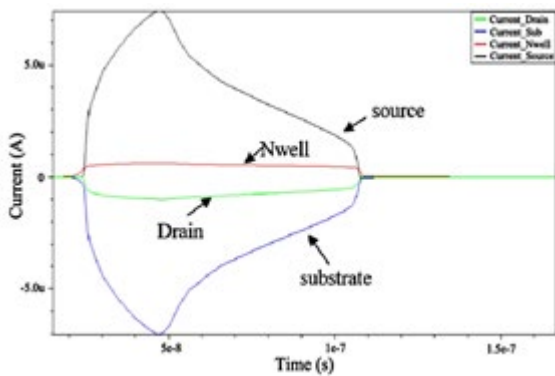
本次瞬时剂量率仿真选取处理器电路中常用的晶体管。仿真时，将未加固NMOS器件的偏置设置为N管栅接0V，源接0V，漏接1.8V，P阱接0V，衬底接0V，该偏置可以更加直观的观察光电流的大小，去除了器件开启的工作电流。对未加固的PMOS器件的仿真设置为栅1.8V，源1.8V，漏0V，除此之外，N阱接1.8V，衬底接0V。瞬时剂量率仿真的辐射参数设置如下：剂量率为 $1.3\text{E}11\text{rad}(\text{Si})/\text{s}$ ，辐射脉宽是25ns。仿真得到的NMOS和PMOS光电流分布如图2(a)和图2(b)所示。

从图2(a)中可以看出，NMOS管漏端收集的光电流最大，峰值是 $0.12\mu\text{A}$ ，衬底的光电流峰值为 $0.07\mu\text{A}$ ，P阱的光电流峰值为 $0.12\mu\text{A}$ ，源端的光电流峰值为 $0.06\mu\text{A}$ 。从图2(b)中可以看出，对于PMOS器件，源端收集的光电流最大，峰值电流为 $7.4\mu\text{A}$ ，衬底光电流为 $7\mu\text{A}$ ，N阱光电流的峰值为 $0.6\mu\text{A}$ ，漏端光电流的峰值为 $1\mu\text{A}$ 。PMOS器件产生的光电流峰



(a) NMOS 器件光电流仿真图

(a) Simulation results of photocurrent generated in NMOS



(b) PMOS 光电流仿真结果

(b) Simulation results of photocurrent generated in PMOS

图2 光电流仿真结果

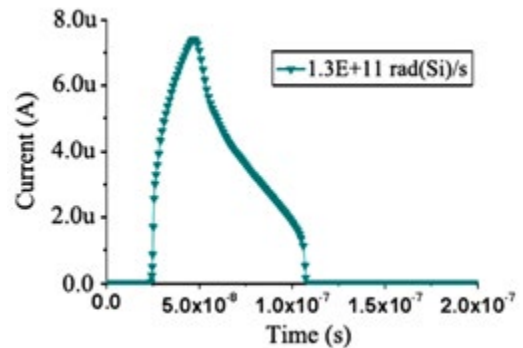
Fig.2 Simulation results of photocurrent

值比NMOS器件光电流峰值高将近2个数量级，是主要的考虑因素。

造成此差异的主要原因为：NMOS器件中最主要的结构就是源-阱和漏-阱的PN结，通过扩散等过程形成电流。NMOS的阱和衬底之间是同型的，只有浓度差，不存在PN结。其瞬时光电流的大小主要受PN结参数包括耗尽区面积的大小以及掺杂浓度的影响^[10]。而在PMOS中存在NMOS中不存在的纵向寄生结构，即源-N阱-衬底构成的PNP结构，此外PMOS存在的阱-衬底的结相较于源-阱和漏-阱的结更大。同时，PMOS结构中也存在横向的寄生三极管即由

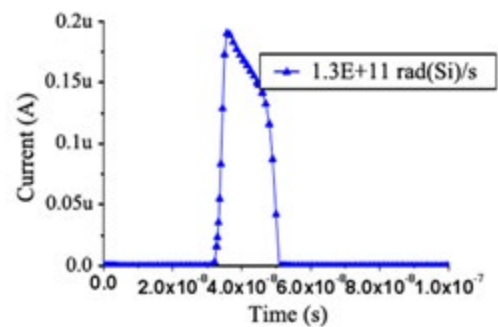
源-N阱-漏构成的PNP结构。因此，当受到剂量率辐射时，PMOS管比NMOS管产生的瞬时光电流大很多。

为了验证版图加固效果，在相同的瞬时剂量率仿真辐射参数设置条件下，对非版图加固和版图加固的PMOS管进行了剂量率效应仿真，仿真获得的PMOS管源端光电流如图3所示。从图3中可以看出，在 $1.3E11\text{rad}(\text{Si})/\text{s}$ 剂量率下，非版图加固的PMOS管源端收集的峰值电流为 $7.4\mu\text{A}$ ，版图加固的PMOS管源端收集的峰值电流为 $0.19\mu\text{A}$ ，仿真结果证明版图加固具有有效性。



(a) 非加固PMOS源端光电流

(a) Source photocurrent of unhardened PMOS



(b) 加固PMOS源端光电流

(b) Source photocurrent of hardened PMOS

图3 非加固与加固PMOS光电流对比

Fig.3 Comparison of source photocurrent between unhardened and hardened PMOS

为了预估微处理器电路整体瞬时光电流，采用版图加固的PMOS器件在 $1.3E11\text{rad}(\text{Si})/\text{s}$ 剂量率仿真下

得到瞬时光电流 $0.19\mu\text{A}$ ，乘以百万门级微处理器电路的器件数量（以每个等效门有4个晶体管为例，每对PMOS和NMOS只有一个导通，因此乘以200万个PMOS管的光电流），可以预估整体电路瞬时光电流峰值约为380mA。

3 测试系统与测试判据

该瞬时剂量率辐射试验主要有三个目的。一是获取微处理器电路的瞬时辐射光电流，以验证仿真结果的准确性；二是测试电路的抗瞬时剂量率瞬时门锁能力，以验证设计加固手段的有效性；三是测试验证该系统方案是否能够在发生瞬时剂量率扰动后自动恢复程序运行。

微处理器瞬时剂量率效应试验系统由微处理器和外围电路组成，其中外围电路包括程序PROM、内存FRAM和通信RS485组成，该试验系统与远端计算机通过RS485通讯方式连接；微处理器运行典型运算功能，程序运算结果通过串口发回远端监控计算机；程控电源可以实时监控采集处理器的工作电流，电流采集结果自动保存在上位机中；示波器监控微处理器的输出功能信号扰动情况，判断功能信号扰动是否自动恢复。整个瞬时剂量率试验系统如图4所示。

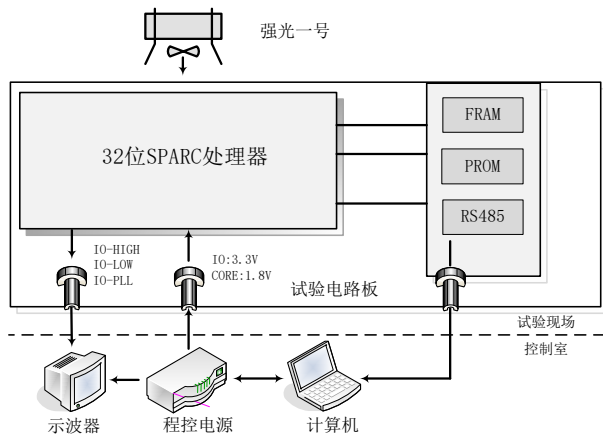


图4 瞬时剂量率试验系统图

Fig.4 The diagram of dose rate experiment system

微处理器的电压设置为最高偏压，工作频率设置为100MHz，上电启动后，读取PROM中的程序，加载时间为340ms，初始化完成后，通过计数器程

序，每计数10万次，PIO4与PIO5输出端口（两端口反相）高低变化一次，即输出周期为1.36s方波至示波器，同时通过上位机串口显示输出状态，并将结果保存在控制计算机中。微处理器运行时每隔7us向FRAM存储数据寄存器数据和记录程序运行位置的标志位，由于FRAM具有数据不易丢失的特点，在瞬时辐照条件下，即使微处理器瞬间掉电并恢复，程序也可自动在断点处继续上次结果恢复运行。

整个瞬时剂量率试验流程如图5所示，具体流程如下：

- 1) 上电初始化，微处理器从PROM中自动加载测试程序执行；
- 2) 微处理器循环执行典型运算程序，监控输出口波形信号，保存串口输出数据；
- 3) 开始瞬时剂量率辐照，如果功能信号正常，试验结束，如果功能信号异常，自动重新加载程序，恢复上次断点运行，记录断点前后时刻的波形和串口变化数据，试验结束。

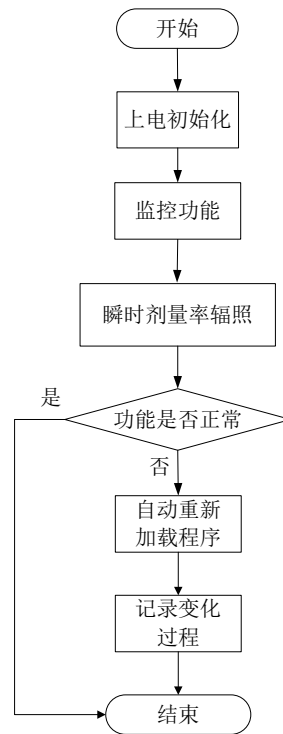


图5 瞬时剂量率试验流程图

Fig.5 Flow chart of dose rate experiment

4 辐照试验结果分析

在西北核技术研究所“强光一号”装置上进行辐照试验，该装置可模拟多种瞬时剂量率脉冲辐射环境，提供的辐射参数如表1所示。本次试验采用窄脉冲 γ 类型。

表1 “强光一号”装置辐射参数

Tab.1 Radiation parameters of “Qiangguang-1” accelerator

辐射类型	光子能量	脉冲宽度	剂量率
窄脉冲 γ 射线	>1McV	25±5ns	1E10~1E11rad(Si)/s

通过改变试验样品与靶面之间的距离，可以调整瞬时剂量率的大小，从而获得目标剂量率。瞬时剂量率试验现场装置如图6所示。



图6 瞬时剂量率试验现场装置

Fig.6 Dose rate test equipment on-site

瞬时剂量率试验一共进行了4次，辐照了2只微处理器，试验结果如表2所示，结果表明微处理器的瞬时剂量率门限阈值大于 $1.7E11\text{rad(Si)/s}$ ，采用加固的处理器电路具有很好的抗瞬时剂量率门限能力，仿真获得光电流峰值高于试验光电流峰值。

表2 剂量率效应试验结果

Tab.2 Experiment results of dose rate effect

芯片编号	辐射剂量 (rad(Si))	现象	光电流峰值(mA)
1#	1.7E+11	通过	215
	1.1E+11	通过	202
2#	1.3E+11	通过	205
	1.4E+11	通过	208

经过分析，试验和仿真光电流峰值误差来源主要有以下三个方面：一是仿真仅覆盖了典型晶体管尺寸和典型物理版图，而实际微处理器电路构成非常复杂，晶体管尺寸和版图有多种变化，单元电路的结构也有所不同；二是仿真中为晶体管供电的电源是理想的（即没有内阻），而实际测试中电路的电源供电能力有限，在光电流较大时，电源、板级和芯片内部的压降变大，减弱了瞬时剂量率的影响；三是仿真模型的不确定度和试验误差。尽管如此，试验和仿真结果误差在一个数量级内，证明瞬时剂量率仿真结果是具有指导意义的。

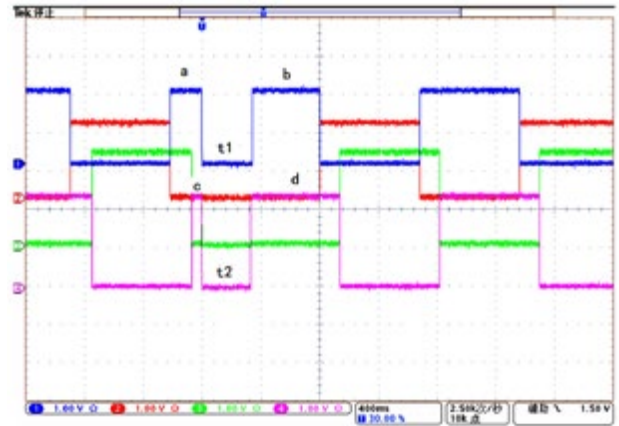


图7 可自动恢复的瞬时剂量率扰动波形

Fig.7 Dose rate disturbance waveform with automatic recovery

在4次试验中微处理器均发生了功能信号自动恢复现象，监测到的部分输出端口波形如图7所示。图中ch1、ch2、ch3、ch4分别代表1#、2#芯片的PIO4、PIO5，PIO4与PIO5端口两端口反相，当剂量率效应零时刻功能信号自动重启恢复时，ch1和ch4在重启前后的高电平时间长度之和（即a+b，c+d的高电平时间长度之和）仍然为680ms，t1，t2为系统程序加载时间340ms，在此期间ch2和ch3波形不变，程序加载完成后ch2和ch3随ch1和ch4的变化恢复正常，表明该系统的功能信号从出错的位置重新启动并继续运行功能，提高了微处理器的瞬时剂量率扰动发生后自动恢复程序运行的能力。

5 结束语

本文开展了0.18 μm 百万门级抗辐射加固微处理器的瞬时剂量率效应仿真与试验研究,利用TCAD仿真工具对NMOS和PMOS管进行了器件级瞬时剂量率仿真,分别获取了器件瞬时光电流的变化数据,结合电路规模预估了微处理器在瞬时剂量率辐射下的瞬时光电流峰值。在“强光一号”装置上进行了瞬时剂量率辐射试验,获得了瞬时光电流数据,验证了仿真数据。试验结果还验证了抗辐射加固微处理器的抗瞬时剂量率门锁和系统级保护方案在发生瞬时剂量率扰动后自动恢复程序运行的能力。

参考文献 (References)

- [1] 余洋, 乔明. 一种SOILD MOS器件辐射效应仿真研究[J]. 电子与封装, 2018, 18(183):32-38.
- [2] 马婷, 张晋新, 贺朝会. 不同偏置影响SiGe HBT剂量率效应数值模拟[J]. 原子能科学技术, 2017, 51(3):549-554.
- [3] 杨善潮, 马强, 金晓明. EE80C196KC20型单片机小系统的脉冲 γ 辐射效应实验研究[J]. 现代应用物理, 2013, 4(3):67-71.
- [4] 王桂珍, 林东生, 齐超等. EEPROM和SRAM瞬时剂量率效应比较[J]. 微电子学, 2014, 44(4):510-514.
- [5] ZHAO Y F, ZHENG H CH, FAN L, et al.

Experimental Research on Transient Radiation Effects in Microprocessors Based on SPARC-V8 Architecture [J]. Journal of semiconductors, 2015, 36(11):58-62.

- [6] 李同德, 赵元富, 王亮. 多电压集成电路的瞬时剂量率辐射效应试验研究[J]. 电子技术应用, 2017, 43(1):6-9.
- [7] 杨力宏, 姚和平, 刘智. 低压差线性稳压器瞬时电离辐射试验方法[J]. 太赫兹科学与电子信息学报, 2017, 15(1):129-133.
- [8] 梁堃, 孙鹏, 李沫. SOI器件瞬时剂量率效应的激光模拟技术研究[J]. 原子能科学技术, 2017, 15(1):187-192.
- [9] N. H. Lee, S.C. Oh, S.H. Jeong, et al. Analysis of The Transient Radiation Damage Effects on Electronics Using Irradiation Experiment and Model Simulation[C]. 2013 IEEE Nuclear Science Symposium and Medical Imaging Conference, Seoul, 2013, pp. 1-3.
- [10] 李同德, 体硅集成电路的瞬时剂量率辐射效应研究[D]. 北京: 中国航天科技集团有限公司第一研究院, 2018.



作者简介:

于春青(1987-),女,河北省保定市,硕士,工程师,研究方向为抗辐射加固验证技术。

一种基于稀疏表示的温度场重建技术

张天一^{1,2}, 李文昌^{1,2}, 刘剑^{1,2}

(1.中国科学院大学, 北京 100049; 2.中国科学院半导体研究所, 北京 100083)

摘要: 多核处理器等超大规模集成电路通常采用动态热管理技术处理热问题, 高精度重建芯片温度场是动态热管理正确运行、保证芯片运行性能及工作可靠性的前提条件。基于频域分析的温度场重建技术损失了一部分高频信息, 重建精度较低。为了提升温度场重建精度, 提出了一种基于稀疏表示的温度场重建方法。该方法通过字典学习将温度场先验信息稀疏表示, 同时设计温度传感器位置分配方案, 实现了温度场的重建。实验结果验证了所提方案具有更精确的温度场重建性能。

关键词: 温度场重建; 稀疏表示; 字典学习; 温度传感器

中图分类号: V221+.92; TP212 **文献标识码:** A

A Thermal Field Reconstruction Technology Based on Sparse Representation

Zhang Tianyi^{1,2}, Li Wenchang^{1,2}, Liu Jian^{1,2}

(1. University of Chinese Academy of Sciences, Beijing, 100049, China; 2. Institute of Semiconductors, Chinese Academy of Sciences, Beijing, 100083, China)

Abstract: Dynamic thermal management is used to handle the thermal problem of very large scale integrated circuits, such as multi-core processors. Accurate reconstruction of the temperature field can insure dynamic thermal management working precisely, guarantee the chip working performance and reliability further. The temperature field reconstruction techniques based on analysis in frequency domain ignore the information in high frequency domain, which leads to thermal field recovery inaccurate. In order to improve the precision of thermal field reconstruction, a new thermal field reconstruction method based on sparse representation technology is proposed. After learning a priori knowledge of thermal field, the dictionary is obtained and the priori knowledge is sparsely represented. In the mean time temperature sensors allocation scheme is designed. Thus the real-time temperature field can be reconstructed. The experiments prove that the proposed strategy have better performance than the methods based on analysis in frequency domain.

Keywords: thermal field reconstruction; sparse representation; dictionary learning; temperature sensors

0 引言

随着集成电路工艺的发展, 晶体管的特征尺寸越来越小, 多核处理器等大规模集成电路单位面积上集成的器件越来越多, 导致芯片功率密度增加, 工作温度上升, 从而引起严重的热问题。过高的温度会降低芯片的运行性能, 减少芯片的使用寿命, 严重时甚至导致芯片直接损坏^[1,2]。高性能芯片采用动态热管理 (Dynamic Thermal Management, DTM) 技术处理热问题^[3,4]。DTM通过集成在芯片上的温度传感器实时监测芯片温度场信息, 当发现芯片温度超过阈值时, 触发管理机制并采用调整芯片工作负载、降低时钟频率或者启动冷却装置等方式降低芯片温度, 可

以有效地抑制芯片过热情况发生^[5]。温度场监测精度对DTM准确、高效运行至关重要。温度场监测误差会导致DTM过早或过晚的触发。不必要地过早触发DTM会使芯片低性能运行; 而延迟触发DTM则可能导致芯片的温度过高, 甚至导致芯片失效。因此, 精确监测芯片温度场对于保障芯片运行性能和可靠性十分必要。

在实际应用中, 受芯片资源限制, 只允许少量温度传感器布置在被监测芯片上。因此, 如何通过有限数量的温度传感器精确地获得温度场信息成为研究热点^[6,7]。Cochran等^[8]利用奈奎斯特-香农采样定

理, 通过频域傅里叶分析技术实现了多核处理器的温度场重建, 研究证明温度场在频域表现为稀疏性。Nowroz等^[9]通过离散余弦变换在频域分析温度场先验信息, 相比于傅里叶变换, 离散余弦变换在频域具有更好的能量集中性, 并利用频域信号能量特性提出了温度传感器布局与温度场重建策略。李鑫等^[10]在频域分析的基础上, 通过改进Voronoi图构建算法来提高温度场重建精度。在频域下, 温度场信号主要集中在低频区, 因此基于频域的温度场重建技术在重建温度场时会忽略大部分高频信号, 这一定程度上会造成重建精度的降低。Chen等^[11]提出了基于压缩感知的温度场重建技术, 利用温度场频域稀疏性并结合压缩感知理论还原温度场, 但需要注意的是, 根据压缩感知理论当温度传感器数量小于稀疏度时, 重建精度会降低。

本文提出一种基于稀疏表示的温度场重建技术。首先利用温度场先验信息训练字典, 然后通过字典学习将温度场进行稀疏表示, 而温度传感器的位置分配实际上是从N个位置中选出最优的S个位置, 这属于NP-hard问题, 故采用模拟退火算法求解传感器位置, 最后利用正交匹配追踪算法重建温度场, 进一步提高温度场重建精度。

1 温度场稀疏表示

许多高性能芯片在不同工作条件下, 产生的温度场分布不同, 在芯片设计阶段可以得到温度场分布的先验信息。通过对温度场先验信息进行字典学习, 可以将温度场稀疏表示^[12]。假设温度场先验信息包含T个温度场, 对于 $1 \leq t \leq T$, 温度场 f_t 是一个 $W \times H$ 的离散化数据矩阵, W、H分别代表温度场宽和高方向的离散数据分辨率。记 $N=W \times H$, 对于 $0 \leq n \leq N-1$, 将温度场矩阵 f_t 转换为向量表示, 见公式(1):

$$f_t[n] = f_t \left[n \bmod W, \left\lfloor \frac{n}{W} \right\rfloor \right] \quad (1)$$

其中, “ $\lfloor \cdot \rfloor$ ”代表向下取整。通过公式(1)可以得到包含T个温度场的先验信息 $F = \{f_1, f_2, \dots, f_T\}$ 。这里, 粗体符号表示向量或者矩阵, 下文类同。字典

学习通过公式(2)将F分解如下

$$F = DX \quad (2)$$

其中, D称为字典, $D = \{d_1, d_2, \dots, d_K\}$, 是由一组基向量组成的 $N \times K$ 矩阵, 每个基向量称为原子; K为原子个数, 当用于稀疏表示时, D为过完备字典, 即 $K > N$; $X = \{x_1, x_2, \dots, x_T\}$, 是F的稀疏编码, 当稀疏度为L时, X的每个列向量中只有L个非零值。

温度场重建过程如图1所示, 其中, F_S 表示温度传感器数据, D_S 表示字典D对应传感器位置提取的子字典, \hat{X} 表示解算得到的稀疏编码, \hat{F} 表示温度场重建值。在芯片设计阶段通过对温度场先验信息分析得到字典D, 在芯片工作阶段利用温度传感器数据求解X, 则可以通过公式(1)重建温度场。相比于基于频域的温度场重建技术, X的稀疏性并非近似得到, 失真性更小, 同时非零值的位置不固定, 结合过完备字典, 可以实现更高的重建精度。

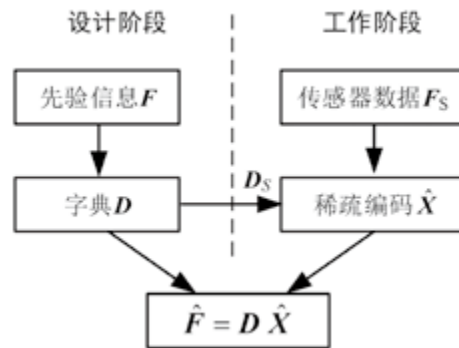


图1 温度场重建过程图

Fig.1 Principle of temperature field reconstruction

求解字典D为一个迭代过程, 每次迭代需要完成稀疏编码和字典更新两个步骤, 直到完成迭代次数, 流程如图2所示。

稀疏编码, 即为已知字典D, 更新X的过程, 采用逐列更新方式, 对于X的第t列 x_t , 以最小均方误差作为原则, 可以按公式(3)求解计算:

$$x_t = \arg \min E \|f_t - Dx_t\|_F^2 \quad (3)$$

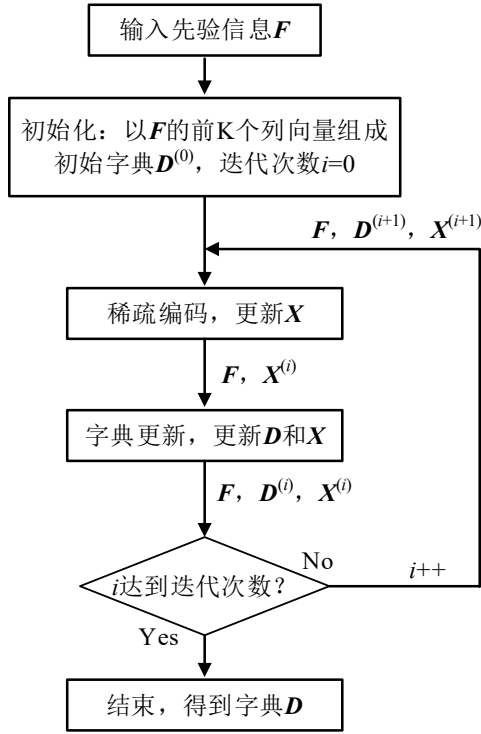


图2 字典D的求解流程图

Fig.2 Process of solving dictionary D

这里，下角标F代表Frobenius范数。由于 f_i 、D及 x_i 的稀疏度L均是已知的，可以利用正交匹配追踪算法计算^[13]。X的完整更新算法过程如下：

- 1) 已知字典D，先验信息F，稀疏度L；
- 2) 当更新X的第t列，初始化：残差 $r_0=f_t$ ；索引集 $l=\emptyset$ ； $i=1$ ；
- 3) 判断：当 $i \leq L$ 时进行下一步，否则跳至第(9)步；

4) 求D每列与残差 r_{i-1} 的内积，并从其中找出最大值对应的位置 λ_i ，即

$$\lambda_i = \arg \max_{k=1 \dots K} \left| \langle r_i, d_k \rangle \right|;$$

5) 更新索引集 $l = l \cup \{\lambda_i\}$ ，根据索引集中的角标位置从D中提取相应位置列向量组成矩阵 $D_i = \{d_{\lambda_1}, d_{\lambda_2}, \dots, d_{\lambda_i}\}$ ；

- 6) 根据最小二乘原理求得稀疏表示

$$x_i = D_i^\dagger f_i$$

其中，符号“ \dagger ”表示广义逆矩阵运算，即

$$D^\dagger = (D^* D)^{-1} D^*$$

其中，符号“ $*$ ”代表矩阵的共轭转置运算；

- 7) 更新残差 r_i ， $r_i = f_i - D_i x_i$ ；
- 8) 完成本次迭代， $i = i + 1$ ，跳至第(3)步；
- 9) 完成X的第t列更新， $x_t[l] = x_i$ ，跳至第(2)步并

重复(3)~(8)步，直至X的所有列更新完毕。

字典更新，即为已知X更新D的过程，逐个更新字典原子，对于D的第k个原子满足最小二乘原则，可以按公式(4)进行计算：

$$\begin{aligned} d_k &= \arg \min E \left\| \left(F - \sum_{j=1, j \neq k}^K d_j x_T^j \right) - d_k x_T^k \right\|_F^2 \\ &= \arg \min E \left\| E_k - d_k x_T^k \right\|_F^2 \end{aligned} \quad (4)$$

其中， x_T 表示X的行向量，上角标j、k表示第j、k行， E_k 代表更新第k个原子时对应的残差矩阵。此时可以利用奇异值分解求解 d_k 。对 E_k 进行奇异值分解，取左奇异矩阵的第1个列向量作为 d_k ，取右奇异矩阵的第1个行向量与第1个奇异值的乘积作为 x_T^k ，则完成了对第k个原子的更新，同时更新了X。D的完整更新算法过程如下：

- 1) 已知原字典D，先验信息F，稀疏编码X；
- 2) 更新第k个原子，找到 x_T^k 中非零元素的位置索引集合 Λ ；

- 3) 令 $d_k=0$ ，并计算残差矩阵

$$E_k = F - D_{d_k=0} X;$$

4) 为了保证X的稀疏性，只更新 x_T^k 中的非零元素，按照位置索引集 Λ ，从残差 E_k 提取对应位置的列向量，得到 E_k'

- 5) 对 E_k' 做奇异值分解， $E_k' = U \Sigma V^*$ ；

- 6) 同时更新 d_k 及 x_T^k

$$d_k = U[:, 1], x_T^k[\Lambda] = \Sigma[1, 1] V[:, 1]^*;$$

- 7) 跳至第(2)步并重复(3)~(6)步，直至D的所有

原子更新完毕。

完成图2的流程后得到字典D，然后就可以利用字典D计算温度传感器位置，并实现温度场重建。

2 传感器分配与温度场重建

如图1所示，根据温度传感器数据计算出来X。对于S个温度传感器，温度传感器的位置记为 $L=\{l_1, l_2, \dots, l_s\}$ ，可以得到公式(5)和公式(6)：

$$\begin{pmatrix} f_1[l_1] & \dots & f_T[l_1] \\ \vdots & \ddots & \vdots \\ f_1[l_s] & \dots & f_T[l_s] \end{pmatrix} = \begin{pmatrix} d_1[l_1] & \dots & d_k[l_1] \\ \vdots & \ddots & \vdots \\ d_1[l_s] & \dots & d_k[l_s] \end{pmatrix} \hat{X} \quad (5)$$

$$F_S = D_S \hat{X} \quad (6)$$

温度传感器的位置会影响X的解算精度。考虑实际温度传感器的采样噪声以及X的求解误差，公式(6)的表达式调整为公式(7)。

$$F_S + \delta = D_S (\hat{X} + \varepsilon) \quad (7)$$

其中， δ 为随机噪声， ε 为求解误差。对公式(7)进行分析可以得到公式(8)。

$$\frac{\|\varepsilon\|_2}{\|\hat{X}\|_2} \leq \text{Cond}_2(D_S) \|\delta\|_2 \quad (8)$$

根据公式(8)，求解误差 ε 的大小被矩阵 D_S 的条件数 $\text{Cond}_2(D_S)$ 限制，因此，选出S个温度传感器位置，使 $\text{Cond}_2(D_S)$ 最小就能使求解误差最小。从N个位置中选出最优的S个位置是NP-hard问题。考虑到贪心算法可能会陷入局部最优解，本文采用模拟退火算法求解该NP-hard问题^[14]。为了不使X的求解变为不适定问题，温度传感器数量S与稀疏度L应满足 $S > L$ ，同时矩阵 D_S 的秩应不小于L，即 $\text{rank}(D_S) \geq L$ 。传感器位置完整更新算法过程如下：

1) 已知字典D；

2) 初始化模拟退火参数：初始温度 T_{in} ，终止温度 T_{stop} ，温度衰减指数 γ ，内循环次数M，当前温度 $T=T_{in}$ ；

3) 随机生成S个位置L和 L_c ，分别为最优解和当

前解，如果 $\text{rank}(D_S) \geq L$ 且 $\text{rank}(D_S^c) \geq L$ ，则分别计算 D_S 和 D_S^c 的条件数C和 C^c ，否则重复该步骤；

4) 开始模拟退火，当 $T < T_{stop}$ 时，跳至第(11)步，否则执行下一步；

5) 执行内循环，完成第(6)~(9)步M次；

6) 生成新的随机位置 L' ，如果 $\text{rank}(D_S') \geq L$ 则计算 D_S' 的条件数 C' ，否则重复该步骤；

7) 如果 $C' < C$ ，则 $C=C'$ ， $L=L'$ ， $D_S=D_S'$ ；如果 $C' \geq C$ 则直接执行下一步；

8) 生成随机数 $\theta \in (0,1)$ ，计算Metropolis准则概率 ρ

$$\rho = \begin{cases} 1, & (C' < C^c) \\ \exp\left(\frac{C^c - C'}{T_{in}}\right), & (C' \geq C^c) \end{cases}$$

9) 如果 $\theta < \rho$ ，则 $C^c=C'$ ， $L_c=L'$ ， $D_S^c=D_S'$ ；如果 $\theta \geq \rho$ 则直接跳至步骤(6)；

10) 更新当前温度 T ， $T = \gamma T$ ，跳至第(4)步；

11) 模拟退火完成，如果 $C^c \geq C$ ，则L和 D_S 均为当前值；如果 $C^c < C$ ，则 $L=L_c$ ， $D_S=D_S^c$ 。

这样，设计阶段得到了字典D以及温度传感器的位置，将其存储到芯片中。如图1所示，在芯片工作阶段利用字典D与温度传感器数据解算X。由于X具有稀疏性，采用正交匹配追踪算法求解，此时算法的输入变为 F_S 和 D_S 。求解得到 \hat{X} 后，根据图1中的公式便可以还原当前温度场。

3 实验与结果分析

为了验证所提出的温度场重建技术的有效性，采用如图3所示的原理图开展实验。利用热测试芯片(Thermal Test Chips, TTC)生成随机温度场。TTC包括225个基本单元，每个基本单元由加热电阻和感温二极管组成，分别作为热源和测温元件。因此，温度场分辨率为225，即 $N=W \times H=15 \times 15=225$ 。控制电路包含225路可配置电流源、数据读取处理电路和通信电路等。上位机控

制随机温度场的产生和温度传感器数据的传输。利用热成像仪观测的温度场作为先验信息，二极管数据作为温度测量数据。

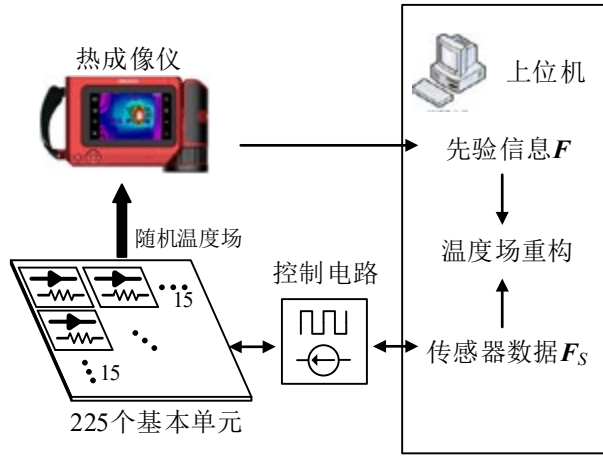


图3 实验原理图

Fig.3 Experimental principle

实验中产生300个随机温度场，即 $T=300$ 。在进行字典学习时，选取的字典原子个数为250个，即 $K=250$ 。使用以下定义来评价不同的温度场重建方法的性能。

平均误差 E_{avg} ，即温度场重建误差的平均值，其值越低表示重建精度越高，其计算见公式(9)：

$$E_{avg} = \frac{1}{NT} \sum_{n=1}^N \sum_{t=1}^T |f_t[n] - \hat{f}_t[n]| \quad (9)$$

均方误差 E_{MSE} ，即温度场重建误差平方的平均值，其值越低表示重建精度越高，其计算见公式(10)：

$$E_{MSE} = \frac{1}{NT} \sum_{n=1}^N \sum_{t=1}^T (f_t[n] - \hat{f}_t[n])^2 \quad (10)$$

误报率(False Alarm Rate, FAR)，定义为漏报或虚假紧急情况所占的比例^[15]。漏报表明实际温度已经达到DTM的报警阈值，但重建温度却低于该值；虚假紧急情况表明实际温度尚未达到报警阈值，但重建温度已高于该值。FAR越低意味着温度场重建精度越高，其表达式见公式(11)：

$$FAR = \left(\frac{1}{NT} \sum_{t=1}^T F_t \right) \times 100\% \quad (11)$$

其中， F_t 表示第 t 个温度场中发生误报的次数。这里选取的阈值为 50°C 。

在对比不同方法性能时，使用性能变化的相对率 R ，其表达式见公式(12)：

$$R = \left| \frac{X_1 - X_2}{X_2} \right| \times 100\% \quad (12)$$

其中， X_1 、 X_2 分别表示方法1、方法2的 X 性能，本文中 X 包括 E_{avg} 、 E_{MSE} 和 FAR 。

将Voronoi图方法^[10]、K-LSE方法^[11]与本文提出的方法进行比较。首先对比三种方法在不同温度传感器数量下的温度场重建性能，如图4~图6所示，分别为 E_{avg} 、 E_{MSE} 和 FAR 的对比图。从上述对比中可以看出，三种方法的温度场重建精度随温度传感器数量的增加而提升。表1列举了三种方法的平均重建性能，本文提出的方法在 E_{avg} 、 E_{MSE} 和 FAR 方面均优于Voronoi图和K-LSE方法。相比Voronoi图方法， E_{avg} 、 E_{MSE} 和 FAR 的平均提升分别为 1.2°C 、 6.2 和 7.9% ，平均相对提升分别为 39.3% 、 38.1% 和 33.1% ；相比K-LSE方法， E_{avg} 、 E_{MSE} 和 FAR 的平均提升分别为 0.6°C 、 4.5 和 6.4% ，平均相对提升分别为 24.3% 、 31.0% 和 28.7% 。结果表明，本文提出的方法重建温度场更精确。

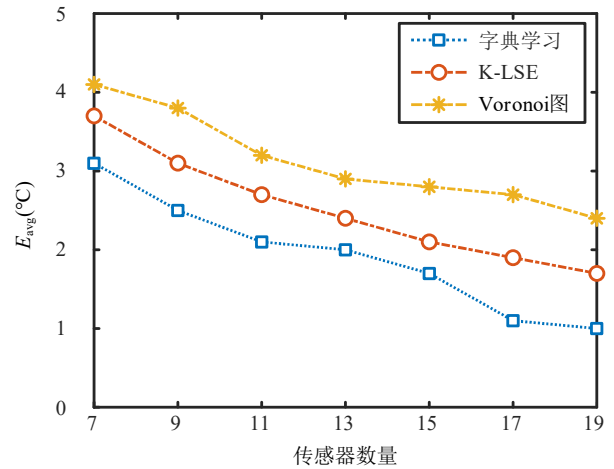


图4 三种方法的 E_{avg} 对比图

Fig.4 E_{avg} of the three methods

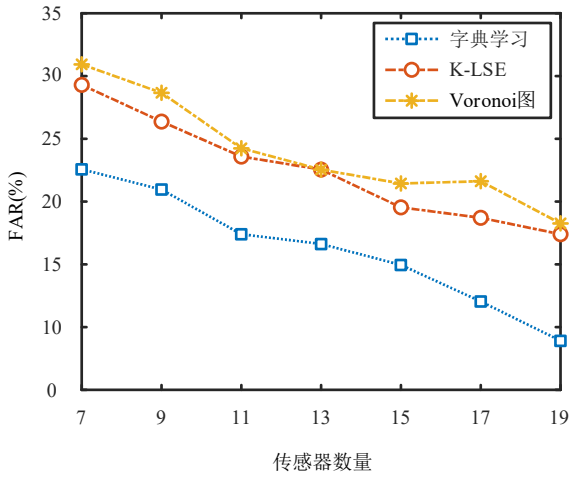


图5 三种方法的 E_{MSE} 对比图
Fig.5 E_{MSE} of the three methods

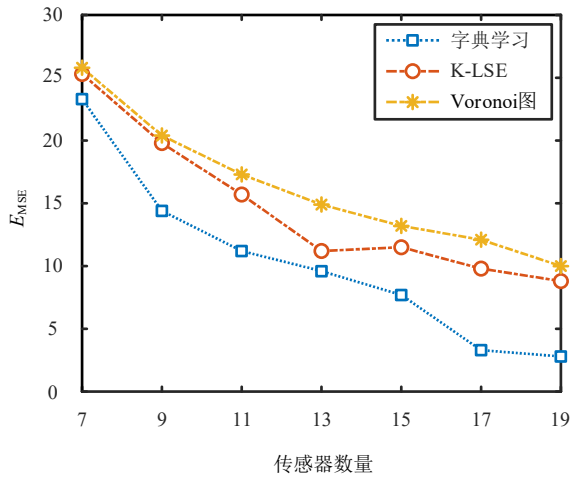


图6 三种方法的FAR对比图
Fig.6 FAR score of the three methods

表1 三种方法性能对比

Tab.1 Performance comparison of the three methods

方法	平均 E_{avg}	平均 E_{MSE}	平均FAR
Voronoi图	3.13°C	16.24	23.96%
K-LSE	2.51°C	14.59	22.49%
本文方法	1.90°C	10.06	16.04%

下面分析使用本文方法时，稀疏度L的设置对重建精度的影响。实验设定温度传感器数量 $S=15$ ，对比L从5变化到14时温度场的重建性能，结果如图7所示。

随着稀疏度L增加，温度场重建精度呈上升趋势。这是由于稀疏度的增加意味着使用了更多的字典原子，可以还原的温度场细节随之增多。需要注意的是，L接近S时，性能的提升不再明显。另一方面，考虑到L的增加也会导致稀疏编码X求解时迭代次数的增加，这会加重计算负担。所以L应避免开较大和较小值，通过综合考虑设定适中值。

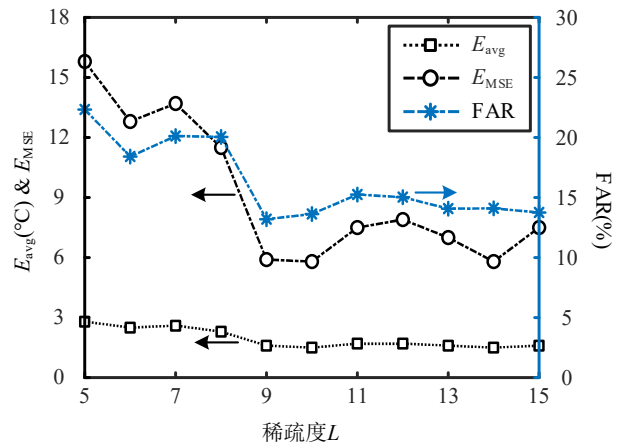


图7 稀疏度L对重建性能的影响图
Fig.7 Effect of L on the temperature errors and FAR

4 结束语

本文提出了一种基于稀疏表示的温度场重建技术。通过字典学习方法将温度场先验信息稀疏编码，然后用模拟退火算法计算温度传感器位置分布，利用正交匹配追踪算法解算稀疏编码，从而实现了温度场重建。实验结果表明，本文提出的方法相较于基于频域分析的方法具有更优异的温度场重建性能，能够更准确地重建全局温度场。

参考文献 (References)

- [1] SHARIFI S, ROSING T. Accurate Direct and Indirect On-Chip Temperature Sensing for Efficient Dynamic Thermal Management[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2010, 29(10):1586-1599.
- [2] WANG H, HU L, GUO X, et al. Compact Piecewise Linear Model Based Temperature Control of Multicore Systems Considering Leakage Power[J]. IEEE

- Transactions on Industrial Informatics, 2019, 16(12): 7556–7565.
- [3] MIRTAR A, DEY S, RAGHUNATHAN A. Joint Work and Voltage/Frequency Scaling for Quality–Optimized Dynamic Thermal Management[J]. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 2015, 23(6):1017–1030.
- [4] Fu Y, LI L, PAN H, et al. Thermal Sensor Placement and Thermal Reconstruction Under Gaussian and Non–Gaussian Sensor Noises for 3–D NoC[J]. IEEE Transactions on Computer–Aided Design of Integrated Circuits and Systems, 2019, 38(11): 2139–2152.
- [5] LI X, LI Z, OU X, et al. High–Resolution Thermal Maps Extraction of Multi–Core Processors Based on Convolutional Neural Networks[C] // IECON 2019 – 45th Annual Conference of the IEEE Industrial Electronics Society. Lisbon, Portugal: IEEE, 2019, 10: 3075–3080.
- [6] LI X, WEI X, ZHOU W. Heuristic thermal sensor allocation methods for overheating detection of real microprocessors[J]. Iet Circuits Devices & Systems, 2017, 11(6): 559–567.
- [7] CHUNDIP K, ZHOUY, KIMM, et al. Hotspot monitoring and Temperature Estimation with miniature on–chip temperature sensors[C] // 2017 IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED). Taipei, Taiwan: IEEE, 2017, 7: 1–6.
- [8] COCHRAN R, REDA S. Spectral techniques for high–resolution thermal characterization with limited sensor data[C]// Proc. 46th Annual Design Automation Conf. San Francisco, CA, USA: IEEE, 2009, 7: 478–483.
- [9] NOWROZ A N, COCHROAN R, REDA S. Thermal monitoring of real processors: techniques for sensor allocation and full characterization[C] // Proc. 47th Design Automation Conf. Anaheim, California, USA: IEEE, 2010, 6: 56–61.
- [10] 李鑫, 李鑫, 戎蒙恬, 刘涛, 等. 基于动态Voronoi图的多核处理器非均匀采样热重建改进方法[J]. 上海交通大学学报, 2013, 47(07): 1087–1092+1098.
- [11] CHEN K, CHEN Y, LIN Y. Thermal sensor allocation and full–system temperature characterization for thermal–aware mesh–based NoC system by using compressive sensing technique[C] // 2017 International Symposium on VLSI Design, Automation and Test (VLSI–DAT). Hsinchu, Taiwan: IEEE, 2017, 4: 1–4.
- [12] DEEBA F, KUN S, DHAREJO F, et al. Sparse representation based computed tomography images reconstruction by coupled dictionary learning algorithm[J]. IET Image Processing, 2019, 14(11): 2365–2375.
- [13] WEN J and YU W. Exact Sparse Signal Recovery via Orthogonal Matching Pursuit with Prior Information[C] // ICASSP 2019–2019 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP). Brighton, United Kingdom: IEEE, 2019, 5: 5003–5007.
- [14] YE Z, XIAO K, GE Y, et al. Applying Simulated Annealing and Parallel Computing to the Mobile Sequential Recommendation[J]. IEEE Transactions on Knowledge and Data Engineering, 2019, 31(2): 243–256.
- [15] 李鑫, 杨金孝, 等. 微处理器中含噪热传感器位置分布优化方法[J]. 北京航空航天大学学报, 2016, 42(11): 2495–2500.



作者简介:

张天一 (1990—), 男, 河北省承德市, 博士研究生, 目前研究方向: 数模混合集成电路设计。

低开启电压钨阳极AlGa_N/Ga_N肖特基二极管研究

张涛, 张进成, 郝跃

(西安电子科技大学, 西安 710071)

摘要: 氮化镓基器件由于具有高电子迁移率、高电子饱和速率、二维电子气以及高达3.4MV/cm的击穿场强, 在直流以及射频器件的应用中表现出优异的高功率密度和高效率特性。为了提高肖特基二极管的整流效率、降低器件功耗, 肖特基二极管应该具有低的开启电压、低的比导通电阻、低的反向漏电以及高的击穿电压。通过采用低功函数金属钨作为器件阳极结合全刻蚀AlGa_N势垒层凹槽阳极结构, 成功实现了开启电压仅为0.35V且具有极高均匀性的Ga_N肖特基二极管器件, 另外, 钨阳极金属可以形成足够高的势垒高度, 保证器件较高的击穿电压和较小的反向漏电。对于阴阳极间距为10 μ m和25 μ m的Ga_N肖特基二极管器件, 分别具有1.1kV和1.9kV的击穿电压、0.72m Ω ·cm²和2.61m Ω ·cm²微分比导通电阻, 其功率品质因数分别高达1.7 \times 10³MW/cm²和1.4 \times 10³MW/cm²。钨阳极金属Ga_N肖特基二极管在下一代电力电子器件应用中展示出了巨大的前景。

关键词: 低功函数金属; 凹槽阳极; 肖特基二极管; 氮化镓

中图分类号: TN4 **文献标识码:** A

Investigation Of AlGa_N/Ga_N Schottky Barrier Diode With Low Turn-on Voltage And Tungsten As Anode

Zhang Tao, Zhang Jincheng, Hao Yue

(Xidian University, Xi'an, 710071, China)

Abstract: Ga_N based devices are capable of delivering superior high power density and high efficiency for both DC and RF applications due to the formation of a 2-dimensional-electron gas (2DEG) channel, high electron mobility and saturation velocity as well as breakdown field of 3.4MV/cm. In order to improve the rectification efficiency and reduce the power loss of SBDs, low turn-on voltage (V_{on}), low specific on-resistance ($R_{on,sp}$), low leakage current and high breakdown voltage (BV) are essential. To achieve a low V_{on} on a lateral Ga_N SBD, low work-function metal W is proposed with a fully recessed AlGa_N barrier layer at the anode region, which demonstrates a low V_{on} of 0.35V with ultrahigh uniformity. Meanwhile, W can also provide enough barrier height to block the reverse leakage current and hence guarantee a high reverse BV. The fabricated lateral Ga_N SBDs also demonstrate a high BV of 1.1kV and 1.9kV with simultaneous low differential specific on-resistances ($R_{on,sp}$) of 0.72m Ω ·cm² and 2.61m Ω ·cm², respectively, yielding a high power FOM of 1.7 \times 10³MW/cm² and 1.4 \times 10³MW/cm² at the L_{AC} of 10 μ m and 25 μ m, respectively. The Ga_N SBD with the W anode shows a great promise for next-generation power electronics.

Key words: low work-function metal; recessed anode; Schottky barrier diode; Ga_N

0 引言

基于AlGa_N/Ga_N异质结在自发极化和压电极化的共同作用下会生成高面密度和高迁移率的二维电子气(2DEG), 以及材料本身高击穿场强的特点, AlGa_N/Ga_N材料非常适合于制备低导通电阻和高击穿电压的肖特基二极管器件^[1-4]。为了实现较高的整流效率, 肖特基二极管需要具有较小的开启电压和较

小的反向漏电, 而阳极肖特基金属与AlGa_N势垒层接触相较于与Ga_N沟道材料接触具有更高的肖特基势垒, 会极大地阻碍低开启电压特性的实现。国际上通常对阳极凹槽区域的AlGa_N势垒层进行刻蚀, 通过减小肖特基势垒宽度和势垒高度达到降低器件开启电压的目的。为了保证器件同时具有较小的反向漏电, 一般需采用具有较高金属功函数的Ni^[5-7]、Pt^[8,9]等金

属作为肖特基二极管的阳极。

常规Ni金属由于具有较大的功函数，因此很难进一步实现更低的开启电压，采用Ni作为阳极金属的凹槽AlGaN/GaN肖特基二极管器件，其开启电压一般处于0.6V~0.7V之间。采用更低功函数的金属或金属氮化物替代常规的Ni金属作为肖特基二极管的阳极，有助于进一步降低阳极肖特基势垒高度，从而实现更低的开启电压，但该方案通常会引起器件反向漏电的增加，导致器件反向功耗增加甚至失效。本文提出采用低功函数金属W作为肖特基二极管阳极，结合慢速低损伤刻蚀工艺和阳极退火处理，在实现较低开启电压的前提下，保证了器件较低的反向漏电，器件的开启电压为0.35V@1mA/mm，-200V时器件反向漏电仅为1 μ A/mm，器件击穿电压高达1.9 kV，功率品质因素高达1.7GW/cm²，成功展示了低功函数金属W阳极GaN SBD器件在下一代功率器件市场中的极大优势。

1 器件制备

本文中的外延片采用金属有机物化学气相淀积(MOCVD)设备生长在3英寸P型Si衬底上，材料各层结构从上至下依次为：2nm GaN帽层，20nm Al_{0.25}Ga_{0.75}N势垒层，1nm AlN插入层，300nm GaN沟道层和3900nm GaN缓冲层，材料结构示意图如图1所示。

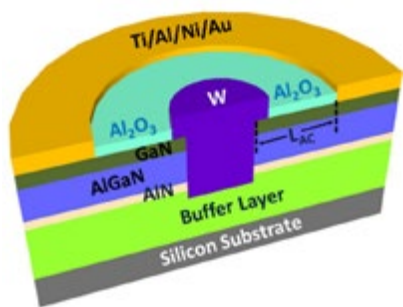


图1 钨阳极AlGaN/GaN肖特基二极管截面图

Fig.1 3D cross-section view of the AlGaN/GaN SBD with W anode

首先，通过采用Cl₂/BCl₃混合气体对器件进行台面隔离刻蚀，器件间的隔离深度约为200nm。器件阴极区域的欧姆接触采用Ti/Al/Ni/Au

(22/140/45/55nm)多层金属结构在875℃ N₂环境下高温退火30s形成。通过传输线模型(TLM)测试结果可知，材料方块电阻为310 Ω /□，器件欧姆接触电阻为0.5 Ω ·mm。较小的欧姆接触电阻是保证器件具有良好电流输出特性的前提。为了降低器件的反向漏电，采用新型慢速低损伤(Al)GaN刻蚀工艺对阳极下方的(Al)GaN材料进行刻蚀，并在450℃ N₂环境下退火5min初步修复干法刻蚀工艺中引入的刻蚀损伤。通过原子力显微镜(AFM)测试结果可知，该凹槽阳极区域的刻蚀深度为37nm，阳极金属与GaN沟道侧壁可以直接接触，从而实现较好的器件均匀性及较小的器件开启电压。器件凹槽区域的肖特基金属由磁控溅射生长W/Au(50/150nm)形成，通过对器件的阳极金属进行退火处理，进一步减少了金-半接触界面存在的界面态，极大提升了器件的性能。最后，采用原子层淀积设备(ALD)生长20nm Al₂O₃对器件表面进行钝化，减小表面态对器件特性的影响。

2 特性分析

2.1 正向特性测试

图2给出了器件正向特性的测试结果。定义器件正向电流密度为1mA/mm时，阳极电压的偏置为器件开启电压，从测试结果可知器件开启电压为0.35V，远低于常规采用Ni金属阳极凹槽AlGaN/GaN肖特基二极管的开启电压。较低的开启电压得益于阳极金属较低的功函数。当器件正向偏置为2V时，对于LAC=6 μ m的器件而言，输出电流密度高达325mA/mm。对于不同阴阳极间距(LAC=6/10/15/20/25 μ m)的肖特基二极管而言，器件微分导电电阻R_{ON1}(R_{ON1}= $\Delta V/\Delta I$)分别为4.2/5.6/6.9/8.1/9.3 Ω /mm，导电电阻R_{ON2}(R_{ON2}=V/I)分别为10.0/11.5/12.6/13.8/15.0 Ω /mm。采用W阳极金属所制备的肖特基二极管在300K时的亚阈值斜率仅为63mV/dec，非常接近于器件亚阈值斜率的极限60mV/dec，测试结果表明，得益于良好的低损伤刻蚀工艺以及较好的阳极制备工艺，器件具有极为理想的肖特基接触界面。

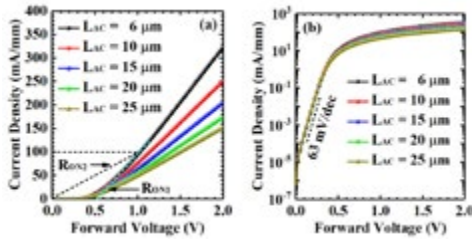


图2 凹槽阳极AlGaIn/GaN肖特基二极管正向特性
(a) 线性坐标 (b) 对数坐标

Fig.2 Forward I-V characteristics of the fabricated AlGaIn/GaN SBDs with fully recessed AlGaIn barrier layer in (a) linear-scale and (b) log-scale plots

2.2 器件一致性测试

为了对采用低功函数W阳极金属凹槽结构AlGaIn/GaN肖特基二极管的器件一致性进行表征，分别对80个阴阳极间距 $L_{AC}=10\mu m$ 的器件的正向特性进行测试，其中测试范围为 $0V \sim 2V$ ，步长为 $0.01V$ ，测试结果如图3所示。从图3(a)中可知，器件特性具有极好的一致性。图3(b)为器件开启电压柱状统计分布图，从高斯拟合结果可知，器件的开启电压为 $0.3551V$ ，标准差为 $0.0068V$ 。与对AlGaIn势垒层局部刻蚀的凹槽AlGaIn/GaN肖特基二极管器件相比，对AlGaIn势垒层完全刻蚀的凹槽AlGaIn/GaN肖特基二极管器件由于阳极金属与侧壁GaIn的导电沟道直接接触，在低功函数金属与非极性面GaIn界面空间电荷区的共同作用下形成了较为一致的肖特基势垒高度，因此器件具有较为良好的一致性，更适合于对一致性要求较高的工业化生产。

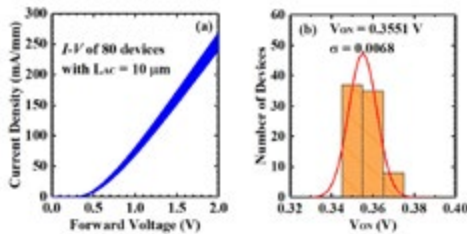


图3 器件一致性测试 (a) 线性坐标下80个器件正向特性
(b) 80个器件的开启电压统计分布

Fig.3 Uniformity of the fabricated devices (a) Linear-scale forward I-V characteristics of 80 lateral GaIn SBDs and (b) histogram for V_{ON} of 80 measured devices

2.3 高温特性测试

图4为器件正反向特性随温度的变化情况。图

4(a)为器件正向特性随温度的变化关系，当温度升高时，沟道中的电子获得较高的能量，更容易越过肖特基势垒形成导电通路，因此随着温度的升高，器件的开启电压逐渐降低，当热板温度为 $300K$ 、 $325K$ 、 $350K$ 、 $375K$ 、 $400K$ 和 $425K$ 时，器件的开启电压分别为 $0.35V$ 、 $0.33V$ 、 $0.32V$ 、 $0.30V$ 、 $0.28V$ 和 $0.27V$ ；随着温度升高，沟道中2DEG散射作用增强，因此沟道中的电子在导通状态下具有较大的阻力，导致器件导通电阻增加，电流密度降低。图4(b)为器件反向特性随温度的变化关系，随着温度的升高，电子获得更高的能量更容易发生隧穿，因此器件的反向漏电逐渐增加。

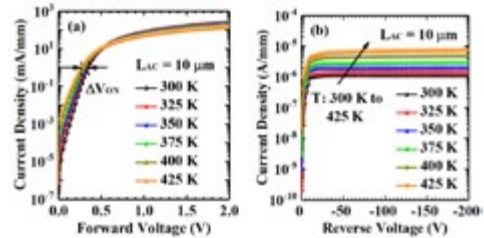


图4 器件变温特性测试 (a) 正向特性 (b) 反向特性
Fig.4 Temperature-dependent characteristics of the lateral GaIn SBD from $25^{\circ}C$ to $150^{\circ}C$ in log-scale (a) forward I-V and (b) reverse I-V

2.4 击穿特性测试

图5为器件反向击穿特性及与国内外同期GaIn肖特基二极管特性对比。图5(a)为所制备的W阳极凹槽AlGaIn/GaN肖特基二极管的击穿特性测试，击穿电压定义为器件反向漏电为 $1mA/mm$ 时对应的阳极偏压。从图中可以看出，当器件的阴阳极间距 $L_{AC}=10\mu m$ 时，对应的器件耐压高达 $1.1kV$ ；当器件的阴阳极间距 $L_{AC}=25\mu m$ 时，对应的器件耐压高达 $1.9kV$ ，实现了Si基GaIn肖特基二极管耐压的极高水平。较高的击穿电压得益于良好的刻蚀界面及阳极退火工艺的处理。图5(b)为器件比导通电阻及功率品质因数随器件阴阳极间距的变化。从计算结果可知，当阴阳极间距 $L_{AC}=10\mu m$ 时，器件功率品质因素高达 $1.7GW/cm^2$ 。图5(c)为本文所制备的W阳极凹槽AlGaIn/GaN肖特基二极管与国际同期GaIn肖特基二极管器件指标的对比。采用低功函数W金属作为肖特

基二极管阳极有利于减小器件的比导通电阻，从而更好地实现接近于GaN理论极限的器件。

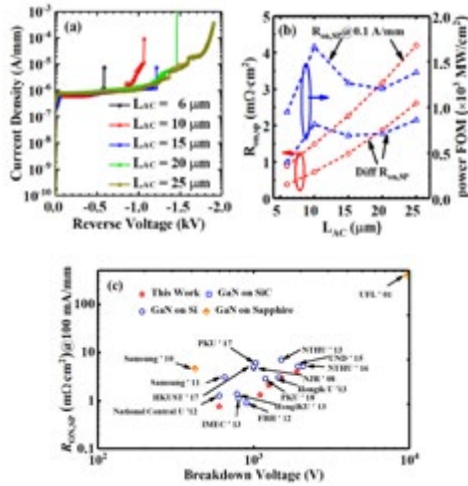


图5 器件反向击穿特性及与国内外同期GaN肖特基二极管特性对比 (a) AlGaN/GaN肖特基二极管反向击穿特性 (b) 比导通电阻及功率品质因数随器件阴阳极间距的变化 (c) 比导通电阻与击穿电压的关系

Fig.5 Reverse I-V characteristics of the fabricated GaN SBDs and the comparison of the GaN SBDs at home and abroad (a) Reverse I-V characteristics of AlGaN/GaN SBDs (b) Extracted $R_{ON,SP}$ and power FOM as a function of L_{AC} (c) $R_{ON,SP}$ -BV of the GaN SBDs

3 结论

本文通过采用低功耗函数金属钨作为肖特基二极管阳极结合慢速低损伤刻蚀工艺及阳极退火技术成功实现了0.35V器件开启电压且反向漏电与常规镍金属阳极肖特基二极管基本相同，通过对80个相同器件的正向I-V曲线及开启电压的统计分布可知，采用该器件结构及制备工艺的凹槽阳极AlGaN/GaN肖特基肖特基二极管具有极高的一致性，非常适合于产业化生产。另外，对于阴阳极间距 $L_{AC}=10\mu\text{m}$ 的器件，其击穿电压高达1.1kV，功率品质因数高达 $1.7 \times 10^3 \text{ MW/cm}^2$ ；对于阴阳极间距 $L_{AC}=25\mu\text{m}$ 的器件，其击穿电压高达1.9kV，功率品质因数高达 $1.4 \times 10^3 \text{ MW/cm}^2$ ，良好的器件特性在未来高性能功率整流器件的应用中显示出了极大的潜力。

参考文献 (References)

[1] GAO J, WANG M J, YIN R Y, et al. Schottky-MOS hybrid anode AlGaN/GaN lateral field-effect rectifier

with low onset voltage and improved breakdown voltage [J]. IEEE Electron Device Letters, 2017, 38(10): 1425–1428.

- [2] ZHANG T, ZHANG J C, ZHOU H, et al. A > 3 kV/mΩ·cm² and low leakage current with low turn-on voltage lateral GaN Schottky barrier diode on silicon substrate with anode engineering technique [J]. IEEE Electron Device Letters, 2019, 40(10): 1583–1586.
- [3] PARK Y, KIM J, CHANG W, et al. Low onset voltage of GaN on Si Schottky barrier diode using various recess depths [J]. Electronics Letters, 2014, 50(16): 1164–1165.
- [4] LEE H, JUNG Y J, PARK Y, et al. 0.34 VT AlGaN/GaN-on-Si large Schottky barrier diode with recessed dual anode metal [J]. IEEE Electron Device Letters, 2015, 36(11): 1132–1134.
- [5] LEI J C, WEI J, TANG G F, et al. 650-V double-channel lateral Schottky barrier diode with dual-recess gated anode [J]. IEEE Electron Device Letters, 2018, 39(2): 260–263.
- [6] ZHU M D, SONG B, QI M, et al. 1.9-kV AlGaN/GaN lateral Schottky barrier diodes on silicon [J]. IEEE Electron Device Letters, 2015, 36(4): 375–377.
- [7] TSOU C W, WEI K P, LIAN T W, et al. 2.07-kV AlGaN/GaN Schottky barrier diodes on silicon with high Baliga's figure-of-merit [J]. IEEE Electron Device Letters, 2016, 37(1): 70–73.
- [8] BAHAT-TREIDEL E, HILT O, ZHYTNYSKA R, et al. Fast-switching GaN-based lateral power Schottky barrier diodes with low onset voltage and strong reverse blocking [J]. IEEE Electron Device Letters, 2012, 33(3): 357–359.
- [9] KAMADA A, MATSUBAYASHI K, NAKAGAWA A, et al. High-voltage AlGaN/GaN Schottky barrier diode on Si substrate with low-temperature GaN cap layer for edge termination [C]. Proceedings of the 20th International Symposium on Power Semiconductor Devices & ICs. Orlando, FL, 2008: 225–228.



作者简介:

张涛 (1993—), 男, 河南省项城市, 博士, 博士后, 专注于氮化镓二极管及高电子迁移率晶体管研究。

时间触发架构下的通信协议分析比较

赵沛, 闫攀, 张奇荣, 陶淑婷, 毛雅欣

(北京微电子技术研究所, 北京 100076)

摘要: 时间触发架构是面向高安全可靠应用的分布式实时控制系统架构。它是安全关键系统设计和实现的基础。时间触发架构通过高精度、分布式、全局同步时钟协议定义了系统中各个节点的接口, 简化了各个节点之间的通信协议, 并具备系统容错功能, 保证了实时系统的严格确定性。本文对时间触发架构中使用的通信协议进行了分析研究, 对比了各种协议的特性, 给出了建议的应用场景, 为工程实现提供参考依据。

关键词: 时间触发; 通信协议; 实时系统; 严格确定性

中图分类号: TP183 **文献标识码:** A

The Communication Protocols Analysis of Time-Triggered Architecture

Zhao Pei, Yan Pan, Zhang Qirong, Tao Shuting, Mao Yaxin

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

Abstract: The time triggered architecture is a framework for high reliability and safety distributed real-time control system. It provides the infrastructure of design and implementation of safety-critical systems. The time triggered architecture defines the interface of the nodes by the high precision distributed global synchronize clock. It simplify the communication protocol among the nodes and be capable of fault tolerant, guarantees the deadline of critical determinism. We researched and analysis the time-triggered communication protocol, compared the characterization of protocol, given the applied environment and provided the reference model for engineering implementation.

Key words: time-triggered; communication protocol; real-time system; critical determinism

0 引言

时间触发架构 (Time Triggered Architecture, TTA) 作为一种新型的安全关键分布式控制系统架构在航空航天、工业、汽车和轨道交通领域得到了广泛的研究和应用。时间触发架构最早由奥地利科技大学的Hermann Kopetz教授提出^[1]。传统的控制系统大多基于事件触发, 具体的访问时刻由外部事件的发生时刻决定, 这类架构普遍采用载波监听多路访问冲突避免机制 (CSMA/CA) 的通信媒体介质访问方式, 这种架构的致命问题越来越不能满足当前以及未来实时系统对实时性、安全性、可靠性和确定性等指标要求。因此, 时间触发架构 (TTA) 应运而生, 此架构在预先设计的全局静态调度列表的基础之上, 基于全局同步时钟进行数据传输, 数据的传输时刻都

是确定的, 采用时分多路复用 (TDMA) 的通信方式。

TDMA介质访问方式能够以可预测的传输时延和较小的传输抖动在各个节点之间进行数据传输和信息交互, 并避免因消息传输阻塞引起的总线故障。TTA构架的信息由全局静态调度列表定义, 数据帧中不包括地址相关信息, 这样在节省传输带宽的同时, 避免了因消息节点ID被修改而引起的总线故障。TTA构架通过预先离线生成的全局静态调度列表, 不仅可以保证信息传递的时间确定性, 而且可以确保节点之间信息传递的时间参数特性不会因系统的改变而变化, 这是可扩展、易升级的分布式控制设计的关键特性。同时, TTA构架的TDMA通信媒体介质访问方式提供了实时、可靠、安全的分布式全局

同步容错时钟，并确保了实时可靠的成员关系^[2]。时间触发架构（TTA）中的通信协议主要包括时间触发总线协议（Time-Triggered Protocol, TTP）、时间触发以太网（Time-Triggered Ethernet, TTE）和时间敏感网络（Time Sensitive Network, TSN）。本文对这三种时间触发协议进行了分析，比较了各自的协议特性，针对不同的场景给出了应用建议，并对工程中的具体实现提出参考依据。

1 时间触发总线协议

时间触发总线协议（Time-Triggered Protocol, TTP）是Kopetz教授在欧盟资助的时间触发架构下正式提出^[3]。TTP总线协议达到了SAE的C类标准，凭借其严格的时间确定性、安全可靠的关键性和完全独立的分布式计算平台，在汽车和航空航天等领域得到广泛应用。

1.1 时间触发总线协议概述

TTP是一种基于TTA构架的多点串行通信协议，采用TDMA媒体访问方式，实现分布式全局容错同步时钟，调度策略支持由多个基本TTA周期构成的集群周期。TTP在通信协议层提供时间触发数据传输、分布式容错时钟同步、故障节点探测与隔离、CRC校验、收发确认、冗余管理等服务。TTP总线协议为其服务应用程序提供一个实时、确定、可靠、安全的一致性分布式通信总线平台。其基本特征如下：

(1) TTP总线协议是一种基于时间触发的通信总线，采用TDMA通信方式，信息行为明确，抖动小，可预测时延。

(2) 成员关系列表（MEDL），其中包含了所有网络的配置信息，通过MEDL列表和相应的成员关系算法便可确定每个节点的工作状态，判断是否正常工作。

(3) 支持外部和内部时钟同步算法，且不需要在数据帧中额外增加信息。

(4) 完善的容错机制，可以迅速检测并处理单一故障错误。

(5) 独特编码机制，数据帧头小，提高传输效率和总线利用率。

(6) 隐式确认，不需要额外发送确认帧来说明该节点已接收信息。

1.2 时间触发总线的同步

TTP使用时分复用作为节点之间同步操作的媒体访问策略。如图1所示周期性的TDMA时隙序列（或者节点时隙）被称作TDMA循环。

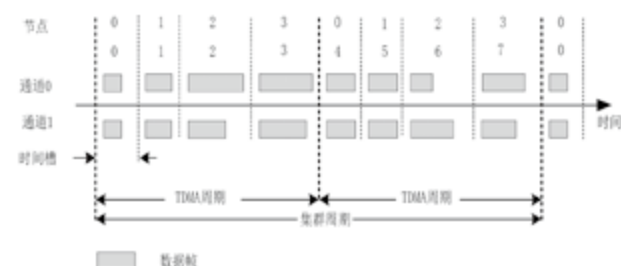


图1 TTP总线访问周期

Fig.1 The access cycle of TTP bus

在每一个时隙中，每一个控制器计算期望的帧到达时间和实际的帧到达时间的的时间差。如果这一时隙中的发送节点是主时钟节点（也就是说，SYF标志和ClkSyn标志在该时隙中置位），在内部修正期限的计算执行前，在时隙中进行的时间度量存储在栈中。在下压栈中的四个度量值中的最大和最小度量值被丢弃掉。剩余的两个度量值的平均值是局部时钟的时钟状态修正期限。

时间触发总线在通信时遵从以下原则：

(1) 时间触发通信方式：TTP是基于TTA构架的通信总线，采用固定的TDMA通信介质访问方式，每个节点都拥有确定的发送时刻和接收时刻，同时可以避免总线冲突。

(2) 一致成员关系服务：TTA构架为所有正确节点提供一个分布式通信总线计算平台，

因此需要确定各个节点是否正常工作。而一致成员关系服务通过TTP总线控制器向主机发送集群周期中所有节点的工作状态，节点可以通过一致成员关系

服务确定工作状态。

(3) 统一通信网络接口 (Communication Network Interface, CNI) : 待发送数据通过总线从发送控制器的CNI传输到接收控制器的CNI, 发送节点控制器可以将待发送数据放入CNI, 而随后的接收节点控制器可以从该CNI中读取数据, 传输期间没有任何控制信号通过CNI进行传输, 因此从设计上屏蔽了错误的控制信号传输。TTP总线拓扑图如图2所示。

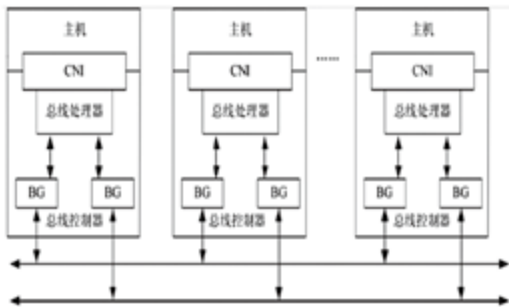


图2 TTP总线拓扑结构示意图

Fig.2 The topology architecture of TTP bus

(4) 全局容错机制: 由控制器建立的全局容错同步时钟提供给所有主机控制器, 用于容错处理, 在完备的TTP总线系统中, 可以允许任何单硬件故障的产生而不影响系统正常运行。

(5) 可组合性和可扩展性。

1.3 时间触发总线协议的帧格式

TTP总线协议规定了2种不同类型的帧格式: 正常模式的N帧 (Normal Frame) 和用于初始化的I帧 (Initialization Frame)。N帧用于节点间的正常通信, I帧用于集群的开始阶段 (上电冷启动) 和节点的再集成过程。N帧和I帧的主要区别在于I帧含有C-状态 (Controller-state), 而N帧不含C-状态, 两者通过帧头的I/N帧标志位进行区分, 详细帧结构如图3所示。其中I/N帧标志位用以区分I帧和N帧; 模式转换请求变换用作模式控制位, 用于标志模式变化请求。C-状态是一组用来描述TTP总线各节点控制器的状态变量, 包含用于同步的全局时间、集群模式、集群初始和节点再集成时集群的当前slot位置、

模式转换时延 (Deferred Pending Mode Changes, DMC)、成员关系列表等信息。

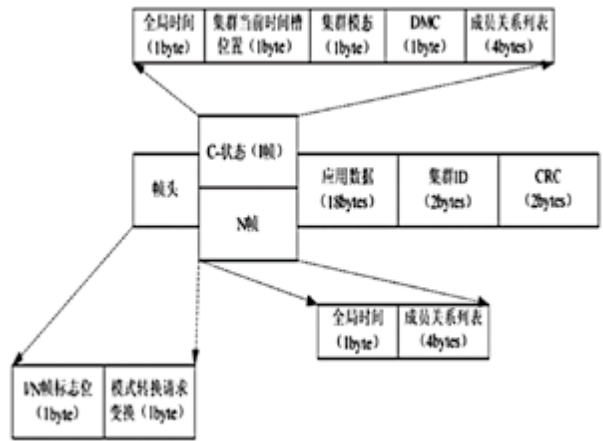


图3 TTP总线帧结构

Fig.3 The frame architecture of TTP bus

TTP总线规定了两种不同形式的C-状态, 分别为隐式C-状态和显式C-状态, 隐式C-状态是指当前节点的C-状态信息参与CRC校验计算, 但不跟随数据帧进行传输; 而显示C-状态则是指当前节点的C-状态信息参与CRC校验计算, 并跟随数据帧一起进行传输。显式C-状态用于故障节点恢复后再次添加到集群的节点再集成过程以及集群周期的初始化过程。隐式C-状态可以节省总线传输带宽资源, 同时也是隐式确认算法和帧状态判断所必须的, 而基于显式C-状态的数据帧无法完成隐式算法的确认过程。TTP协议规定N帧一次最多可以传递240字节的应用数据^[4]。

2 时间触发以太网

时间触发以太网是目前世界上具有最高安全等级的网络技术, 能保证传输数据的确定性和可靠性。TTE网络中的节点 (电子设备) 在全局时钟驱动下通过调度时刻表按各自规定的时间访问网络资源。调度时刻表的设计既可以保证数据帧之间不会发生碰撞和竞争, 又能确保数据的可预测性, 适用于具有高通信确定性航空航天机数据网络系统, 可同时满足主干网络和飞行关键系统的应用需要。

2.1 时间触发以太网概述

TTE是TTTech公司计算机互联工作组针对工业控制和航空航天等高安全系统的特殊应用而开发的一种实时以太网，目前支持100Mbit/s和1Gbit/s速率。TTE物理层采用标准以太网协议（IEEE802.3），且在OSI模型第2层中设计了一个特殊的QoS，使TTE不但完全兼容标准以太网，而且同时符合ARINC664 P7（AFDX）和SAE AS6802标准。

TTE相对传统以太网而言增加了同步功能，能传输传统以太网上没有的时间确定性数据（TT帧），并且对IEEE802.3完全兼容。传统以太网只能用于传输事件触发业务（BE帧），在事件触发这个原则下整个网络其中的一个任意端系统都能在任何时候发送BE帧；对于端系统而言，BE帧满足先到先处理原则。然而这样的网络有一个明显的缺点：当整个网络当中有若干个端系统需要通过同一个交换机（或路由器）时，大量事件触发业务（BE帧）会积累巨大的传输延迟和抖动。然而，事件触发以太网是动态的执行时钟同步算法，使整个网络有一个相同的全局时间，而网络当中的每个端系统发送和接收数据都是根据这个全局时间作为参照，这样就在很大程度上减小甚至消除了传输时延和抖动。将时间触发传输原理移植到传统以太网上来，传统以太网就具有了时间确定性，这为传统以太网传输和应用时间触发业务打下了良好基础，从此传统以太网便能传输延迟和抖动都很小的TT帧。时间触发能满足不同系统对时间触发精度的要求，如果要求高的时钟同步精度最好有硬件实现，如果对时间触发精度要求不是特别高也可标准以太网芯片等软件设备实现。

2.2 时间触发以太网协议体系

时间触发以太网通过在以太网802.3协议基础之上实施时间触发控制（Time-Triggered Control），对全网同步无竞争状态（Contention Free）的时间触发信息传送提供保障，并将全面兼容现有以太网标准^[5]。

TTE在以太网物理层的基础上，支持具有不同

实时性需求的多种应用。TTE所支持的流量类型和相应的层次结构如图4所示，从图中的三维图中可以看到，正面的层次结构是协议层次结构，侧面的是TTE服务控制；上平面表示在同步协议加入到以太网中后，传统以太网就可以传输两种类型的数据流，即TTM和ETM（Event Triggered Message，事件触发消息），事件触发消息包括BEM（Best Effort Message，尽力而为消息）和RCM（Rate Constraint Message，速率约束消息）。基于层次化的设计思想，在加入TTE的层次结构后高层协议（如IP或UDP）可以在不加改变的情况下，支持时间触发服务^[6]。

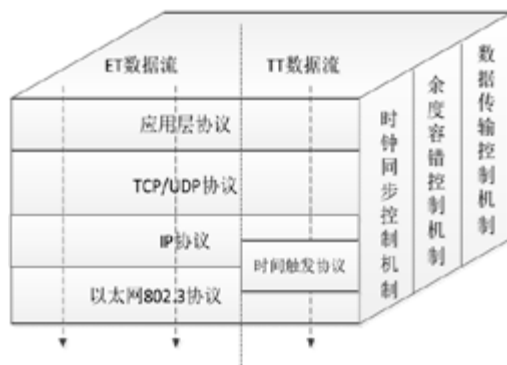


图4 TTE协议层次和流量模型

Fig.4 The protocol infrastructure and flow model of TTE

协议规定的时间触发以太网所完成的功能可以概述为：在以太网终端和交换机的通信控制器上提供时间触发服务，将时钟同步信息传遍全网并同步全网所有设备通信控制器上的本地时钟，从而使得全网在统一的时钟控制下，通过事先制定好的调度规则发送时间触发消息（TTM），实现TT数据的无冲突可靠发送，保证TTM的带宽和实时需求。并且在无时间触发消息发送的情况下，正常发送其他事件触发消息（ETM），包括尽力而为消息和速率限制消息，全面兼容现有以太网标准。以太网802.3包括标准物理层和数据链路层，其中比较重要的MAC层。我们也是在MAC层之上和IP层之下实现时间触发（Time Triggered）服务的。而TTE协议层次结构以太网802.3的结构和功能并没有改变，仍然支持标准以太网。

在时间触发以太网体系中链路层协议采用以太网802.3协议，用来在独立的链路上移动数据报。链路层交换的数据单元称为帧，每个链路层帧通常封装了一个网络层的数据报。加上TT同步协议后，TTM和ETM也是作为以太网帧中的数据部分，封装在标准以太网帧中。这样就实现了在不改变现有以太网的情况下实现了时间触发服务。

网络层负责数据报 (datagram) 在主机与主机之间的通信服务，提供各种形式的进程到进程的通信，主要功能为转发 (forwarding) 和选路 (routing)，并实现拥塞控制、网络互联等功能。IP协议层处在传输层和数据链路层之间，作为中间层主要负责两层之间的数据包通信。IP不关心数据包是否正确、完整、有序的传输，只负责上下层数据的传输和路由功能。没有检查数据包是否被破坏，这里的数据包主要是ET数据包。IP数据包中含有相关的路由信息，IP提取报文中包含的路由信息 (主要包括源主机的地址和目的主机的地址) 来完成数据转发和路由选路。

TT同步协议主要是同步终端和交换机的本地时钟，在全网内建立统一的同步调度表，实现无冲突的数据传输服务。TTM用于基于时间触发的应用上，所有的TTM都是在预先定义的时间内发送的，并且优先高于于其他的数据类型 (BE和RC)。ETM主要用于实时性和确定性要求不高的情况下，但是如果一个通信系统不能管理节点流入其核心传输网的数据的容量和速度，那么它将很难管理和控制为终端用户所提供的服务。对于一个成功的通信系统来说，要想保证与用户之间的服务等级协议SLA (Service Level Agreement) 得以实现，速率限制工具是非常重要的和关键的。RCM是通过通信量控制机制实现的，节点在非时间触发数据传送/接收的某个时间点，通过限制节点端口发送数据的速率在一个定值来控制RCM的传送/接收速率。这样，就能保证在TTM传输完成的基础上对RCM进行可靠传输而又不过多占用网络通信带宽，这种算法就是令牌桶算法。BEM也是ETM的一种情况，但是加入TT同步协议后并不需要改变实现传输BEM的相关协议，因为TTE

仍然是兼容标准以太网的。

传输层提供了在应用程序之间的传输应用层报文的服务，本网络在相应网络体系中存在两种协议：面向连接的服务TCP和无连接服务UDP。TTE也没有对TCP/UDP进行任何改动，TCP/UDP有两个功能：1、使用端口完成进程与进程之间的通信；2、为传输层提供流量控制、差错控制及恢复等服务。UDP由于是一种无连接协议，源节点无法得知报文是否安全完整到达，所以完成这些功能的水平较低，并且不提供流量控制机制也不能对收到分组进行确认。但是，UDP提供了低消耗，高速度的传输，仍然是一种普遍使用的网络传输层协议。TCP是一种提供可靠连接服务、使用滑动窗口控制流量的协议。TCP完成差错控制依赖于确认分组，超时和重传技术。应用层是最接近用户的，为应用程序提供通信服务。网络应用程序及其协议依靠该层完成通信任务。在这一层可以实现所需要的应用服务，包括浏览器、电子邮件、文件传输 (FTP) 和分布式数据库等。

2.3 时间触发以太网帧格式

TTE定义的时间触发业务能添加到基于IEEE802.3的以太网当中，图5是一个时间触发业务的平面图和OSI分层模型。TTE设计了3种不同类型的消息：时间触发消息 (Time Triggered Message, TTM)、速率限制消息 (Rate Constrained Message, RCM) 和尽力而为消息 (Best Effort Message, BEM) [7]。

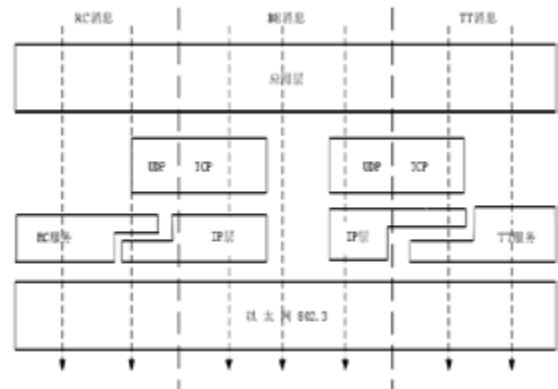


图5 TTE协议层结构图

Fig.5 The protocol infrastructure of TTE

这三种数据都是标准以太网数据，只是它们帧格式的type域不同。下面分别介绍这三种数据帧。

(1) 时间触发消息

系统工程师为每个TTE网络设备定义一个离线时间调度表，当这个表建立好之后，网络设备就可以按照这个预先设定好的表发送或接收时间触发业务。这样，TT消息在它预先设定的时间内发送，避免争用物理链路和发生碰撞，保证TT帧的固定延迟和很小的抖动，用于高安全性、高实时性数据的传输。图6是它的帧结构示意图。

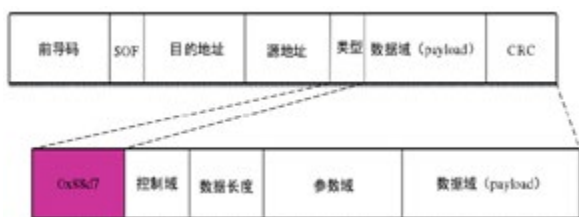


图6 TT帧格式

Fig.6 The frame architecture of TT

除了时间触发业务，网络也会留出一部分时间传输非时间触发业务。当网络中没有时间触发业务传输时，网络就将相应的时间段用来处理非时间触发业务。

(2) 速率限制消息

ARINC664标准的第7部分详细介绍了速率受限通信，RC消息与TT消息不同，它不是一个严格的时间确定性数据，它的传输延迟允许在一定的时间范围内，而不是一个定值。当某种业务需要较强的时间要求时，可以考虑使用仅次于时间触发业务的速率受限业务。

RC数据使用虚拟链路（VL）传输，通过设置带宽分配间隙（BAG）和抖动参数对VL进行流量整形，使RC业务有固定的带宽和相对确定的延时。VL是针对源、目的节点的，所以可避免数据冲突，从而使RC消息具有确定性和实时性。RC帧格式如图7所示。

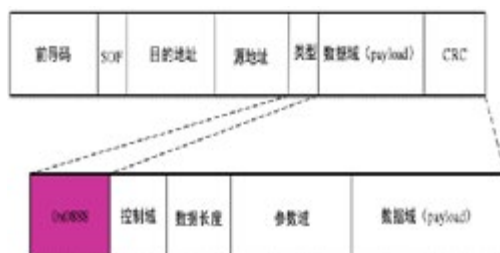


图7 RC帧格式

Fig.7 The RC frame architecture

(3) 尽力而为消息

尽力而为消息是传统以太网消息，符合IEEE802.3标准，与现有标准以太网完全兼容。TTE不考虑这种业务何时被传输、它的延迟、抖动是多少，也不能保证它能不能到达目的节点。在实际应用中，这3种消息的优先级顺序为TT消息>RC消息>BE消息，只有当网络中没有其他两种业务传输时才能传输BE业务。BE消息格式如图8所示。

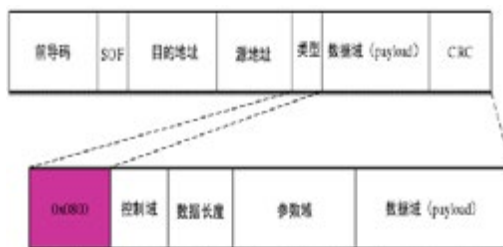


图8 BE消息格式

Fig.8 The BE message format

3 时间敏感网络

为了解决以太网中数据分组传输的低时延以及可靠性，IEEE802.1任务组制定了基于以太新架构的音视频实时传输协议集——以太网音视频桥接技术AVB (Ethernet Audio Video Bridging)。它不仅兼容传统以太网，而且能够有效解决分组数据在以太网中传输的时延、时序性以及流量整形等问题，是下一代网络音视频传输技术中非常有发展前景的一种。AVB技术中采用了许多协议方案来保证数据传输的低时延以及可靠性，比如精确时钟同步协议、流预留协议、排队及转发协议、音视频桥接系统、音视频桥接传输协议、RTP等等。AVB技术自2005年问

世, 为许多有实时传输需求的应用指明了方向, 诸如音视频行业、工业控制、物联网以及未来的5G等诸多领域都将需要数据传输的实时性和有效性, 甚至超高精度的时间同步^[8]。

IEEE802.1任务组于是在2012年底将AVB正式更名为TSN——Time Sensitive Network, 即时间敏感网络。TSN的核心仍旧是AVB技术, 并且在此基础上对原标准协议就行微调, 另外新增了几个工业性能标准, 比如: 基于排队及转发协议修订了框架抢占切换与流量增强调度、增加支持等级冗余与路径控制网络、增加数据帧的复制与消除的可靠性保证、循环排队转发协议及数据流的过滤与管理等等。为了能够支持丰富多样的实时数据, 满足多种场景下的高性能要求, IEEE802.1工作组将AVB升级成为TSN, 它以以太网为基础, 综合实时传输和支持可靠通信的多种先进技术, 为技术人员创建了一个能够满足工业控制、车载机载、5G宽带异构自组网等诸多领域实时数据传输的技术方案体系。

3.1 时间敏感网络概述

时间敏感网络是IEEE802.1工作组下时间敏感网络任务组正在开发的一套标准。2012年11月, 由于标准化组的工作范围扩大, 原有的音视频桥接任务组重新命名为TSN任务组, 并延续其工作。该标准定义了以太网上时间敏感数据的传输机制。当不同类型的数据具有不同的优先级时, 数据包必须相互区分。网络中的每个节点都必须知道数据包的重要性。为此, 引入了IEEE802.1Q标准, 该标准可以标记数据帧并定义优先级。与其他类型的数据相比, 有严格时间要求的数据总量通常较低。因此可以在需要时, 优先传输时间敏感的数据。通过这种方式, 可以提高传输的可预测性和网络的吞吐量^[9]。TSN弥补了局域网中对实时系统的支持, 它是对IEEE802.1Q的拓展。TSN被设计为当网络中75%的流量包具有严格时间要求(time-critical), 其余为尽力而为(best effort)型流量时开始工作。TSN的标准关注于网络互联和数据优先级, 使得网络在不同场景下表现得更好。本文中涉及的TSN标准如表1所示。

表1 TSN标准
Tab.1 TSN standard

标准	标准英文名称	标准主要功能
IEEE802.1AS	Time Synchronization	时钟同步
IEEE 802.1CB	Seamless Redundancy	无缝冗余
IEEE 802.1Qbu	Frame Preemption	帧抢占标准
IEEE 802.1Qbv	Scheduled Traffic	门控制调度标准
IEEE 802.1Qch	Cyclic Queuing and Forwarding	循环队列转发标准
IEEE802.1Qci	Filtering and Policing	入口流检测标准
IEEE802.1Qcc	SRP Enhancement	定义TSN网络配置接口, 针对网络用与用户配置的标准
IEEE 802.3br	Interspersing Express Traffic	帧抢占功能以太网底层协议
IEEE 802.1Qat	Stream Reservation Protocol	流预留协议
IEEE 802.1Qca	Path Control and Reservation	路径控制和预留
IEEE 802.1Qcr	Asynchronous Traffic Shaping	异步流量整形
IEEE 802.1CM	Time-Sensitive Networking for Fronthaul	时间敏感网络在移动前传网络的标准定义
IEEE802.1Qcp	Amendment to IEEE std 802.1Q	桥接网络标准

3.2 时间敏感网络协议体系

(1) IEEE802.1AS 精准时钟定时和同步协议

由于发端和收端节点播放音视频的同步需求、以及数据流传输的同步需求的存在。精准时钟定时和同步作为时间敏感数据传输的基础, 因为是由精准时间同步协议(PTP)为原型改进而来, 所以又称通用的精准时间同步协议(gPTP)。802.1AS主要完成定时和同步两大功能, 首先利用最佳主时钟算法(Best Master Clock Algorithm, BMCA)确定出gPTP域中的最佳时间源, 即根时钟, 然后构建一个以其为根可用于同步的生成树来, 在建立生成树的过程中可以同时筛选出同时支持IEEE802.1AS协议的网络节点^[10]。

(2) IEEE802.1Qat流预留协议

802.1Qat通过在通信链路上保留带宽来实现音视频数据的实时传送需求。为某数据流所做的带宽预留过程, 有注册和预留两个步骤, 包括的协议有多重注册协议(Multiple Registration Protocol, MRP)和多重数据流预约协议(Multiple Stream Reservation Protocol, MSRP)等。流预留协议不是典型意义上的请求相应协议, 它仅支持单向的报文传输, 当接收方终端收到数据是通过发送方终端到接收方终端的路径单向传输的, 并且该路径的带宽资源可用, 则认为带宽预留建立成功, 然后发送方使用此预留好的带宽资源开始向接收方终端传输数据流^[11]。

(3) IEEE802.1Qav队列及转发协议

802.1Qav协议主要为发送方终端和桥提供数据流的处理、以及转发服务。传统以太网的转发机制为BE服务，在大量数据包同时到达端口的情况下，会造成严重的网络拥堵。而802.1Qav所具有的流量整形、优先级划分、队列管理等功能，使得这种网络拥堵情况得以缓解。具体的，对于进入端口的所有数据，802.1Qav协议将给予实时音视频流数据最高的优先级，使其低延时的目标得以实现^[12]。

IEEE 802.1Qav协议在IEEE 802.1Q协议定义的八个优先级的基础上，把数据帧分成两类，一类是时间敏感的AVB数据帧，一类是非AVB数据帧。对于AVB数据帧，又分为两类，即A类和B类。对于A类的数据帧，其优先级是3，数据帧测量间隔是125μs，数据帧七跳传输的最大时延不超过2ms。对于B类数据帧，其优先级是2，数据帧的测量间隔是250μs，数据帧七跳传输的最大时延不超过50ms。

当支持802.1 Qav协议的终端或者桥上的端口收到数据帧时，会根据数据帧种类的不同进入不同的转发队列，并进行优先级重映射，其中AVB数据帧的A类和B类数据帧的优先级会高于普通的数据帧。同时，802.1 Qav协议定义了两种不同的数据帧转发机制，对于非AVB数据采用严格的优先级选择算法，尽最大努力的进行数据转发，而对于AVB数据帧，则采用基于信用的整形转发选择算法（Credit based shaper transmission selection algorithm），如图9所示。

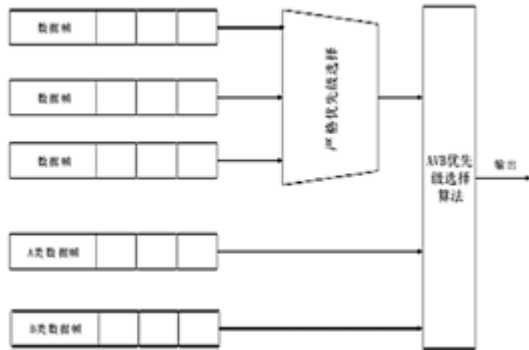


图9 队列转发处理过程

Fig.9 The forward process of queue

(4) 802.1Qbu & 802.3Qbr帧抢占协议

通常来讲，优先级越高的流会被认为是“更紧急”，对时延的大小也越敏感。为了让诸多业务流量中，优先级高的流能够更快速的送出，提出了帧抢占模式这一模式以“抢占”为核心，其原理与计算机中处理器的抢占功能类似，即暂停当前相对不紧急的任务，转而优先执行更为紧急的任务，待更紧急的任务执行完毕后，退回来继续执行被暂停的任务。帧抢占（Frame Preemption），主要将时延要求不同的帧区分为高速帧（Express）和低速帧（Preemptable），其中低速帧也称为可抢占帧。帧抢占可以令高速帧在满足设备当前传输情景时，打断现有的传输，优先对高速帧进行调度^[13,14]。通过对三种时间触发架构下的通信网络进行比较分析，本文对其特性进行了总结分析，如表2所示。

表2 总线技术的主要特点比较

Tab.2 The comparison of characterization of bus technology

指标	TTP	TTE	TSN
标准类型	SAE AS6003	SAE AS6802	IEEE标准
知识产权	TTTech公司	TTTech公司	无
应用范围	封闭式小系统	封闭式小系统	开放式系统
应用领域	航空航天等安全关键领域	航空航天等安全关键领域	汽车电子、工业控制等
时钟同步方式	分布式容错	分布式容错	主从式
时钟同步精度	<1us	<100ns	<100ns
递交时间	100us级	10us级	每跳250us（8跳情况下为2ms）
传输抖动	<1us	<100ns	<500us
冗余方式	双冗余	双冗余/三冗余	双冗余
功能安全	SIL4	SIL4	无
传输速率	5Mbps/25Mbps	100Mbps/1000Mbps	100M/1000Mbps
调度策略	消息基于时间槽	消息基于时间槽	消息基于时间槽，所有TT消息共享时间槽
网络拓扑结构	星型/总线型	星型	星型/环型
网络规模	最大110个	最大65535个	最大65535个
传输模式	半双工、全双工	全双工	全双工
数据包长度	最大240字节	最大1518字节	最大1518字节
连接线缆	同轴电缆/双绞线/光纤	双绞线/光纤	双绞线/光纤
网络管理方式	/	分布式	分布式
动态配置	否	否	否

4 结论

时间触发架构作为一种高安全可靠的分布式网络化控制系统架构,当前已成为众多高端装备领域的新一代计算和控制系统架构,如航空航天领域的分布式综合模块化航电系统(Distributed Integrated Modular Avionics, DIMA)、汽车自动驾驶的新型电子电气架构、轨道交通领域的TCN(Train Control Network, TCN)等。未来TTA会与人工智能技术结合,带来新一代的实时可信人工智能技术。架构的革命将会带来对底层元器件领域的新需求,国内相关企事业单位需要及时跟进并长期关注。

TTP作为一种传统的高安全可靠时间触发总线,大多应用于航空航天设备内部的互联,如波音787、空客380的发动机控制部分以及电源控制部分。TTP在战术武器以及无人装备上也有广阔的应用前景。

TTE当前已经在美国NASA的“猎户座”通用飞船得到成功应用,并且在NASA的重型运载SLS、太空之门Space Gate以及重返月球计划中得到应用。TTE适用于航空航天等高端设备之间的互联,是飞行器内部主干网络的主要选择。

TSN由于其开放性,特别适用于现场级的互联,如工厂的内网、测发控的地面网络等。车载以太网、轨道交通、智能电网等大都采用了TSN作为主要技术方案。

致谢:奥地利TTTech公司欧阳扬先生、清华大学王红春研究员、西安电子科技大学潘伟涛老师以及奥地利贝加莱公司宋华振先生对本文亦提供很大帮助,在此一并表示感谢!

参考文献 (References)

[1] H. Kopetz. The Time-Triggered Architecture[J]. IEEE, 2003, 91(4):112-126.

[2] H. Kopetz, A. Ademaj, P. Grillinger and et al. The time-triggered ethernet (TTE) design[C]. Object-Oriented Real-Time Distributed Computing[C], 2005. ISORC 2005. Eighth IEEE International Symposium on. IEEE, 2005: 22-33.

[3] SAE AS6003 TTP communication protocol[S]. 2011-02.

[4] H. Kopetz and G. Grunsteidl. TTP-A protocol for fault-tolerant real-time systems[J]. IEEE Computer, 1994, 27(1):14-23.

[5] SAEAS6802. Time-Triggered Ethernet [S]. SAE Aerospace Standard, 2011.11.

[6] W Steiner. TTEthernet Specification[R]. TTTech Computertechnik AG, Vienna, Austria, 2008.

[7] TTEthernet: Deterministic Ethernet Network[EB/OL]. <https://www.ttech.com/technologies/ttethernet>.

[8] IEEE Standard for Local and metropolitan area networks Virtual Bridged Local Area Networks Amendment 12: Forwarding and Queuing Enhancements for Time-Sensitive Streams, IEEE Std. 802.1Qav-2009, 2009. [Online]. Available: <http://standards.ieee.org>.

[9] IEEE Standard for Local and Metropolitan Area Networks Timing and Synchronization for Time-Sensitive Applications in Bridged Local Area Networks, IEEE Std. 802.1AS, 2011. [Online]. Available: <http://standards.ieee.org>.

[10] Timing and Synchronize: Enhancements and Performance Improvements, IEEE Std. P802.1ASbt. [Online]. Available <http://www.ieee802.org/1/pages/802.1asbt.html>.

[11] Multiple Stream Reservation, IEEE Std. P802.1Qat. [Online]. Available: <http://www.ieee802.org/1/pages/802.1at.html>.

[12] Enhancements for Scheduled Traffic, IEEE Std. P802.1Qav. [Online]. Available: <http://www.ieee802.org/1/pages/802.1av.html>.

[13] Interspersing Express Traffic, IEEE Std. P802.1Qbr. [Online]. Available: <http://www.ieee802.org/1/pages/802.1br.html>.

[14] Frame Preemption, IEEE Std. P802.1Qbu. [Online]. Available: <http://www.ieee802.org/1/pages/802.1bu.html>.



作者简介:

赵沛(1978—),男,陕西省西安市高陵区,硕士,研究员,主要从事网络通信方面的研究。

高速高精度数模转换器插值滤波电路

朱泽华, 权海洋, 王宗民, 张铁良, 彭新芒

(北京微电子技术研究所, 北京 100076)

摘要: 研究和设计了16位12GSPS D/A转换器的插值滤波电路, 可以在不提高接口输入速率的前提下, 有效提高数据率, 实现外部输入低频数字信号的升采样处理, 以满足高速DAC内核转换数据需求。同时还在电路模块中加入了优化设计, 减小了硬件开销。在滤波模块的系数生成电路设计过程中, 设计了子运算结果共享。

关键词: D/A转换器; 插值滤波; 数据率; 升采样

中图分类号: TN915.19

文献标识码: A

A High Speed and High Precision Digital to Analog Converter Interpolation Filter Circuit

Zhu Zehua, Quan Haiyang, Wang Zongmin, Zhang Tieliang, Peng Xinmang

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

Abstract: This article mainly researches and designs the interpolation filter circuit of the 16-bit 12GSPS D/A converter, The interpolation filter circuit can effectively increase the data rate without increasing the input rate of the interface, and realize the up-sampling processing of the external input low-frequency digital signal to meet the high-speed DAC core conversion data requirement. At the same time, an optimized design is added to the circuit module to reduce the hardware overhead. In the design process of the coefficient generation circuit of the filter circuit of the filter circuit, a sub-operation result sharing is designed.

Key words: D/A converter; interpolation filtering; data rate; up sample

0 引言

D/A转换器是实现将数字信号转换为模拟信号的数据转换器, 是数字系统与模拟系统接口的关键部件, 在军用电子系统中应用极其广泛, 如: 通信、导航、雷达、卫星、电子对抗、测控系统、仪器仪表等领域; 对于高速高精度D/A, 插值滤波技术能够实现数据升采样, 有效降低DAC内核高更新速率对输入端口速率的要求, 可以在不提高接口输入速率的前提下, 有效提高数据率, 实现外部输入低频数字信号的升采样处理, 以满足高速DAC内核转换数据需求^[1]。2016年, Gil Engel等人设计了一款16位10GS/s的DAC, 设计是基于65nm CMOS工艺, 内部设计包含了插值滤波技术, 该产品能满足宽带通信应用, 拥有5GHz信号带宽。2017年, Vishnu Ravinuthula等人在40nm工艺下设计了一款14位8.9GS/s的DAC。利用数字模块中的数字插值滤波器对JESD204B接口

的数据进一步处理, 以实现DAC完全转换速率的数据采样。2018年, Christophe Erdmann等人在16nm FinFET工艺下利用高速数据插值滤波和直接数字合成混频技术, 采用传统电流开关单元混合DAC的替代实现方法, 充分利用DAC模拟带宽, 设计了一款14位, 6.8GS/s的DAC。

高速D/A转换器要实现12GSPS的高速数据采样率, 从目前的技术水平来看, 仅仅依靠高速端口来实现高采样率是十分困难的。数字内插技术可以通过系统集成数字内插滤波器^[2,3], 有效降低DAC内核高更新速率对输入端口速率的要求。数字内插滤波器是超高速D/A转换器重要模块。数字内插滤波器一般采用半带滤波器实现, 高速数字插值对半带滤波器的带宽、阻带抑制、纹波特性提出更高要求^[4]。同时多倍数字内插通常采用多级半带内插滤波器级联实现, 速度与功耗成为高速数字插值的瓶颈^[5]。通过对数字

插值滤波器结构、性能、功耗方面进一步优化^[6],提升滤波器阻带抑制比和纹波特性,并将其集成到16位12GSPS RF D/A转换器中,通过可选2X、3X、4X、6X、8X、12X插值,可以将串行输入端口速率降低到12Gbps以下。

数字内插滤波技术可以在不提高接口输入速率的前提下有效提高数据率,具体结构是先经过零值内插,再通过低通滤波器来实现。本文采用插值滤波器的方法,即离散域插值法^[7]。若实现N倍插值,则在两相邻样点之间插入(N-1)个抽样值,可以是插入(N-1)个零值点。

本文的组织结构如下。第1节介绍了D/A转换器的插值滤波电路模块的基本原理和实现方案;第2节介绍了高速数据插值电路设计细节;第3节介绍了仿真结果;最后,第4节给出了本文总结出的结论。

1 插值滤波电路整体结构设计

本文设计了一种内置在高速、高精度DAC中的插值滤波电路结构,电路整体结构如图1所示。系统可以通过旁路滤波器实现2X、3X、4X、6X、8X、12X插值。多级滤波器结构让采样率逐步增加,就能够使每一级系统结构的阶数以惊人的比例减低,在资源消耗和运算数据方面,多级结构比单级结构有明显的优化和进步。通过半带滤波器的结构设计和系数生成电路的优化设计,减少了硬件开销。一个上采样系统由三个半带滤波器和一个FIR滤波器组成。系统可以通过旁路滤波器实现2X、3X、4X、6X、8X、12X插值。图中的第一个2X滤波器是51阶半带滤波器,第一个3X滤波器是67阶FIR滤波器,第二个2X滤波器是19级半带滤波器。第三个2X滤波器是11阶半带滤波器。

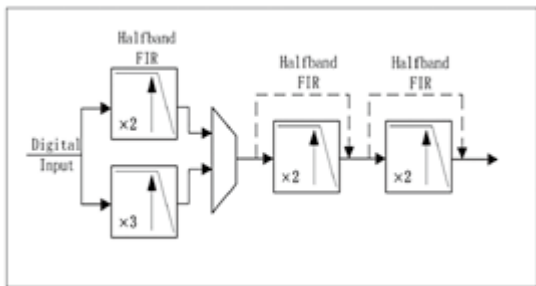


图1 设计的插值滤波示意图

Fig.1 Schematic diagram of the designed interpolation filter

DAC的时钟频率为6GHz,输入信号带宽高达 $6/2 \times 80\% = 2400\text{MHz}$,过渡带带宽 $< 1200\text{MHz}$,纹波 $< \pm 0.001\text{dB}$,阻带衰减大于85dB;输入信号带宽略低于奈奎斯特带宽有助于适当地放松f要求,从而降低所需的半带滤波器阶数。

使用Matlab提供的“滤波器设计和分析工具箱”设计半带滤波器,并通过Matlab提供的“最小阶数”方法确定半带滤波器的阶数和特定系数。

为了节省硬件开销,我们设置最小系数并最终确定最小系数阶数为51。我们使用乘法器多路复用方法来构建51阶半带滤波器的结构,这种结构可以将乘法器的开销减半。

因为偶数分支系数仅具有中间系数 $h(26) = 0.5$,并且插值滤波器增益为2,以便补偿由2X插值零值插值引起的幅度损失。偶数分支只需要按原样输出输入序列。为了进一步节省寄存器的数量,可以将使用折叠结构实现偶数分支的延迟单元与奇数分支共享,从而获得的滤波器的最终两相结构。

两阶段分解原理可以将滤波器分为两个等分的分支,并且输入数据以一定速率输入到奇偶校验分支。样本 $X(n)$ 的每个输入,分别计算奇偶支路以获得相应的结果,然后以输入数据二倍的速率切换开关。在奇偶校验的两个分支之间来回切换会给出输出序列 $Y(n)$ 。

2 电路实现

2.1 两相结构

利用Matlab提供的Filter Design and Analysis Toolbox设计半带滤波器,通过Matlab提供的最少系数方法(Minimum Order)来确定半带滤波器阶数以及具体系数。

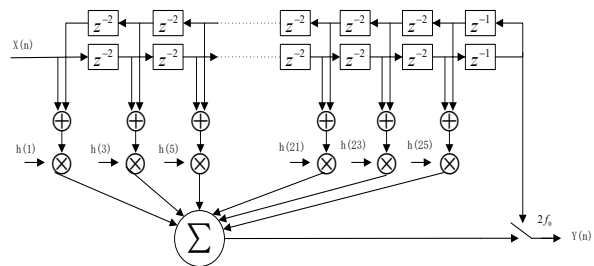


图2 51阶半带滤波器结构

Fig.2 51 order half-band filter structure

表中的系数都被简化为最简单的整数，公因数为。设计的系数在表1中给出。表中的偶数系数全为0，而奇数系数成对相同。

表1 半带滤波器系数

Tab.1 Half-band filter coefficient graph

tap	coefficients	tap	coefficients	tap	coefficients	tap	coefficients
1	4	16	0	31	1819	46	0
2	0	17	738	32	0	47	27
3	-11	18	0	33	-1137	48	0
4	0	19	-1137	34	0	49	-11
5	27	20	0	35	738	50	0
6	0	21	1819	36	0	51	4
7	-57	22	0	37	-478		
8	0	23	-3311	38	0		
9	106	24	0	39	303		
10	0	25	10374	40	0		
11	-185	26	16384	41	-185		
12	0	27	10374	42	0		
13	303	28	0	43	106		
14	0	29	-3311	44	0		
15	-478	30	0	45	-57		

2.2 系数生成电路

使用查找表生成系数的优点是快速，但是引入存储和寻址单元的需求增加了硬件消耗。在本文的设计中，使用现场生成的方法直接生成要使用的系数。为了减少硬件开销，可以同时实现高速数据插值滤波，优化乘法累加结构，并采用子运算结果共享技术。最后，使用23个加法器，深度为5，完成13个系数的乘法。系数生成电路是半带滤波器的核心模块，如图3所示。

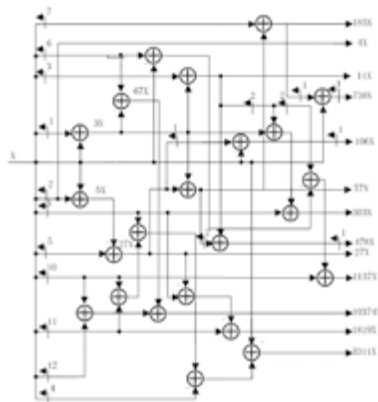


图3 半带滤波器系数生成电路

Fig.3 Half-band filter coefficient generation circuit

对于19阶的半带滤波器，采用子运算结果共享技术，19阶的半带滤波器需要完成6个系数的乘法，深度为3即可满足要求。优化乘法累加结构，使用6个加法器，完成6个系数的乘法。对于两个11阶的半带滤波器，采用子运算结果共享技术，两个11阶的半带滤波器均需要完成4个系数的乘法，深度为2即可满足要求。优化乘法累加结构，各使用3个加法器，完成4个系数的乘法。

3 电路仿真

半带滤波器的频域特性如图4所示。时钟频率为6 GHz。在归一化频率下，通带频率=0.4，阻带频率=0.6，过渡带带宽<0.2，纹波<±0.001dB，阻带衰减大于85dB。

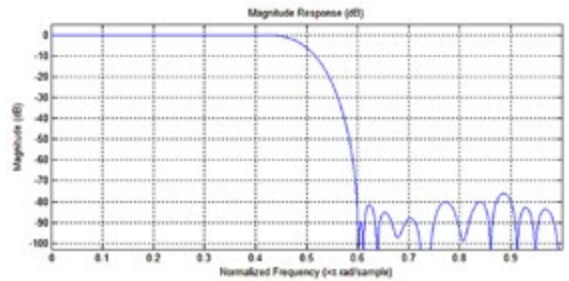


图4 半带滤波器幅频特性

Fig.4 Layout of proposed track and hold circuit

一方面，插值滤波可以有效提高数据速率，满足系统对数据速率的需求。另一方面，内插滤波可以保证并改善信号的量化噪声和线性度。内插时域波形如图5所示。

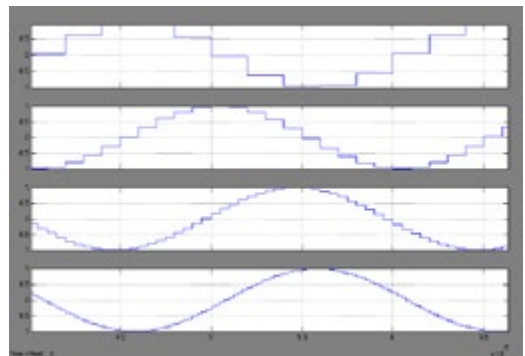


图5 插值滤波时域图

Fig.5 Interpolation filtering time domain graph

插值滤波模块的仿真验证结果如图6所示。

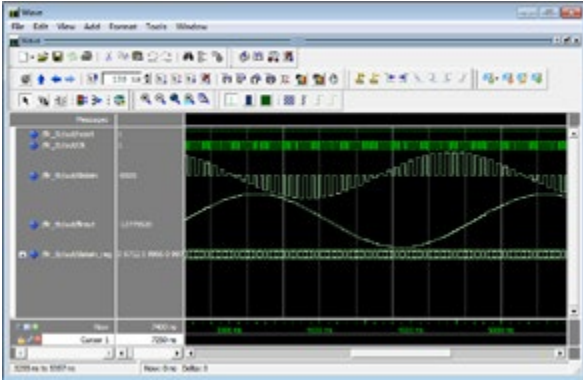


图6 插值滤波数据FFT

Fig.6 Interpolation filtering modelsim simulation time domain graph

数据经过插值滤波后，将所得到的数据经过FFT转换到频域的波形如图7所示。观察时域波形可以看出，谐波和量化噪声得到有效抑制。

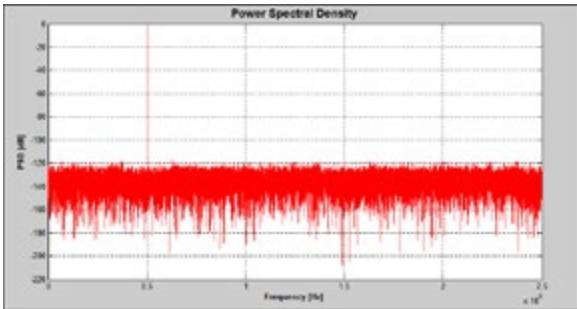


图7 Modelsim插值滤波时域图

Fig.7 Interpolation filtering data FFT

在实验室使用的FPGA型号：VC707 Evaluation Board for the Virtex-7 FPGA进行测试验证，如图8、图9所示。



图8 FPGA硬件

Fig.8 FPGA hardware

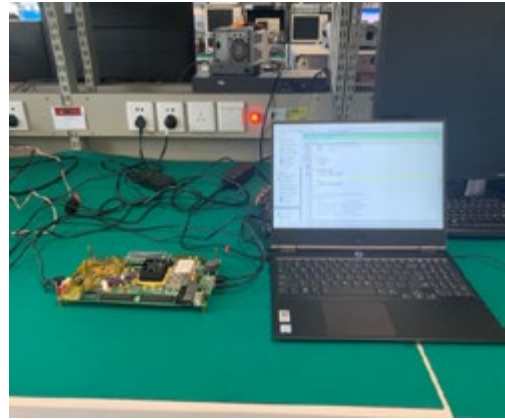


图9 FPGA调试

Fig.9 FPGA debugging

插值滤波后的数据混频后得到的功率谱密度如图10所示。插值滤波后混频得到的数据进行频谱分析SFDR大于68dB。

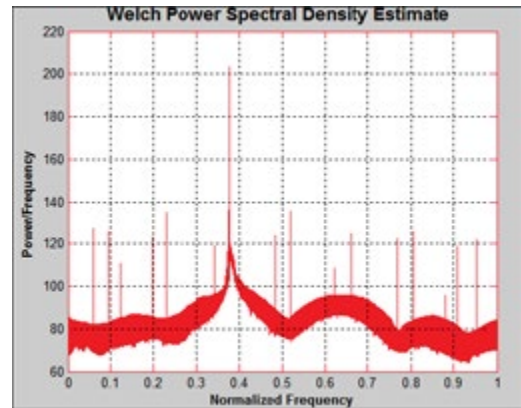


图10 功率谱密度

Fig.10 Power spectral density

4 结论

提出了一种高速、高精度DAC升采样电路结构。所提出的升采样电路可以在不增加接口输入速率的情况下有效地提高数据速率，实现对外部输入的低频数字信号的升采样处理，以满足高速DAC内核转换数据的需求。通过半带滤波器的结构设计和系数产生电路的优化设计，降低了硬件开销。优化后的设计结果与优化前相比，减少的寄存器等硬件资源消耗约占总体资源的6%。系统可通过旁路滤波实现2X、3X、4X、6X、8X、12X不同倍数插值。在归一

化频率下, 半带滤波器的通带频率=0.4, 阻带频率=0.6, 过渡带带宽<0.2, 纹波< ± 0.001 dB, 阻带衰减大于85dB。插值滤波电路能使谐波和量化噪声得到有效抑制, 插值滤波后混频得到的数据进行频谱分析SFDR大于68dB。

参考文献(References)

- [1] H. Samuelli and T. Lin, A VLSI architecture for a universal highspeed multirate FIR digital filter with selectable power-of-two decimation/interpolation ratios, in Proc. IEEE Int. Conf. Acoust., Speech Signal Process., 1991, pp. 1813-1816.
- [2] D. J. Goodman and M. J. Carey, Nine digital filters for decimation and interpolation, IEEE Trans. Acoust., Speech, Signal Process., vol. ASSP-25, no. 2, pp. 121-126, Apr. 1977.
- [3] E. B. Hogenhauer, An economical class of digital filters for decimation and interpolation, IEEE Trans. Acoust., Speech, Signal Process., vol. ASSP-29, no. 2, pp.155-162, Apr. 1981.
- [4] F. Mintzer, On half-band, third-band, Nth-band FIR filters and their design, IEEE Trans. Acoust., Speech, Signal Process., vol. ASSP-30, no. 5, pp. 734-738, Oct. 1982.
- [5] P. P. Vaidyanathan, Multirate Systems and Filter Banks. Englewood Cliffs, NJ, USA: Prentice-Hall, 1993.
- [6] S. K. Mitra and J. F. Kaiser, Handbook for Digital Signal Processing. New York, NY, USA: Wiley, 1993.
- [7] H. G. G ckler, Chapter 12: Most efficient digital filter structures: The potential of halfband filters in digital signal processing, in Applications of Digital Signal Processing, C. Cuadrado-Laborde, Ed. Rijeka, Croatia: InTech, 2011.



作者简介:

朱泽华(1994-),男,黑龙江七台河,硕士研究生,助理工程师,电子科学与技术专业,研究方向为数模混合电路。

基于FPGA的红外成像电路设计

苏 健, 陈 敏, 冯雪健, 刘丽丽, 张夜星, 董 悦, 张利辉

(北京微电子技术研究所, 北京 100076)

摘 要: 本文针对 640×512 制冷型中波红外焦平面探测器研制了一种基于FPGA的成像电路。本设计采用北京微电子技术研究所的BQ5VVSX95T高性能FPGA器件为核心, 设计了由探测器驱动电路、信号处理电路等组成的红外成像电路。

关键词: 制冷型中波红外焦平面探测器; FPGA; 红外成像

中图分类号: TN216

文献标识码: B

Infrared Imaging Circuit Design Based on FPGA

Su Jian, Chen Min, Feng Xuejian, Liu Lili, Zhang Yexing, Dong Yue, Zhang Lihui

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

Abstract: In this paper, an imaging circuit based on FPGA is developed for a 640×512 refrigerated medium wave infrared focal plane detector. This design adopts BQ5VVSX95T high-performance FPGA device of Beijing Institute of Microelectronics Technology as the core, along with detector device circuit and signal processing circuit to form infrared imaging circuit.

Key words: refrigerated medium wave infrared focal plane detector; FPGA; infrared imaging

0 引言

FPGA能进行实时流水线运算, 相较其他处理器能达到更高的实时性, 所以广泛应用于对实时性要求高的图像信号处理中, 兼容非标准协议拓展了其应用场景^[1]。

本设计选用 640×512 制冷型中波红外焦平面探测器, 研制一套红外成像电路。从红外成像电路总体进行分析, 给出设计思路和过程。

1 电路组成及工作原理

本设计红外成像电路主要由探测器驱动电路、信号处理电路、电源转换电路等组成^[2,3]红外成像电路结构框图如图1所示。

其中, 制冷型中波红外探测器像元数为 640×512 个, 响应波段为 $3.7 \mu\text{m} \sim 4.8 \mu\text{m}$ 。探测器的光敏元受红外光的激发将光信号转化为电信号, 并在FPGA产生的数字驱动信号的作用下分8路依次输出所有模拟信号, 探测器输出模拟信号经过阻抗变换、滤波放大

及放大器进行驱动进入信号处理电路的A/D变换电路, 通过FPGA产生的控制信号, 使A/D电路将模拟信号转换为14位数字信号。FPGA接收8路原始数字图像信号后, 通过外部存储资源和预置好的算法程序, 实时进行非均匀性参数采集及计算、自动盲元识别及填充、图像增强和实时送显等信号处理, 最终输出校正后的可用图像信号。整个红外成像电路还可通过串口RS422和外界进行通讯。

2 电路设计实现

2.1 探测器驱动电路设计

探测器驱动电路设计主要包括: 直流偏压电路、脉冲时序控制电路、模拟图像信号调理电路。

(1) 直流偏压电路

主要提供探测器工作电源和偏置电压(GPOL)。工作电源包括: 数字电源(VDDL), 供电电压为+5V, 探测器实际需要电流小于5mA; 模拟电源(VDD), 供电电压为+5V, 探测器实际

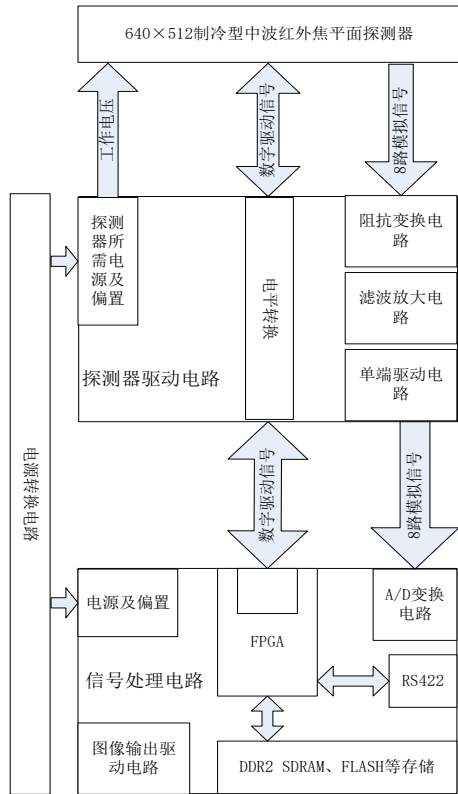


图1 红外成像电路组成框图

Fig.1 Infrared imaging circuit block diagram

需要电流小于20mA。电源由电源转换电路提供。探测器的GPOL实际需要电压为+1V，电流小于1mA，该电压由系统电源通过高精度电阻分压而来。

(2) 脉冲时序控制电路

探测器驱动脉冲时序只需要主时钟信号MC、积分时间信号INT，并反馈输出数据有效信号DATAVALID。脉冲时序电路由FPGA控制探测器MC信号和INT信号完成，探测器和FPGA器件之间信号连接使用隔离器。

探测器在主时钟MC及积分时间INT控制下，分8路输出，每帧电路输出为 $640 \times 512 / 8 = 40960$ 个MC周期。

(3) 模拟图像信号调理电路

模拟图像信号调理模块的输入阻抗 $\geq 10M\Omega$ ，减小向探测器索取电流，以避免探测器的带负载能力弱的特点，同时模拟图像信号调理模块的带宽应大于

探测器的像素输出速率，最后探测器输出信号通过调理使输出信号电压在A/D转换器所允许的输入范围内，同时信号的噪声应与A/D转换器的最小分辨相匹配。本设计中，选取探测器增益GAIN=1，探测器输出电压摆幅为1.4V(0.8V~2.2V)。探测器输出模拟信号通过跟随器进行阻抗变换，通过滤波放大，由单端运算放大器，输出模拟信号，输出电压摆幅为1.4V，共输出8路模拟信号，给信号处理电路中的A/D转换芯片B9245。

2.2 信号处理电路设计

信号处理电路主要包括A/D转换电路、FPGA处理电路、图像输出接口电路和对外通讯RS422电路，如图2所示。

(1) A/D转换电路

采用芯片B9245，14bit数字输出，通过设置参考电压确定输入范围^[4,5]。本电路中设置参考电压为1.0V，FPGA提供8路相同的时钟信号。

(2) FPGA处理电路

FPGA电路是图像采集及算法处理的主电路，电路的处理能力应满足帧频(50Hz)的要求。FPGA主要产生探测器驱动脉冲信号、A/D采样时序以及DDR2、FLASH等存储器接口时序、图像的盲元剔除、非均匀性校正、盲元自适应检测替代、数字图像同步LVDS接口时序、异步UART接口时序传输等^[6]。系统存储器资源要充分考虑变积分时间、分段两点校正的系数存储空间的需求^[7,8]。

经采样后数字信息在FPGA的控制下按照内部时序进行图像的自适应调整积分时间、在线非均匀性校正系数标定和非均匀性校正，图像盲元的自动检测、剔除、释放功能、图像拉伸。

根据系统需要，FPGA需要外接DDR2 RAM、SPI FLASH等器件。FPGA器件通过IO接口接收AD转换电路的输出数据并提供AD的工作时钟，控制探测器脉冲时序和上电保护；根据图像处理算法需求，FPGA外接DDR2 SDRAM芯片，FPGA与DDR2 SDRAM芯片的数据、地址和控制信号相连，通过软

件设计DDR2控制器完成数据的读写。图像数据输出包括8位数据线VD0~VD7，一个时钟信号VCLK，两个同步信号VSYN和HSYN；以及CameraLink的1对Clk和4对Data差分数据线等。

(3) 图像输出接口电路

图像数据输出接口电路主要用B7123输出模拟PAL信号，CameraLink并转串芯片B90CR285RH输出标准的CameraLinkOut信号。

(4) 对外通讯RS422电路

对外通讯电路主要是RS422收发芯片B26LV31TF、B26LV32TF组成全双工通讯，使整个红外成像电路还可通过串口RS422和外界进行通讯。



图3 红外成像电路测试效果
Fig.3 Infrared imaging circuit test diagram

3 小结

该设计方法，应用于640×512制冷红外焦平面探测器，得到成像图像清晰，达到设计要求，并截取实验过程中的红外图像测试效果图。整板设计小巧紧凑、可靠性好，且有很好的可移植型，软件算法升级方便等特点，适合其他红外成像的应用，该设计现已交付使用。

参考文献 (References)

- [1] 常本康, 蔡毅. 红外成像阵列与系统[M]. 北京: 科学出版社, 2006:3-8.
- [2] 许照东, 刘欣, 尉钟. 采用640×512元探测器的机载红外系统设计[J]. 南京航空航天大学学报, 2007, 39(4):524-529.
- [3] 张洋, 张记龙, 杜旋燕. 基于HgCdTe红外探测器的微弱信号检测电路设计[J]. 应用光学, 2011, 32(4):779-783.
- [4] 郭自勇, 周有庆, 吴桂清. 14位并行A/D转换芯片AD9240的应用[J]. 中国仪器仪表, 2003, (5):29-31.
- [5] 杨明林, 张晓飞. FPGA控制实现图像系统的视频图像采集[J]. 计算机测量与控制, 2003, 11(6):451-454.
- [6] 黄艳军. 基于FPGA的数字图像预处理算法研究[D]. 南京: 南京理工大学, 2009.
- [7] 段雷. 基于DSP+FPGA的图像处理电路板硬件设计[D]. 成都: 西南交通大学, 2008.
- [8] 高宏亮, 刘彪, 李龙龙. 基于FPGA的图像采集和预处理技术的研究[J]. 制造业自动化, 2013, 35(13):2-75.

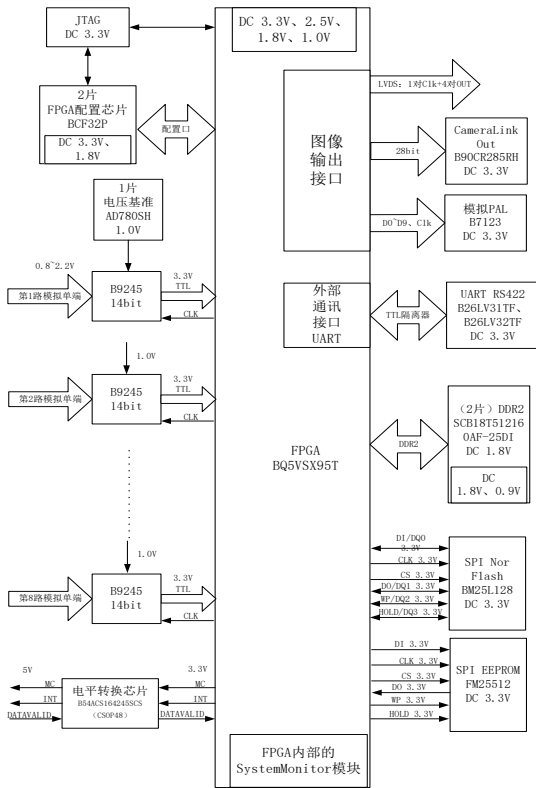


图2 信号处理电路框图

Fig.2 Block diagram of signal processing circuit

2.3 红外成像电路成像效果

实验结果如图3所示，人体背部轮廓清晰，同时高温区呈现灰白色，低温区成像暗黑色，图像具有层次感。人体移动的过程中探测器及时捕捉图像，数据处理及时。



作者简介:

苏健(1994—), 男, 助理工程师, 研究方向: 嵌入式系统开发设计。

功率MOSFET安全工作区的界定和绘制

赵昕, 刘学明, 刘芮, 王华, 王昊

(北京微电子技术研究所, 北京 100076)

摘要: 功率MOSFET额定参数验证难度大, 其安全工作区的确定多基于理论推导, 难以指导用户使用。基于用户需求, 本文从功率MOSFET的实际应用出发, 对限制安全工作区范围的主要参数进行了分析, 对安全工作区边界的界定方法进行了研究, 解决了额定稳态持续电流、额定功率和额定电压等边界参数的验证难点, 并以实际产品为例给出了安全工作区的绘制原理和绘制过程, 对功率MOSFET产品的验证和选型具有重要的指导意义和实用价值。

关键词: 功率MOSFET; 安全工作区; 额定参数; 验证方法

中图分类号: TN386.1 **文献标识码:** B

Determination and Drawing of Power MOSFET SOA

Zhao Xin, Liu Xueming, Liu Rui, Wang Hua, Wang Hao

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

Abstract: It is difficult to verify the rated parameters of power MOSFET. At present, the determination of SOA is mostly based on theoretical derivation, which is not enough to guide practical use. Based on the practical of power MOSFET, this paper analyzes the main parameters limiting the SOA, studies the boundary definition method of SOA, and solves the verification difficulties of boundary parameters such as rated current, rated power and rated voltage. Taking the actual devices as example, the drawing principle and process of SOA are given, which has important guiding significance and practical value for the verification and selection of power MOSFET devices.

Key words: power MOSFET; SOA; rated parameters; verification method

0 引言

功率MOSFET是新型半导体器件的代表, 具有开关速度快、开关损耗小、输入阻抗高、驱动电流小、频率特性好等优点, 且不存在二次击穿机制, 具有比双极型器件更宽的安全工作区, 已逐步替代传统双极型功率晶体管, 作为最重要的开关元件广泛应用于各种航天装备电源系统中。为了保证安全工作, 其安全工作区的确定和边界条件的验证就显得尤为重要。

能够保证功率MOSFET安全工作的所有边界条件形成的区域就是安全工作区。前人对安全工作区的绘制方法进行了大量研究^[1], 但因功率器件电流大、功率高, 额定参数验证难度较大, 现安全工作区的确定多停留在理论研究和公式推算, 鲜有针对限定安全

工作区边界的额定电流、额定电压、额定功率等额定参数进行的考核验证。

本文立足于实际应用, 对安全工作区的限定因素进行分析, 并针对额定电流、额定电压、额定功率等边界参数提出了切实可行的验证方法, 基于实例给出了安全工作区的绘制流程, 得到足以指导实际应用的真实安全工作区, 对功率MOSFET的实际应用具有重要的借鉴意义。

1 功率MOSFET安全工作区的界定

MOSFET的安全工作区由三部分构成, 分别为连续工作区域、脉冲工作区域和内阻所限定的区域, 每一部分由其相应的极限参数所限定^[2,3]。整个安全工作区域由电压限制线、电流限制线、脉冲电流限制线、导通压降限制线、直流功耗限制线、单脉冲功耗

限制线所限定，构成功率MOSFET的SOA曲线。这些限制因素会随着功率MOSFET工作环境的变化而使得安全工作区范围发生改变，所以在实际应用中需根据环境因素重新调整安全工作区范围。

下面，将逐一说明导通压降限制线、额定电流限制线、额定功率限制线和额定电压限制线的界定方法及额定边界条件的验证方式。

1.1 导通压降限制线

在正常稳态工作情况下，MOSFET的导通电阻 $R_{DS(on)}$ 具有正的温度系数，结温越高则内阻越大，并且在越靠近最高结温时上升速率越大。另外，高压场效应晶体管比低压场效应晶体管具有更大的温度系数。正温度系数能够抑制局部温升，消除器件的局部热点，使器件温度趋于均匀，从而使功率场效应晶体管的安全工作区远大于三极管的安全工作区。

导通电阻 $R_{DS(on)}$ 是线性工作区内对器件电压、电流的实际约束，与结温、器件功耗、导热情况等有关。由MOS器件耗散功率的定义得：

$$P_t = I_D^2 \cdot R_{on} \cdot \alpha(T_j) \quad (1)$$

其中 α 为导通电阻的温度系数，可根据实际器件的导通电阻随温度变化曲线计算。

由器件功率受限于最高结温可得：

$$P_t = (T_{jmax} - T_c) / R_{\theta jc} \quad (2)$$

其中，通常取环境温度 25°C ，MOS器件的最高结温一般为 150°C ，为实际器件的结环境热阻实测值。

由上述(1)式和(2)式推导得：

$$I_D = \sqrt{(T_{jmax} - T_c) / [R_{\theta jc} \cdot R_{on} \cdot \alpha(T_j)]} \quad (3)$$

$$V_{DS} = \sqrt{(T_{jmax} - T_c) \cdot R_{on} \cdot \alpha(T_j) / R_{\theta jc}} \quad (4)$$

根据和即可绘制出安全工作区曲线中的导通压降限制线。

1.2 额定电流限制线

对于功率MOSFET连续漏极电流 I_D 为规定壳温下

(一般为 25°C)可允许的最大连续稳态电流。在功率MOSFET中，决定 I_D 的主要因素是器件导电沟道宽度，对 I_D 的限制实际上是与器件封装工艺有关的因素，如内引线的熔断电流、压焊点面积和金属化电极的迁移等^[4]。

在实际安全工作区绘制时，需要对额定稳态电流进行验证。对于功率MOS来说，受限于散热条件，按照稳态功率的方式验证额定电流几乎不可能。经过试验验证，我们在器件开启的条件下，采用附加电流源的方式实现额定电流的验证。电路示意如图1所示。

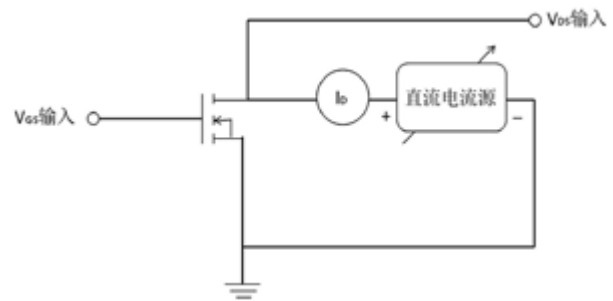


图1 额定稳态持续电流验证电路图

Fig. 1 Rated steady state continuous current verification circuit diagram

在试验实施时，将器件置于 25°C 恒温油槽中，先加 V_{DS} （一般为 10V ），再缓慢增加 V_{GS} ，直至器件开启产生 I_D 电流。调整电流源使 I_D 达到额定值并持续 1min 。要求试验过程中电流示数无跳变，试验结束后的器件参数无失效。即便在油槽中，大电流下器件的壳温依然难以保持恒定，故该试验归类为破坏性试验，每批一般抽取2只器件进行验证即可。

1.3 额定功率限制线

MOSFET器件的最大安全使用功率取决于热功率，此外功率MOSFET的安全工作区中也不存在二次击穿线，所以功率MOSFET的最大损耗功率由壳温 25°C 时的结壳热阻值决定，是一条功率恒定线。额定功率可由上文式(2)计算得出。

直流功率可通过器件稳态工作来验证。即先给

V_{DS} 加一定电压（一般为10V），再通过调整 V_{GS} 使器件导通产生明显电流 I_D 。通过调整 V_{DS} 和 V_{GS} ，使得器件达到额定功率。让器件在额定功率下工作至少168h，取下测试参数无明显漂移，即可验证额定功率。对于功率MOSFET其额定功率是在壳温为25℃下给出的，但是我们在实际验证时壳温很难控制到25℃，所以一般做验证试验时，选择在壳温为75℃时的降额功率。降额功率的计算公式如式（5）所示：

$$P_{t1} = \frac{P_t(T_{jmax}-75^\circ C)}{T_{jmax}-25^\circ C} \quad (5)$$

直流极限功率验证试验为破坏性试验，建议一般抽取5只器件进行验证即可。

脉冲功耗限制线与直流功耗限制线类似，均可由功率受最高结温限制计算得出。脉冲耗散功率是由瞬态热阻决定。瞬态热阻是器件没有达到热平衡的状态，其本质与稳态热阻相同，只不过稳态热阻对应直流电流，瞬态阻抗对应脉冲电流。

1.4 额定电压限制线

漏源击穿电压 BV_{DSS} 限制了器件工作的最大电压范围，在功率MOSFET正常工作中，若漏极和源极之间的电压过度增高，PN结反偏会发生雪崩击穿。为保障器件安全，在关断过程及其稳态下必须承受的漏极和源极间最高电压应低于漏源击穿电压 BV_{DSS} 。

稳态击穿电压的测试相对简单，采用一般的图示仪即可完成验证。需要注意的是在验证时需要将源极和栅极短接接地，然后在漏极加电压，在图示仪上捕捉到的击穿曲线拐点即为极限击穿电压。

对于稳态击穿电压的验证，我们一般仿照美标MIL-STD-750E，采用反向稳定性法（非破坏性），每批抽样数至少为45只。具体实施步骤见表1所示。

2 功率MOSFET安全工作区绘制实例

结合以上分析结果，我们对实际研制的N沟功率MOSFET产品的工作区进行绘制，可以更加直观的表达安全工作区的意义和绘制方法。该实例器件的主要参数如表2所示。

表1 反向稳定性实施步骤

Tab.1 Reverse stability implementation steps

序号	实验步骤	实验条件
1	测试 I_{DSS} 初始值	测试条件 V_{DS} =该产品额定值
2	持续加电压	$T_A=25^\circ C \pm 2^\circ C$, $V_{DS}=80\%$ 额定值, $t=1h$
3	室温稳定	$T_A=25^\circ C \pm 2^\circ C$, $t=1h$
4	测试 I_{DSS} 终值	测试条件 V_{DS} =该产品额定值
5	计算 Δ 变化量	若初始 $I_{DSS} < 100nA$, 要求 $\Delta I_{DSS} \leq 100nA$
		若初始 $100nA \leq I_{DSS} < 1\mu A$, 要求 $\Delta I_{DSS} \leq 200nA$
		若初始 $I_{DSS} \geq 1\mu A$, 要求 $\Delta I_{DSS} \leq$ 初始值的 $\pm 50\%$

表2 主要参数

Tab.2 Main parameters of the device

参数	单位	数值
额定电压	V	200
额定电流	A	100
最高结温	°C	150
导通电阻 $T_c=150^\circ C$	Ω	0.1
稳态热阻	°C/W	0.8
10ms瞬态阻抗	°C/W	0.25
1ms瞬态阻抗	°C/W	0.089
0.1ms瞬态阻抗	°C/W	0.025

根据上述参数，绘制所得的安全工作区如图2所示，包含有7段曲线。下面分段对该曲线进行说明。

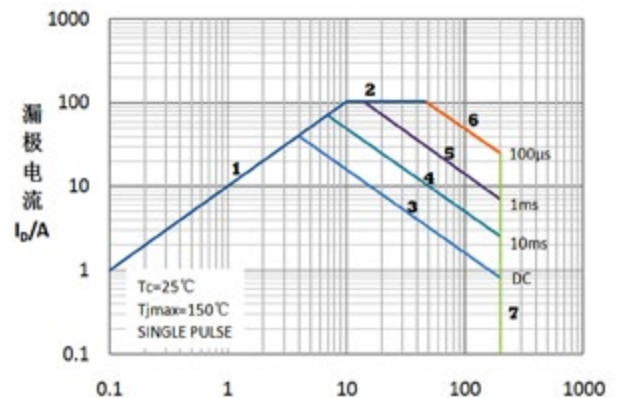


图2 实际绘制的安全工作区

Fig.2 Examples of SOA for practical devices

1号线是由导通电阻决定的曲线。由表2所知，该型号在150℃的最高结温下测试电流最大时的导通电

阻为 0.1Ω ，因此，可认为 I_D 和 V_{DS} 近似呈十倍关系，从而得到线段1。需要注意的是，这里的导通电阻取的是最大电流下的值，这是因为MOS器件的导通电阻是随电流的上升而增大，在电流较低时导通电阻是要小于选定值的，因此实际的导通电阻限制线要大于1线段围成的区域。为了保证用户使用的安全性，一般在我们绘制安全工作区时需要留有余量，因此可以比较便捷的采用近似法绘制的导通电阻限制线，实际的导通电阻限制线可以用采用1.1节中的公式(3)和公式(4)进行修正。

2号线和7号线段分别是由器件最大电流100A，最高电压200V决定的线段。

3号~6号线段均为器件达到最高结温 150°C 时的功率恒定线，可表征器件在不同脉冲条件下工作的安全工作区。其中3号线是直流稳态功率线，该器件稳态热阻为 $0.8^\circ\text{C}/\text{W}$ ，当器件结温升 $\Delta T_j=125^\circ\text{C}$ 时，器件功率为156W，得到3号156W的定功率线。当加热脉冲时间为10ms、1ms和0.1ms时器件的瞬态热阻分别为 $0.25^\circ\text{C}/\text{W}$ 、 $0.089^\circ\text{C}/\text{W}$ 和 $0.025^\circ\text{C}/\text{W}$ ，因此可以分别得到500W、1400W和5000W的定功率线，即4号、5号和6号线段。

在实际进行安全工作区验证时，一般要求在10ms脉宽曲线中选取四个点进行验证，选取的点应包括曲线中所有的拐点以及电压为80%的VDS的点，通过加脉冲电流和电压的方式进行打点验证，也可根据用户使用的实际条件增加验证点。

3 小结

本文以功率MOSFET为研究对象，讨论了其安全工作区的限制因素和绘制原理，从实际应用角度给出了产品额定电流、额定功率、额定电压的考核方法。最后，结合实际产品对安全工作区的绘制过程进行讲解，具有重要的实用价值。

参考文献 (References)

- [1] P. Rossel, 刘光耀. 功率MOS器件. 微电子学, 1986(06): 19-35.
- [2] 陈星弼, 张庆中. 晶体管原理与设计. 北京: 电子工业出版社, 2006.
- [3] Balakrishnan B. Power MOSFET safe operating area current limiting device; U.S. Patent 5, 282, 107. 1994-1-25.
- [4] Chen L, Paulasto-Krockel M, Frohler U, et al. Thermal impact of randomly distributed solder voids on Rth-JC of MOSFETs. Electronics System-Integration Technology Conference, 2008. ESTC 2008. 2nd. IEEE, 2008: 237-244.



作者简介:

赵昕(1987—),女,陕西省宝鸡市,微电子学专业硕士,高级工程师,现主要从事半导体分立器件方面的设计和研制工作。

微小型星载GNSS接收机设计

刘肖姬, 郭 权, 李 楠, 陈 路

(北京微电子技术研究所, 北京 100076)

关键词: 微纳卫星; 星载GNSS接收机; 多模导航; 定位

中图分类号: V474.2; P228.1 文献标识码: A

微纳卫星以其小体积、低功耗、低成本的优势在通讯、遥感、科学探索等领域应用广泛, 是航天技术发展的重要方向之一^[1], 其典型架构包括电源管理、通讯、卫星导航、姿态控制、执行机构、星务管理等部分^[2]。GNSS导航接收机是微纳卫星导航平台的重要组成部分, 为卫星提供精确的定位、定轨、授时服务。

本文基于自主研发的基带芯片BM3013^[3]设计了一款支持BDS和GPS双系统的高集成度、低功耗的星载GNSS接收机。接收机设计目标为在500~1000km轨道上稳定工作一年, 能够接收处理GPS L1、BDS B1双频点卫星信号, 通过跟踪捕获解调, 获得原始测量信息, 并实现卫星定位, 接收机技术指标见表1。

表1 星载接收机技术指标

Tab.1 The technical index of receive

指标	指标要求	
信号接收频率	GPS L1	1575.42MHz
	BDS B1	1561.098MHz
首次定位时间	≤40s	
位置精度	相对速度	0~12km/s
	相对加速度	0~40m/s ²
动态特性	相对加加速度	0~10m/s ³
	体积	96mm×90.2mm×15mm
功耗	<1W	
重量	<100g	

星载GNSS接收机可以接收处理GPS、BDS双模双频点信号, 进行定位解算, 并监测接收机运行状

态, 与星务计算机实时通讯, 通过接收遥控指令进行在轨工作模式切换。接收机具备通过上注功能更新定位软件。

星载GNSS接收机硬件系统根据功能划分为四部分: 射频信号处理、导航信号处理、控制处理器、电源及接口^[4], 其系统框图见图1。

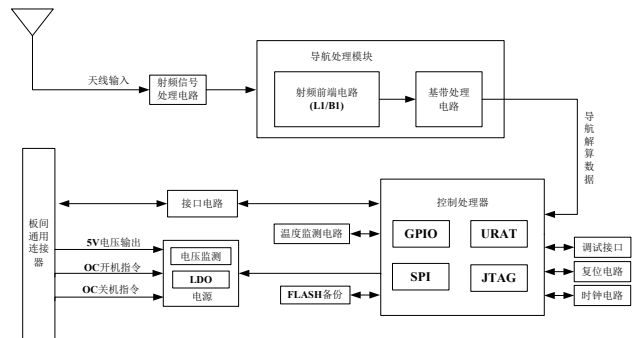


图1 GNSS接收机系统框图

Fig.1 The system of GNSS receiver

(1) 射频信号处理部分通过无源天线接收卫星信号, 对接收到的信号进行放大滤波处理, 将处理后的信号输入到导航信号处理部分。

(2) 由导航信号处理部分完成对卫星信号的下变频转换、捕获、跟踪和定位解算。

(3) 控制处理器负责整个接收机的工作状态监控、工作模式切换、数据通讯及故障处理等功能。将时间、定位、轨道等导航数据及接收机状态数据打包通过接口电路传送到星务计算机, 接收外部控制指令实现接收机工作模式切换, 以及地面上注信息, 实时

在轨刷新。

(4) 电源及接口部分完成通信、电源管理、监测信息采集及接收机保护、隔离等功能。

接收机的核心处理部分采用国产射频芯片和基带处理芯片，射频芯片选用RX3007，基带处理芯片选用北京微电子技术研究所自主研发的导航基带处理SoC芯片BM3013。接收机可以同时接收GPS L1、BDS B1两个频点的射频信号，实现对卫星信号的放大、混频、模数转换、基带信号解调、导航数据解算等。其硬件信息图见图2，接收机硬件主要包括两个部分：射频前端（RF）、基带及其存储器。

RF部分为保证原始观测量以及定位结果的精度，需要在提升信号强度的同时引入尽可能少的噪声。基带部分为保证接收机在卫星上正常使用，需要考虑卫星多普勒影响。

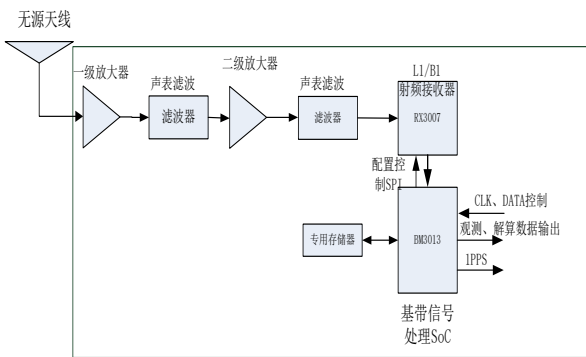


图2 导航信息处理硬件图

Fig.2 The hardware of navigation information processing

接收机软件分为导航定位软件和下位机接口软件两部分，其中导航定位软件运行在BM3013芯片内嵌ARM9微处理器上，主要完成导航卫星信号的捕获、跟踪、电文解析、定位解算、接收机状态及定位数据打包处理等功能；下位机接口软件运行在专用控制Cortex-M3内核处理器上，主要负责接收机状态数据采集、判读，与星务通讯，外部数据接收、转换内部控制指令、数据备份及上注更新等控制任务。接收机软件流程图见图3。

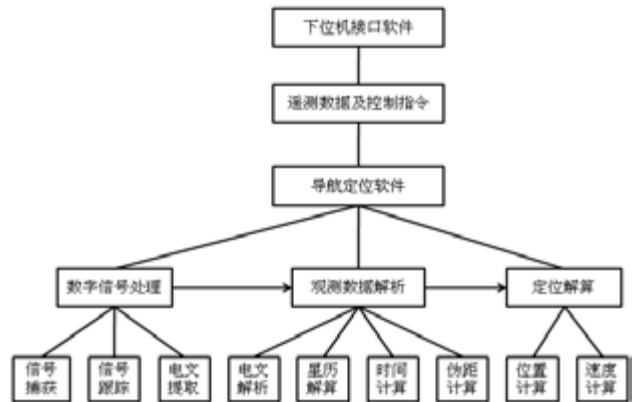


图3 接收机软件流程图

Fig.3 The software system of receiver

空间工作环境存在的高能粒子会干扰接收机正常运行，导致其运行异常，本接收机通过设计软件算法提高接收机在轨运行稳定性。基于三模冗余^[5]容错思路，设计了存储器数据管理单元，在接收机启动时进行三取二程序判断，当被判定为工作状态异常后，通过控制软件进行接收机复位。在数据损坏严重，通过三取二无法恢复正常工作时，采用上注的形式完成程序更新恢复，通过专用上注协议包及指令在地面遥控下完成程序更新。

按照上述方案实现接收机软硬件设计，同时综合考虑空间应用的力学结构要求、环境适应性、可靠性、电磁兼容性、长期稳定性等因素，合理设计PCB，选取元器件，通过元器件筛选、PCB制板测试、单机功能测试、性能测试、环境实验等过程考核了接收机的综合性能，接收机能够满足空间应用的各方面要求。

星载GNSS接收机作为几十颗小卫星的基础平台，随整星在轨运行。最早的产品于2017年随整星上天飞行，单板累积飞行超过700天，实时在轨定位精度10m，速度精度0.1m/s，期间通过地面遥控执行定位模式切换、重启动、数据回传等功能均正常，长期工作稳定，整体功能和精度达到设计预期。

以一套接收机为例计算定位结果。在模拟卫星轨道场景下，采集接收机1小时定位数据，计算其位置

误差和速度误差，图4为位置误差，接收机位置误差 1σ 精度为9.6845m，图5为速度误差，接收机速度误差 1σ 精度为0.1678m/s。

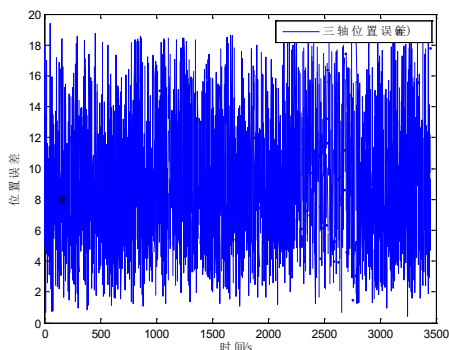


图4 接收机位置精度

Fig.4 The Position Accuracy of Receiver

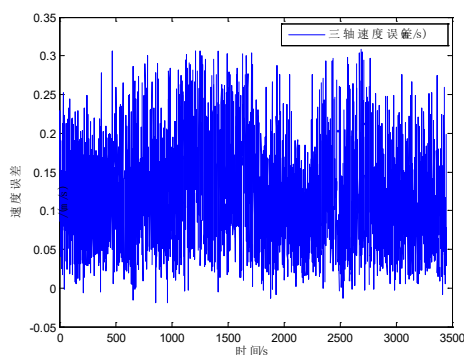


图5 接收机速度精度

Fig.5 The Speed Accuracy of Receiver

基于北京微电子技术研究所自主研发卫星导航接收机芯片设计的小体积、低功耗GNSS接收机，支持GPS、BDS多频点多模式定位功能，国产化率高。经过在轨验证，这种超小体积接收机在性能、稳定性、可靠性多方面达到了空间应用要求，适用于各种微小卫星平台，具有广阔应用前景。

参考文献

- [1] 李军予, 伍保峰, 张晓敏. 立方体纳卫星的发展及其启示[J]. 航天器工程, 2012, 21(3): 80-87.
- [2] R. Reinhard, C. Asma, J. Thoemel, QB50 System Requirements and Recommendations Issue5 [EB/OL]. Belgium: 2013.
- [3] 陈启亮, 毕波. BM3013IE高级用户手册[R]. 北京: 北京微电子技术研究所. 2013.
- [4] 谢刚. GPS原理与接收机设计: Principles of GPS and receivers design[M]. 北京: 电子工业出版社, 2009.
- [5] 王鼎兴, 沈美明. 高等计算机系统结构[M]. 北京: 清华大学出版社, 1995.



作者简介:

刘肖姬(1989—),女,山西平遥,硕士研究生,工程师,导航与制导。

65nm抗辐射GNSS基带处理器的设计实现

乐立鹏, 张建军, 王亮, 李建成, 王福庆, 王佩

(北京微电子技术研究所, 北京 100076)

关键词: 65nm; 抗辐射; 基带处理

中图分类号: TN492 文献标识码: B

全球导航卫星系统 (Global Navigation Satellite System, GNSS) 是所有卫星导航系统的统称, 包括美国的GPS、中国的北斗、俄罗斯的格洛纳斯以及欧盟的伽利略, 它是面向全球的, 利用其中一个或者多个系统的无线电导航信号, 为空间和地面用户提供定位、定时、测距、导航等服务。GNSS无线电掩星探测技术是一种基于全球导航卫星系统的经济、有效的新型大气探测技术, 具有长期稳定、全天候、高分辨率等特点, 在各国气象研究任务中具有重大作用。

前期成功发射的风云三号卫星中的新增载荷全球导航卫星掩星探测仪 (GNOS) 是无线电掩星探测仪, 它不仅是国内第一台星载业务运行的GNSS掩星探测仪, 而且是国际首台北斗导航系统 (BDS) 和全球定位系统 (GPS) 双系统兼容掩星探测仪^[1]。它的成功是我国大气探测技术发展的一个重要里程碑, 也预示着我国大气探测技术进入到一个快速发展阶段。

随着GNSS掩星探测技术的广泛应用, 对其终端性能的要求, 特别是功耗、性能、体积方面的需求也日益苛刻, 对国产器件提出了新的挑战。本文在国内首次采用65nm抗辐射工艺, 用单芯片实现了千万门规模的星用抗辐射GNSS基带处理器。其辐照指标满足航天型号需求, 同时, 65nm工艺的采用, 满足了低地球轨道 (LEO) 卫星功能集成度高、体积小、功耗低、可靠性高的应用需求, 解决了制约型号任务研制的键问题。

本GNSS基带处理器兼容北斗和GPS导航信号, 主要完成导航信号的前置低通滤波、伪码/载波捕

获、伪码/载波剥离与相干积分、时钟/同步信号等脉冲产生、串口通信等功能, 为GNSS信号控制解算数字信号处理器 (Digital Signal Processor, DSP) 提供GNSS中频信号的载波和伪码观测量, 为其他芯片输出同步时钟脉冲。GNSS基带处理器结构框图如图1所示。

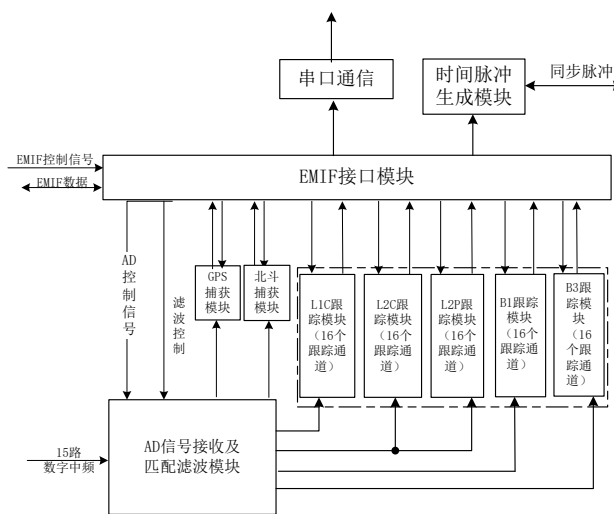


图1 GNSS基带处理器原理框图

Fig.1 Diagram of GNSS baseband processor

由于星用电路在轨工作环境的特殊性, 其轨道环境中充满了来自宇宙的各种高能离子, 在其正常工作时, 不可避免的受到各种宇宙射线的照射和高能粒子的轰击。随着制造工艺的不断进步, 芯片规模越来越大, 功能越来越复杂, 极限频率也逐渐升高, 但与此同时芯片的特征尺寸越来越小。更细的工艺线条, 更高的工作频率, 更低的工作电压, 这些变化都使得芯片对单粒子效应 (Single Event Effect, SEE) 更加

敏感^[2]，单粒子效应故障已严重影响空间器件的可靠性。因此，在GNSS基带处理器研制过程中，器件的可靠性设计，尤其是抗辐射加固设计与验证尤为重要。

针对电路的单粒子效应，分析电路的辐照敏感点和关键控制逻辑部分，采用逻辑级抗辐射设计加固技术和版图级抗辐射设计加固技术来提高电路整体抗辐射能力。

在逻辑级，我们对核心控制状态机、控制逻辑、FFT IP软核等关键部件采用如图2所示的同步刷新技术。状态1采用三模冗余自纠错技术，当状态2~状态n出现SEU翻转造成系统出现暂时功能紊乱时，能够依靠状态1所发出的同步信号（图2中虚线所示）强制其它状态快速与状态1同步，使得原已失去同步的系统迅速重新同步，并进入正常工作状态。这样可以减轻单粒子功能中断（SEFI）的影响，提高电路整体抗辐射能力。

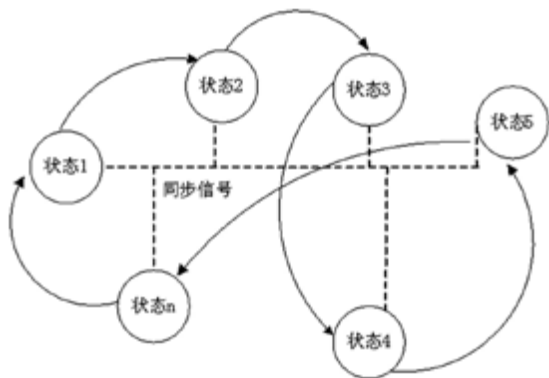


图2 同步刷新示意图

Fig.2 Diagram of synchronous refresh

同时，在确保芯片的面积和功耗满足设计要求的前提下，对关键数据路径采用三模冗余技术，对核心时钟电路和高速接口电路分别进行加固设计，提高其抗干扰能力，从而增强电路整体的抗辐射性能。

在版图级，采用北京微电子技术研究所先进的千万门级抗辐射加固标准单元库为技术核心，在工艺上采用SMIC 65nm 1P7M硅栅CMOS工艺研制而成。芯片规模1200万门，芯片面积 $10.2 \times 10.2\text{mm}^2$ ，

实测功耗小于1W，成品率97.94%。

为了有效验证GNSS基带处理器的抗辐射性能，我们结合北斗、GPS信号处理算法^[3,4]及芯片实际工作情况，采用如图3所示的辐照试验板，在辐照试验中用基带处理器模拟了用户单机上的全功能工作状态，保证了SEFI试验结果的可信度。



(a) 底视图 (b) 顶视图
(a) bottom view (b) top view

图3 辐照试验板

Fig.3 Irradiation test plate

GNSS基带处理器单粒子及总剂量辐照试验项目及结果如表1所示，试验结果均满足指标要求。

表1 辐照试验结果

Tab.1 Radiation test results

试验项目	试验结果
单粒子翻转 (SEU) 的LET阈值	不小于 $15\text{MeV}\cdot\text{cm}^2/\text{mg}$
单粒子锁定 (SEL) 阈值	不小于 $75\text{MeV}\cdot\text{cm}^2/\text{mg}$
单粒子功能在轨错误率 (GEO轨道)	优于 5×10^{-5} 次/天·器件
电离总剂量	不小于100krad (Si)

GNSS基带处理器的成功研制，满足了LEO（低地球轨道）卫星功能集成度高、体积小、功耗低、可靠性高的应用需求，保障了GNSS无线电掩星探测星座工程任务的顺利开展，实现了核心电子元器件国产化。

2018年12月29日16时00分，六颗主载荷采用GNSS基带处理器的卫星在酒泉卫星发射中心发射升空并进入预定轨道。截至目前，已在轨正常运行近两年。

这是我国65nm抗辐射工艺的首次星上应用，也是我国首款基于65nm工艺研制的千万门级星用抗辐

射电路在轨成功应用案例，为后续基于65nm工艺星用抗辐射电路的研制提供了大量成功经验。

参考文献 (References)

- [1] 王树志, 朱光武, 白伟华, 柳聪亮, 孙越强等. 风云三号C星全球导航卫星掩星探测仪首次实现北斗掩星探测. 物理学报 2015.
- [2] 邢克飞. 星载信号处理平台单粒子效应检测与加固技术研究 [D]. 国防科学技术大学 2007.
- [3] 北斗卫星导航系统空间信号接口控制文件 (2.0版) [EB/OL]. 2013年12月.

- [4] Hui Lu, Ruiyao Niu. Generation method of GPS L1C codes based on quadratic reciprocity law [J]. Journal of Systems Engineering and Electronics, April 2013, Vol.24 (No.2), pp: 189-195.



作者简介:

乐立鹏 (1970—), 男, 陕西西安, 硕士研究生, 研究员, 计算机科学与技术专业, 主要从事超大规模集成电路设计。

《航天微电子》征稿启事

《航天微电子》是由北京微电子技术研究所主办，由中国航天科技集团有限公司科技委微电子及元器件应用专业组作学术指导的一份专业性科技期刊。本刊的宗旨是：综合反映宇航和军用微系统、集成电路、半导体分立器件在材料与器件、设计与制造、测试与验证、质量与可靠性、集成与应用等方面进行前沿探索、理论研究、技术创新、工程实践的成果。为航天和军用微电子及元器件应用相关技术的学者、工程人员、管理人员和学生提供一个交流的平台，进一步促进微电子技术与航天工程各专业技术领域的融合与创新。

本刊遵循“博采众长，百花齐放”的方针，以开放的态度广纳同业研究成果，恪守科学精神，弘扬学术民主，积极发挥好学术交流平台的作用，使之成为宣传和展示航天微电子技术和学术成果的一个窗口。

《航天微电子》面向广大从事微电子及其应用相关的科技工作者征文，欢迎积极踊跃投稿，一经录用稿酬从优。

投稿邮箱： 内网 htwdz@mx.catec.casc

外网 htwdz@mxtronics.com

航天微电子

AEROSPACE MICROELECTRONICS

第1期 2021年1月

总第1期

《航天微电子》编委会

主 编：包为民 郝 跃

副主编：赵元富

执行主编：陈 雷

执行副主编：王 勇 周明华 权海洋

主编助理：杜 俊 熊开利 蒋安平 范 隆

编 委（按姓名字母顺序）：

毕 波 杜 忠 孔 瀛 冯长磊 李建成 李学武

林鹏荣 陆振林 王传敏 王 亮 文 武 于立新

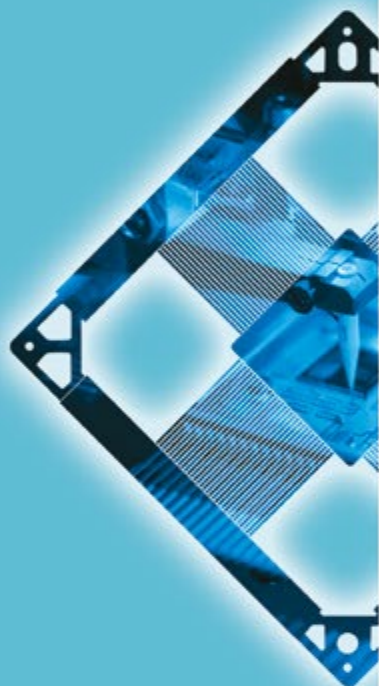
乐立鹏 张 龙 张奇荣 张铁良 祝建彬 朱向东

编辑部主任：刘 平

学术编辑：杨 雪 周 婧

美术编辑：姜海霞

编 务：焦佳凝



主管单位：中国航天科技集团有限公司

指导单位：中国航天科技集团有限公司科技委微电子及元器件应用专业组

主办单位：北京微电子技术研究所

编辑出版：《航天微电子》编辑部

印刷单位：北京金康利印刷有限公司

印刷日期：2021年1月1日